

ELETTRONICA

Appunt. Lezioni

1 ÷ 25

ELETTRONICA

Appunti: lezioni

1-5-2

Elettronica e Misure elettroniche - Dettaglio Video Lezioni

Docenti video:

Fabrizio Bonani - Politecnico di Torino (Torino - Italy) - Lezioni da 1 a 25

Marco Parvis - Politecnico di Torino (Torino - Italy) - Lezioni da 26 a 40

Leopoldo Angrisani - Università di Napoli "Federico II" (Napoli - Italia) - Lezioni da 41 a 50

Lezione n. 1: Introduzione

I sistemi analogici *elettronici*

I semiconduttori nei sistemi elettronici

Intel Core 2 Extreme 6.10⁸ transistor

I materiali cristallini e la teoria delle bande

Lezione n. 2: I semiconduttori drogati

I semiconduttori drogati

Il legame carica-energia in equilibrio

Elementi di tecnologia dei semiconduttori

Lezione n. 3: Il trasporto di carica nei semiconduttori

Correnti di trascinalmento e diffusione

Generazione e ricombinazione

Modello matematico dei semiconduttori

Lezione n. 4: La giunzione pn I

Struttura fisica e diagramma a bande

Caratteristica statica

Effetti di non idealità

Lezione n. 5: La giunzione pn II

Effetti capacitivi e modello di ampio segnale

Approssimazione di piccolo segnale

Lezione n. 6: Il transistor bipolare

Il concetto di transistor

Struttura fisica e principio di funzionamento

Caratteristiche statiche a emettitore comune

Il transistor pnp

Lezione n. 7: Il transistor bipolare circuiti equivalenti

Modello di Ebers-Moll

Effetti capacitivi e modello di ampio segnale

Circuito equivalente di piccolo segnale

Circuito di polarizzazione

Lezione n. 8: Il sistema MOS

Struttura e definizione delle regioni di funzionamento

Diagramma a bande all'equilibrio

Diagramma a bande fuori equilibrio

Lezione n. 9: Il transistor MOS struttura e funzionamento statico

Struttura del transistor MOS a canale n

Strozzamento del canale conduttivo

Caratteristiche statiche

Transistor MOS a canale p

Lezione n. 10: Il transistor MOS circuiti equivalenti

Effetti capacitivi

Circuito equivalente di piccolo segnale

Circuito di polarizzazione

Lezione n. 11: I circuiti amplificatori

Definizione di amplificatore

Parametri Caratteristici

Classificazione degli amplificatori

Collegamento in cascata di amplificatori lineari

Lezione n. 12: L'amplificatore operazionale ideale

Definizione di amplificatore operazionale ideale

La reazione negativa

Stadi amplificatori elementari

Lezione n. 13: L'uso del MOSFET come amplificatore

Caratteristiche di uno stadio amplificatore reale

Lo stadio a source comune: scelta del punto di lavoro a riposo

Parametri dello stadio a source comune

Carico attivo

Lezione n. 14: Altri stadi amplificatori a MOSFET

Lo stadio a drain comune

lo stadio a gate comune

Riassunto delle caratteristiche degli stadi a MOSFET

Lezione n. 15: L'uso del transistor bipolare come amplificatore

Punto di funzionamento a riposo

Parametri dello stadio a emettitore comune

Limitazioni in frequenza

Lezione n. 16: Altri stadi amplificatori a transistor bipolare

Lo stadio a collettore comune

Lo stadio a base comune

Riassunto delle caratteristiche statiche degli stadi a bjt

Lezione n. 17: Introduzione all'elettronica digitale l'inverter

Il circuito inverter

I livelli logici e i margini di rumore

L'inverter CMOS

Lezione n. 18: Dinamica, dissipazione ed interfacciamento di porte logiche

- Il comportamento dinamico di un inverter
- Il consumo di potenza di una porta logica
- Interfacciamento tra porte logiche

Lezione n. 19: Le porte logiche in tecnologia MOS

- La porta NOR in tecnologia MOS
- La porta NAND in tecnologia MOS
- Porte logiche MOS complesse

Lezione n. 20: I circuiti bistabili

- Elemento base di memoria
- Il flip-flop Set-Reset
- Il flip-flop D

Lezione n. 21: I comparatori di soglia

- L'amplificatore operazionale come comparatore di soglia
- I comparatori con isteresi
- Uso come generatore di onda quadra

Lezione n. 22: La conversione AD e DA

- Il teorema del campionamento
- La quantizzazione del segnale
- La conversione D/A

Lezione n. 23: Esempi di convertitori

- Il convertitore D/A potenziometrico
- Il convertitore D/A a scala
- Il convertitore A/D parallelo
- Il convertitore A/D in reazione

Lezione n. 24: I circuiti di memoria

- Classificazione
- Architettura
- Cenni sulle memorie Flash

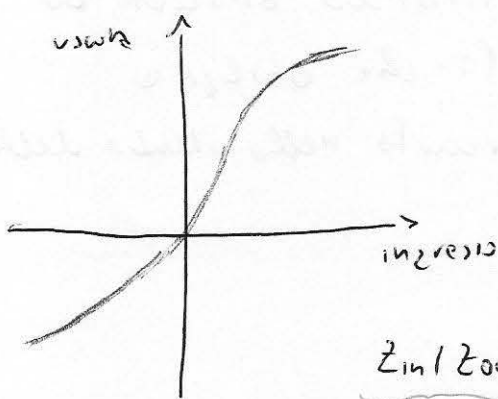
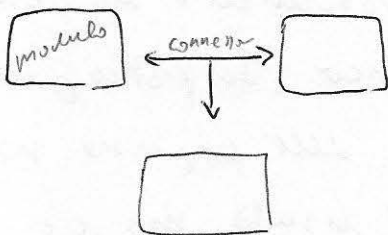
Lezione n. 25: Le memorie ad accesso casuale

- La memoria RAM statica
 - La memoria RAM dinamica
-
-

- I sistemi elettronici
- I semiconduttori nei sistemi elettronici
- I materiali cristallini e la teoria a bande di energie permesse

I SISTEMI ELETTRONICI

Un qualunque sistema elettronico, sia esso analogico o digitale, è formato da una serie di blocchi interconnessi. Per interconnessione si intendono fili o piste di collegamento che collegano elettricamente i vari moduli. Ogni modulo esegue funzioni.



Zin / Zout

variabile di
ingresso e
uscita:
tensione o
corrente.
anche frequenza

Un modulo viene fondamentalmente descritto dalla relazione ingresso / uscita, ovvero da una rappresentazione, che può essere in forma matematica o in forma grafica, univocamente definita. Tale rappresentazione mostra come evolve la quantità di uscita rispetto alla variazione della quantità di ingresso.

Per uscita e per ingresso si intende tipicamente una qualche variabile che è una tensione o una corrente; in alcuni casi può essere un valore di frequenza.

La relazione ingresso / uscita non è sufficiente a descrivere

univocamente il singolo blocco che fa parte di un sistema elettronico giacché per consentire una analisi accurata delle interconnessioni fra i vari blocchi è necessario definire alcuni parametri oltre alla relazione ingresso/uscita.

Essi sono l'impedenza di ingresso e di uscita associate ad ogni singolo blocco. Di questo vedremo il dettaglio nei circuiti amplificatori.

Il sistema elettronico è in grado di realizzare funzioni complete a fronte dei moduli interconnessi che lo compongono.

Tali funzioni possono essere analogiche o digitali.

Ogni singolo blocco è caratterizzato da una relazione ingresso/uscita e dalle relative impedenze di ingresso e uscita.

Da notare che ogni singolo blocco non necessariamente ha una relazione ingresso/uscita di tipo istantaneo. In pratica quasi mai. Nella realtà ad una variazione istantanea dell'ingresso non corrisponde una variazione istantanea dell'uscita ma c'è sempre un qualche fenomeno di ritardo associato ad effetti reattivi presenti nel circuito che osserva e tener conto della dinamica del circuito nello studio della relazione ingresso/uscita.

SEGNALI ELETTRICI

07:31

Le funzioni di ogni modulo di un circuito elettronico è quello di trasformare segnali elettrici dall'ingresso all'uscita, tipicamente tensioni o correnti, applicando ^{al modulo} o

misurare all'uscita del modulo

Definiamo elettronica analogica ed elettronica digitale come segue:

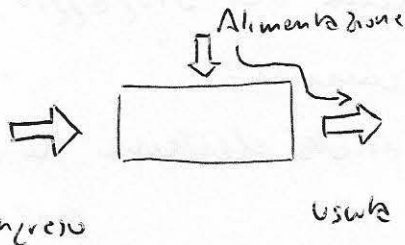
- elettronica analogica \Rightarrow intervallo continuo di valori
- elettronica digitale \Rightarrow valori discreti (rappresentazione tramite codice numerico) della variabile di ingresso o uscita

Quando nella elettronica analogica la variabile di ingresso o di uscita, tensione o corrente, può assumere valori in un intervallo continuo, cioè il segnale ha una rappresentazione continua.

BILANCIO ENERGETICO

08:55

Ogni trasformazione di segnale richiede energia: ogni sistema elettronico viene alimentato dall'esterno tipicamente da un generatore di tensione in continua, cioè tensione costante nel tempo.



Il flusso di energia va dalla alimentazione verso l'uscita, tipicamente nei circuiti analogici come gli amplificatori.

I SEMICONDUTTORI NEI SISTEMI ELETTRONICI 10:00

In tutti i moduli che realizzano un sistema elettronico sono sempre presenti dispositivi a semiconduttore sia nei sistemi di tipo analogico, sono essi lineari come negli amplificatori e non lineari, sia nei sistemi digitali.

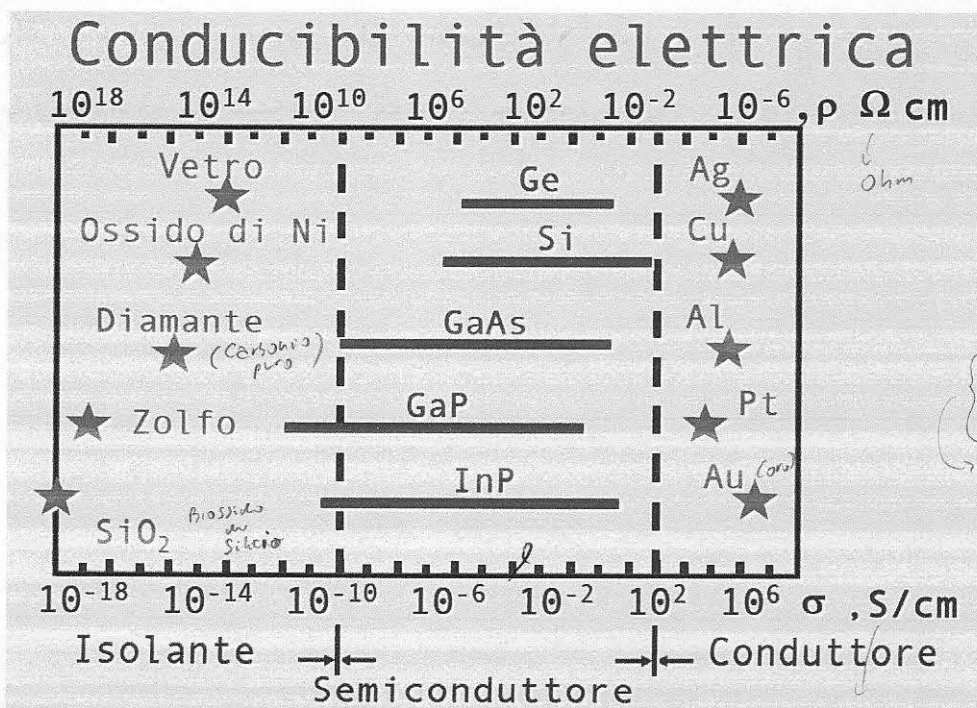
↳ segnale in uscita con energia maggiore di quella presente all'ingresso
↳ circuiti miscelatori, moltiplicatori di freq., ecc.

CONDUCIBILITÀ ELETTRICA 13:05

I semiconduttori sono materiali molto importanti nelle applicazioni elettroniche. Questo perché le proprietà elettriche di un semiconduttore possono essere pilotate in un modo molto libero dal progettista del semiconduttore grazie ad alcune tecnologie, in particolare quella del drogaggio.

Sotto la conducibilità elettrica di alcuni elementi.

Tale parametro è basilare per stabilire le proprietà elettriche di un materiale.



ρ = Resistività Elettrica
 In tipo al silicio il canale conduttivo di un transistor non è proprio di Ge = Germanio, il materiale semiconduttore
 GaAs = Arseniuro di Gallio
 GaP = Fosforo di Gallio
 InP = Fosforo di Indio
 Applicazioni ad altissima frequenza.

σ = Conducibilità Elettrica
 $\rho = \frac{1}{\sigma}$

24 ordini di grandezza (10^{24}) Siemens

Si nota come in un semiconduttore la conducibilità elettronica
varia in diversi ordini di grandezza.

Questo, insieme alla tecnologia del drogaggio, permette di
modulare il valore di conducibilità elettronica del materiale
da un valore quasi isolante ad un valore vicino a quello di
un conduttore ideale.

I MATERIALI CRISTALLINI e la

TEORIA A BANDE Teoria delle bande permesse

Alcuni elementi del gruppo IV, carbonio, silicio e stagno, ^{carbonio} ^{silicio} ^{stagno}
presentano rispettivamente un comportamento da isolante, semiconduttore,
conduttore.

Tre atomi dello stesso gruppo, con 4 elettroni nel guscio più
esterno, hanno un comportamento elettrico diverso.
Questo ha a che fare con la forma di questi elementi allo
stato solido e della teoria delle bande permesse.

I tre elementi sono in forma di solidi cristallini, cioè
gli atomi sono disposti in posizioni periodiche nello spazio.
Per questa ragione di periodicità la funzione ripresentativa del
cristallo è contenuta all'interno del periodo fondamentale
costituito da un sottospazio dello spazio a tre dimensioni.

CELLA ELEMENTARE del reticolo cristallino

Rappresenta la posizione degli atomi nel periodo fondamentale

del cristallo.

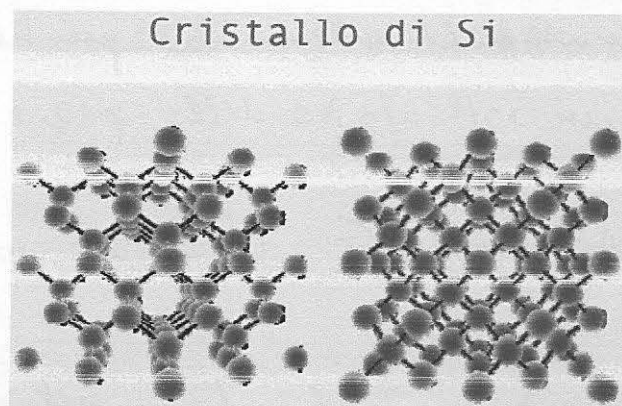
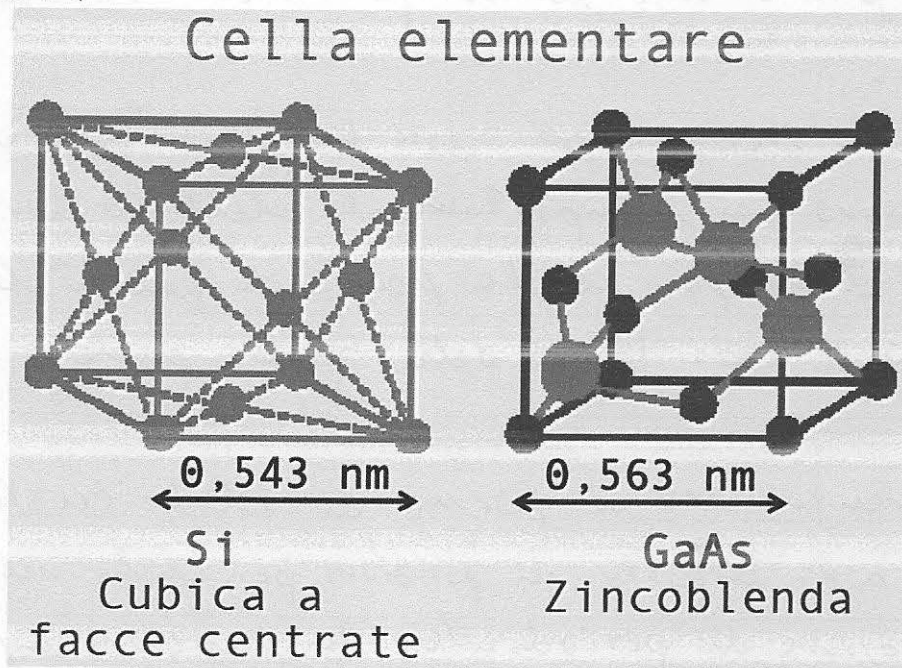
CELLA ELEMENTARE

La cella elementare piú comune, nel caso del silicio, è quella di tipo cubico a facce centrate, in cui gli atomi sono disposti nei vertici e nel centro delle 6 facce.

Il passo reticolare per la cella del silicio è dell'ordine di 0,357 nm.

Altre semiconduttori come lo zincoarsenide (GaAs) cristallizzano nello stesso modo.

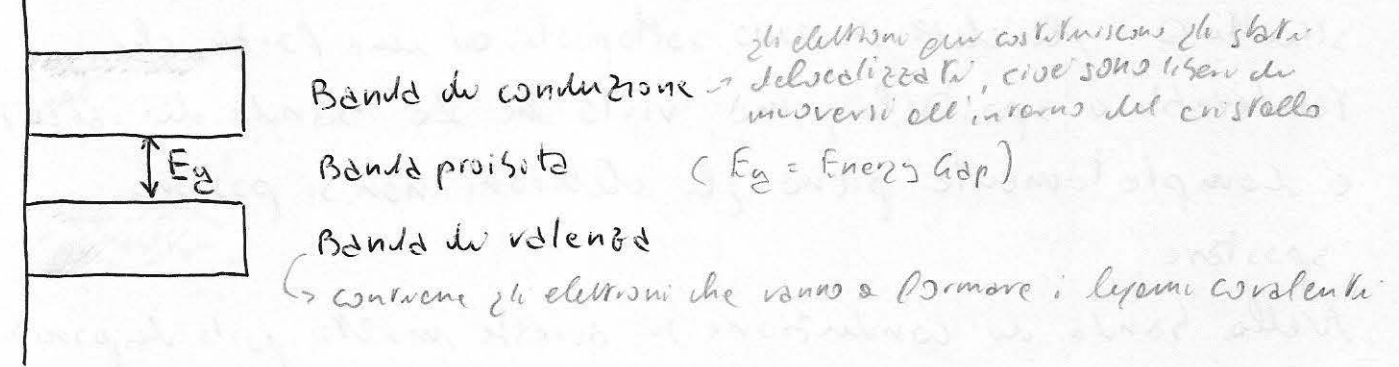
La proiezione nello spazio della cella elementare porta al cristallo.



Le due prospettive del cristallo di silicio evidenziano la sua struttura tridimensionale preferenziale nello spazio, sferica.

ENERGIE PERMESSE

↑ Energia degli elettroni, quella del guscio più esterno

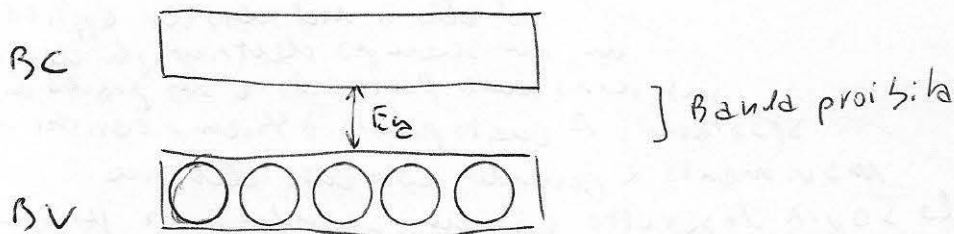


I valori di energia degli elettroni sono quantizzati e non sono arbitrari.

Le energie permesse per gli elettroni del guscio più esterno si dividono sostanzialmente in due intervalli tra loro distanti, la banda di valenza e la banda di conduzione.

Queste due bande di energie permesse sono tra loro separate da un intervallo di valori di energie che non possono essere assunti dagli elettroni

MODELLO PER LA CONDUZIONE



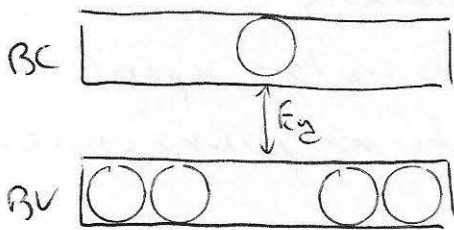
$T = 0 \text{ K}$, Banda di valenza completamente occupata, ovvero tutti i legami covalenti sono perfettamente formati. La banda di conduzione è completamente vuota perché nessun elettrone va ad occupare elettroni al

livello della banda di conduzione.

In questo caso la conduzione elettronica non è possibile perché, pensando di applicare un campo elettrico a tale struttura, gli elettroni sono sottoposti ad una forza che tenderebbe a spostarli, ma, visto che la banda di valenza è completamente piena gli elettroni non si possono spostare.

Nella banda di conduzione si avrebbe molto posto disponibile al moto, ma non ci sono elettroni.

Questo ci suggerisce che in un semiconduttore perché ci sia garanzia di movimento di carica sono necessari gli elettroni che si possano muovere e la presenza di posti vuoti nella banda conduttrice.



Dalla termodinamica sappiamo che gli elettroni possiedono una certa quantità di energia dell'ordine che corrisponde alla dilatazione termica e alla temperatura a cui si trovano. A questa energia è maggiore di E_g allora qualche elettrone è in grado di liberare la banda di valenza passando al corrispondente legame covalente e trovarsi in banda di conduzione, quindi, avendo la conduzione solo parziale, $T \neq 0 K$ le

$T \neq 0 K$, BC e BV parzialmente occupate

banda di conduzione e la banda di valenza

sono parzialmente occupate

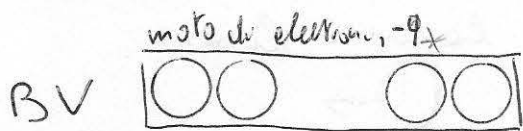
ed allora nel caso di applicazione di un campo elettrico gli elettroni possiedono una forza che è in grado di spostarli. A questo punto abbiamo anche un movimento e quindi corrente elettrica.

Secondo il modello sopra descritto abbiamo conduzione per presenza di elettroni in banda di conduzione e in banda di valenza.

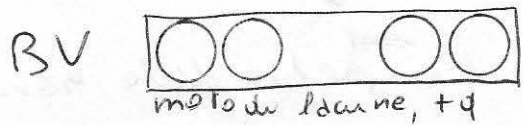
CONCETTO DI LACUNA

È un concetto più astratto, quello del concetto di lacuna, o

assenza di elettroni



Abbiamo un elettrone (*) che si sposta in direzione della freccia per effetto di una forza.



Per interpretare in banda di valente il moto di carica come se fosse quello

di un elettrone che si sposta verso sinistra si intende il moto dell'assenza dell'elettrone (lacuna) nella direzione opposta.

Quando nel primo caso abbiamo il moto di una carica negativa, $-q$, che dà un contributo di corrente che va verso destra. Nel secondo caso possiamo interpretare esattamente la stessa situazione fisica come se fosse dovuto allo spostamento di una lacuna, cioè una carica di segno opposto che va nella direzione opposta.

Quando la conduzione elettrica in un materiale cristallino è dovuta al movimento di due diversi tipi di cariche libere che muovono nel cristallo stesso: gli elettroni liberi nelle bande di conduzione del cristallo e le lacune libere nelle bande di valente.

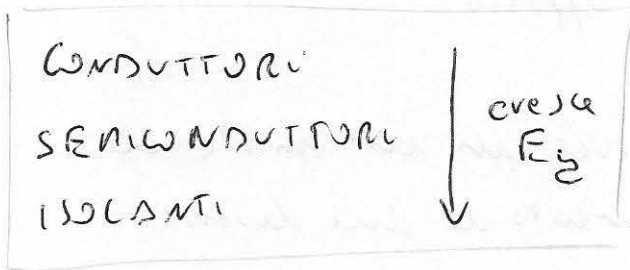
A questo punto possiamo spiegare il diverso tipo di comportamento conduttivo di elementi del IV° gruppo. La spiegazione risiede nel meccanismo che consente la conduzione elettrica, vista in precedenza.

Cioè, a temperatura non elevata sono presenti, quando una serie di elettroni nasce e partono dalla banda di valente

alle bande di conduzione generando dunque un certo numero di elettroni liberi e di lacune libere all'interno della banda stessa.

Fissata la temperatura, più è alta l'ampiezza della banda proibita, meno avranno gli elettroni con energie sufficienti per popolare la banda di conduzione lasciando anche delle lacune libere in banda di valenza e allora il parametro che decide le proprietà elettriche del materiale è esattamente l'ampiezza della banda proibita.

In un cristallo, al crescere della banda proibita, E_g , si passa da un materiale conduttore quando tale ampiezza è molto piccola o addirittura nulla, poi ai semiconduttori e infine agli isolanti.



Un fatto gioca un ruolo importante la temperatura, questo perché alzando la temperatura il numero di

elettroni con energie sufficienti a superare la banda proibita cresce e quindi ci aspettiamo che la conduttività elettrica sia una funzione fortemente dipendente della temperatura, che è quello che succede.

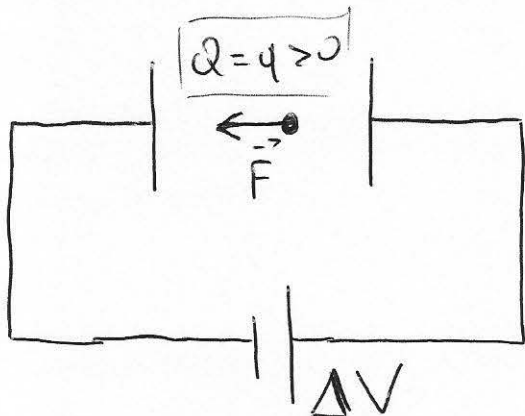
Tutti i semiconduttori hanno delle caratteristiche tecniche fortemente dipendenti dalla temperatura.

Ad esempio: stagno: $E_g = 0,1 \text{ eV}$, $n_i \approx 10^{22} \text{ cm}^{-3}$ conduttore
 silicio: $E_g = 1,12 \text{ eV}$, $n_i \approx 10^{10} \text{ cm}^{-3}$ semicond.
 carbonio (diamante): $E_g = 5,47 \text{ eV}$, $n_i \approx 10 \text{ cm}^{-3}$ isolante

UNITA' DI MISURA dell' ENERGIA

40:08

L'electronvolt, eV.



Supponiamo di sottoporre una carica Q ad una differenza di potenziale ΔV e di conseguenza un campo elettrico

$$\vec{F} = Q \vec{E}$$

\vec{E} campo elettrico

Applicando questa forza \vec{F} alla carica elettrica Q corrisponde ad esercitare sulla carica elettrica una energia potenziale E_p che è pari a:

$$E_p = Q \Delta V$$

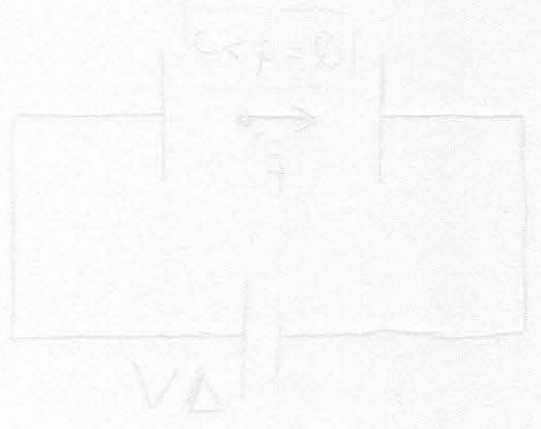
Assumendo $Q = q = 1,6 \cdot 10^{-19} \text{ C}$, cioè la carica elementare dell'elettrone, in modulo, allora possiamo volere, in presenza di una d.d.p. $\Delta V = 1 \text{ V}$, l'energia potenziale che la carica stessa subisce come $1,6 \cdot 10^{-19} \text{ J}$. Questa quantità di energia corrisponde al 1 eV , ovvero

$$E_p = 1 \text{ eV} = 1,6 \cdot 10^{-19} \text{ J}$$

Quindi 1 eV è l'energia che diminuisce un elettrone (una carica elettrica pari a quella di un elettrone) quando ad esso è applicata una differenza di potenziale di 1 V .

UNITA D. MISURA DELL'ENERGIA

L'electronvolt, eV.



Il lavoro fatto dal campo elettrico
 per spostare una carica q da un punto all'altro
 è uguale a $q \cdot \Delta V$.

$$W = q \cdot \Delta V$$

Applicando questa formula si può calcolare il lavoro fatto dal campo elettrico per spostare una carica q da un punto all'altro.

$$E_p = q \cdot \Delta V$$

Ad esempio, se si spostano $1.6 \cdot 10^{-19}$ C di carica da un punto all'altro con una differenza di potenziale di 1 V, il lavoro fatto è $1.6 \cdot 10^{-19}$ J.

$$E_p = 1.6 \cdot 10^{-19} \text{ J} = 1 \text{ eV}$$

Il lavoro fatto dal campo elettrico per spostare una carica q da un punto all'altro è uguale a $q \cdot \Delta V$.

LEZ. 2 I SEMICONDUCTORI DROGATI

- IL DROGAGGIO NEI SEMICONDUCTORI
- IL LEGAME CARICA-ENERGIA IN EQUILIBRIO
- ELEMENTI DI TECNOLOGIA DEI SEMICONDUCTORI

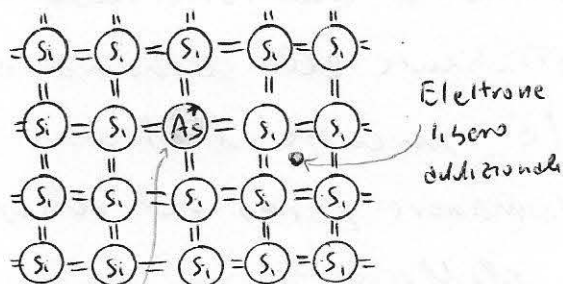
IL DROGAGGIO NEI SEMICONDUCTORI

L'importanza dei semiconduttori risiede nella loro capacità di modificare di diversi ordini di grandezza la loro conducibilità elettrica.

Capacità strettamente legata alle tecnologie del drogaggio: per cambiare la conducibilità elettrica occorre modificare il numero di cariche libere all'interno delle bande di conduzione, e stiamo parlando di elettroni, o delle bande di valenze se stiamo parlando di lacune. Questa modifica di cariche libere può essere realizzata mediante l'introduzione all'interno di un cristallo di atomi di elementi di un gruppo diverso rispetto a quello del semiconduttore.

DROGAGGIO DI TIPO N

Con riferimento al silicio, ^{considerando che} il drogaggio di tipo n è un tipo di drogaggio che consente di incrementare il numero di elettroni liberi rispetto al



Atomo donatore ionizzato

materiale puro, essendo che viene introdotto un atomo di arsenico (As) che è un elemento del V° gruppo e presenta 5 elettroni nel guscio più esterno.

L'atomo del gruppo maggiore di IV deve essere inserito all'interno del reticolo cristallino e deve andare a sostituire uno degli atomi di silicio del reticolo.

In questo caso 4 dei 5 elettroni del guscio più esterno dell'atomo di arsenico, l'atomo drogante di tipo n , vengono usati per completare i 4 legami covalenti che mantengono l'atomo di arsenico fermo all'interno del cristallo.

Il quinto elettrone si trova ad un livello energetico molto vicino alla banda di conduzione ed alla temperatura ambiente ha energia sufficiente per essere ceduto verso la banda di conduzione e quindi andare ad incrementare il numero di elettroni liberi all'interno della banda di conduzione delocalizzata all'interno del cristallo per cui l'elettrone in più si può muovere liberamente all'interno del cristallo.

L'atomo drogante non ha più un bilancio di cariche neutro ma risulta avere una carica di valore positivo in quanto ha ceduto un elettrone.

L'atomo ^{drogante} non è più elettricamente neutro, ha una carica di valore positivo pari al valore assoluto della carica elettrica di un elettrone.

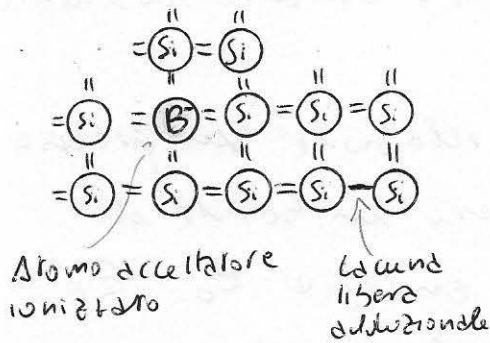
In presenza di un campo elettrico l'elettrone ceduto è in grado di muoversi e contribuire alla conduzione elettrica all'interno del materiale, mentre l'atomo drogante, positivo, è tenuto a rimanere fermo nel reticolo e non partecipa alla conduzione elettrica.

DROGGAGGIO DI TIPO P

L'atomo drogante ha, in questo caso del silicio, un numero di elettroni nel guscio più esterno inferiore a 4.

È questo il caso di un atomo del boro come elemento drogante per cui i

3 elettroni più esterni nel guscio del boro vanno a completare 3 legami covalenti che mantengono tale atomo nel reticolo cristallino; il quarto legame covalente viene a formarsi



in quanto il quarto posto disponibile sull'atomo di boro risulta avere un livello energetico molto vicino alla banda di valenza e quindi è facile che un altro elettrone presente nella banda di valenza abbia energia sufficiente per andare a completare il quarto legame covalente dell'atomo di boro rendendolo una ione negativo e questo porta alle conseguenze che in banda di valenza si libera una lacuna, ovvero si sposta un legame covalente in più e quindi si incrementa il numero di lacune libere che si possono muovere nella banda di valenza

IL LEGAME CARICA-ENERGIA IN EQUILIBRIO [07:29]

Consideriamo inizialmente un sistema in equilibrio dinamico, cioè un sistema che non scambia energia con l'esterno e quindi non esistono flussi di corrente, né di particelle, la temperatura è perfettamente costante in ogni punto del materiale.

Sotto queste condizioni esiste una relazione ben precisa tra la concentrazione di elettroni liberi in banda di conduzione (n) e il salto di energie $E_c - E_F$ in cui E_c è la minima energia che deve assumere un elettrone per trovarsi in banda di conduzione e in cui E_F è un particolare valore energetico detto "Energia di Fermi" o "Livello di Fermi" del semiconduttore.

(Lo stesso discorso, analogamente, è fatto per la concentrazione di lacune nella banda di valenza, p)

Relazioni di Boltzmann in equilibrio termodinamico

$$n = N_c e^{-\frac{E_c - E_F}{k_B T}}$$

salto di energia
 $E_F = \text{Energia di Fermi}$

↓
Densità efficace degli stati in banda di conduzione
Quantità nota, dipende dal materiale e temperatura

↓
Costante di Boltzmann

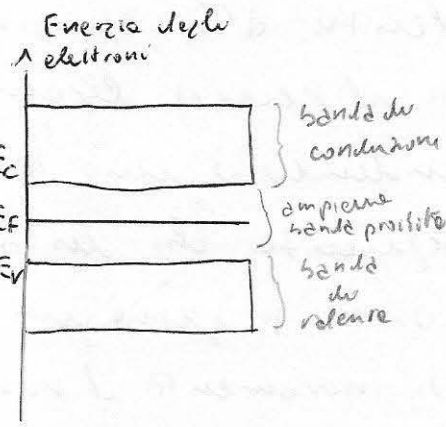
↓
Temp. assoluta, T costante

$$p = N_v e^{-\frac{E_F - E_v}{k_B T}}$$

salto di energia

↓
Densità efficace degli stati in banda di valenza

↓
concentrazione di lacune nella banda di valenza



max energia assunta dall'elettrone in banda di valenza

minima energia assunta dall'elettrone in banda di conduzione

Electroni liberi in banda di conduzione

$$k_B T \approx 26 \text{ m e V a } 300 \text{ K}$$

costante in equilibrio termodinamico

$$[n] = [p] = [N_c] = [N_v] = \text{cm}^{-3}$$

dimensioni dei portatori di carica, un numero per volume

LIVELLO di FERMI

[11/10]

In un certo senso esso misura la quantità di elettroni liberi presenti nel materiale, e il "baricentro" della popolazione di elettroni.

Nella prima equazione di Boltzmann, in avere n più grande occorre che l'argomento dell'esponenziale diventa più piccolo e quindi che il livello di Fermi si sposta sempre di più verso la banda di conduzione E_c .

Questo ci porta ad affermare che il livello di Fermi dipende dal tipo di drogaggio del materiale, sia come tipo (n o p) sia come intensità.

A seconda del tipo di drogaggio il livello di Fermi viene spostato in una direzione o in quella opposta.

A seconda dell'intensità avremo un numero diverso di atomi droganti e quindi una concentrazione diversa di carica libera e di conseguenza il livello di Fermi si sposterà rispetto al valore del semiconduttore puro.

Questo ci porta alla definizione di:

SEMICONDUTTORE INTRINSECO

[12/35]

È un materiale costituito da un cristallo ideale, ed es. il silicio e totalmente privo di droganti. Pure quando essere $n = p = n_i$; infatti la carica libera nasce esclusivamente dagli elettroni nella banda di valenza che vengono promossi in banda di conduzione, quindi ad un elettrone libero

corrisponde una lacuna libera.

La concentrazione in questo caso è definita concentrazione intrinseca ed è solitamente indicata con n_i .

In un materiale intrinseco il livello di Fermi si chiama livello di Fermi intrinseco ed è:

$$n_i = N_C e^{-\frac{E_C - E_{Fi}}{k_B T}} = N_V e^{-\frac{E_{Fi} - E_V}{k_B T}} \quad (\text{facilmente delle relazioni di Boltzmann})$$

$$E_{Fi} = \frac{E_C + E_V}{2} - \frac{k_B T}{2} \log \left(\frac{N_C}{N_V} \right) \approx \frac{E_C + E_V}{2} = \text{centro della banda proibita}$$

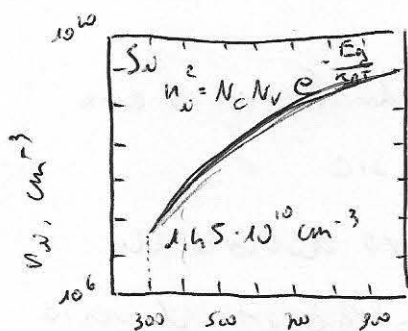
Livello di Fermi intrinseco

rapporto $\frac{N_C}{N_V}$

Dipendenza da T :

$$n_i^2 = N_C N_V e^{-\frac{E_g}{k_B T}}$$

↑
concentrazione intrinseca, numero di elettroni e lacune libere al cm^3



Temperatura, K

RELAZIONI DI SHOCKLEY

16:40

Sono relazioni equivalenti a quelle di Boltzmann, opportunamente

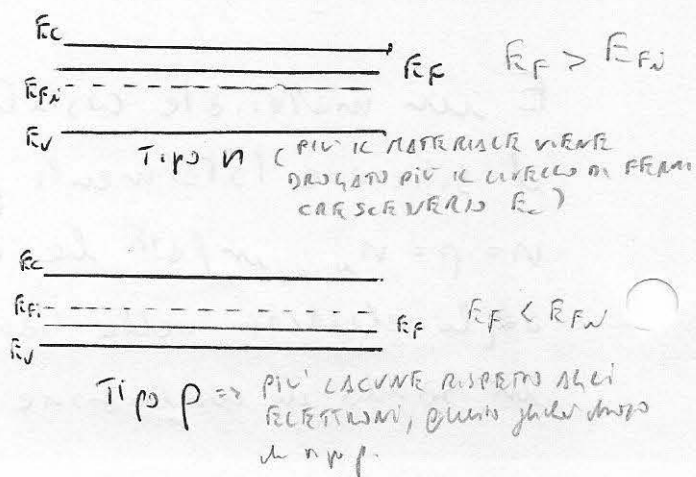
trasformate:

in equilibrio
termodinamico

$$n = n_i e^{\frac{E_F - E_{Fi}}{k_B T}}$$

$$p = n_i e^{\frac{E_{Fi} - E_F}{k_B T}}$$

con lacune libere



Sid le relazioni di Boltzmann che, quelle di Shockley mettono in relazione tre quantità che non conosciamo: la concentrazione di elettroni liberi, quella di lacune libere e la posizione del livello di Fermi.

Per poter calcolare effettivamente la concentrazione di lacune libere in un semiconduttore drogato occorre una terza relazione indipendente dalle prime due

LEGGE DELL'AZIONE DI MASSA

Semiconduttore in equilibrio
(termodinamico)

$$np = n_i^2$$

(multiplicando le due) (eq. di Shockley)

non dipende da T.

Campione omogeneo di tipo n
drogaggio costante

$$n = p + N_D$$

atomi droganti di tipo donatore
atomi droganti ionizzati

Per il principio di conservazione della carica, punto per punto la concentrazione totale di carica negativa deve essere uguale alla concentrazione di carica positiva

Dalle due relazioni sopra abbiamo

$$n = \frac{n_i^2}{n} + N_D$$

con incognita n , la cui soluzione è, solo la positiva

$$n = \frac{N_D}{2} \left[1 + \sqrt{1 + \left(\frac{2n_i}{N_D} \right)^2} \right] \approx N_D$$

tenendo 0.

"PORTATORI MAGGIORITARI ALL'INTERNO DI SEMICONDUZIONE"

N_D rappresenta i portatori di carica all'interno del semiconduttore.

La concentrazione di lacune libere la possiamo calcolare

della legge dell'azione di massa come $p = \frac{n_i^2}{n}$
 Analogamente, se consideriamo un campione omogeneo
 di tipo p, abbiamo:

campione omogeneo di tipo p $n + N_A = p$

Da cui $\frac{n_i^2}{p} + N_A = p$ e

$n_i^2 = p^2$ Legge dell'azione di massa

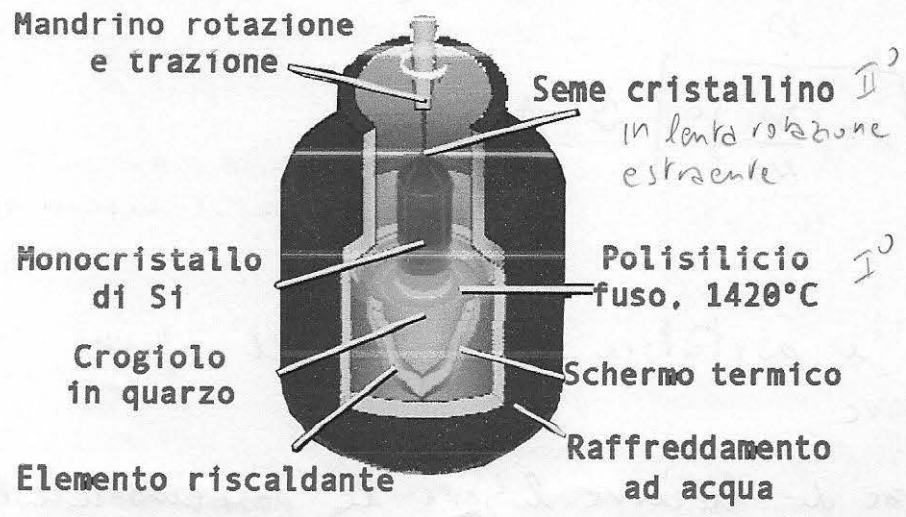
$$p = \frac{N_A}{2} \left[1 + \sqrt{1 + \left(\frac{2n_i}{N_A} \right)^2} \right] \approx N_A$$

N_A sono tutti portatori minoritari o di minoranza

QUINDI, NEL CASO DI UN SEMICONDUCTORE DROGATO DI TIPO p
 GLI ELETTRONI COSTITUISCONO I PORTATORI MINORITARI MENTRE NEL
 CASO DI UN SEMICONDUCTORE DROGATO DI TIPO n SONO LE LACUNE A
 COSTITUIRE I PORTATORI MINORITARI.

ELEMENTI DI TECNOLOGIA Crescita del monocristallo DEI SEMICONDUCTORI

24:40



con tale tecnica si ottengono
 blocchi di diametro
 30/35 cm e lunghezza 1 metro.
 Tale blocco viene tagliato in wafer

Dopo il taglio filo tramite filo diamantato, e come per danno superficiale al materiale viene una fase detta di etching che chimicamente elimina gli strati superficiali.

Dopo aver ottenuto il monocristallo con la tecnica vista esistono diverse tecnologie per realizzare i circuiti integrati e i dispositivi.

Una di queste è la crescita epitassiale in cui viene fatto crescere sulla superficie cristallina di silicio degli ulteriori strati di silicio monocristallino che vanno ad incrementare lo spessore di silicio con degli strati eventualmente drogati.

Una tecnologia molto importante, è quella del drogaggio

DRAGGAGGIO : DIFFUSIONE, tecnica che consiste nel depositare sulla superficie del cristallo di silicio uno strato di atomi droganti (Arsenio, Boro) e riscaldare il sistema con ottenuto a temperatura elevata,

Atomi droganti

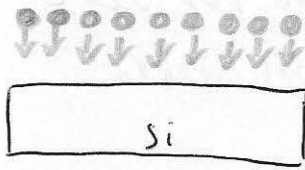


dell'ordine di 300°C / 1000°C .

Al crescere della temperatura, aumenta la diffusività degli atomi droganti nel cristallo.

È un processo ad alta temperatura e determina profili di drogaggio non costanti, anzi monotoni decrescenti a partire dalle superficie, con il massimo sulle superficie del wafer.

DROGGAGGIO: INFIAMMAZIONE IONICA, in questa tecnica



gli atomi droganti vengono eccitati dall'esterno e mandati verso la superficie del silicio. Essi penetrano all'interno del cristallo.

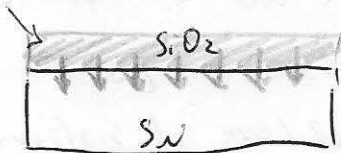
Tale urto provoca un danneggiamento superficiale, da riparare con una ricottura.

Il processo è quindi a bassa temperatura, ma richiede ricottura. Il profilo di drogaggio che si ottiene è non costante, che varia sostanzialmente con la massima in profondità.

OSSIDAZIONE, tecnica che permette dei drogaggi selezionati in sottoree ben precise del wafer di silicio.

Si ottiene per ossidazione, ad alta temperatura, o in ambiente secco o in ambiente umido.

Ossidazione



La fase di ossidazione richiede consumo di silicio poiché gli strati vengono convertiti in biossido di silicio,

$Si + O_2 \rightarrow SiO_2$ Ambiente secco

$Si + 2H_2O \rightarrow SiO_2 + 2H_2$ Ambiente umido

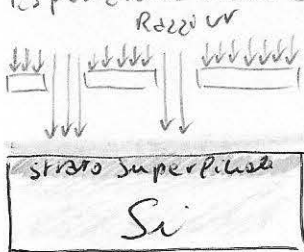
entrando in profondità del wafer

FOTOLITOGRAFIA, tecnica che ha lo scopo di definire strutture su uno strato superficiale del wafer.

Si parte da uno strato superficiale presente sul substrato di silicio e delimitarne aree ben precise.

Essa si compone di diversi passi

Esposizione tramite maschere localmente opaca



Il substrato di silicio viene ricoperto da uno strato di materiale fotosensibile, detto fotoresist, che ha la caratteristica di cambiare le sue caratteristiche chimico-fisiche quando è irradiato con una radiazione elettromagnetica di lunghezza opportuna, nell'ultravioletto.

Le zone irradiate saranno attaccabili nelle cosiddette fasi di sviluppo del fotoresist in cui eliminiamo il fotoresist da tale parte. Questo comporta la realizzazione di aperture nel fotoresist attraverso le quali potrà passare degli attacchi chimici che fanno parte delle fasi successive, detta di etching in cui rimuoviamo selettivamente lo strato superficiale in corrispondenza delle regioni non protette del fotoresist. Successivamente si rimuove il fotoresist e si ottiene l'eliminazione locale dello strato superficiale della superficie del substrato di silicio.

Questa tecnica può essere applicata alla eliminazione selettiva di strati di biossido di silicio; può essere usata per drozzare selettivamente sul wafer (tramite SiO_2); può essere usata per la definizione di collegamenti elettrici (metalli); questa è una tecnologia planare, ed è data dall'innesco della tecnologia dei semiconduttori.

1950
2

Il s'agit de la partie de la machine
qui est la plus importante
de la photographie. Elle est
constituée de plusieurs parties
essentielles. La plus importante
est le mécanisme de l'objectif.
C'est lui qui permet de faire
passer la lumière de l'objet
à photographier sur le film.

Le système optique est constitué
de plusieurs lentilles qui
permettent de faire passer
la lumière de l'objet à
photographier sur le film.
C'est le mécanisme de l'objectif
qui permet de faire passer
la lumière de l'objet à
photographier sur le film.
C'est le mécanisme de l'objectif
qui permet de faire passer
la lumière de l'objet à
photographier sur le film.

Le système optique est constitué
de plusieurs lentilles qui
permettent de faire passer
la lumière de l'objet à
photographier sur le film.
C'est le mécanisme de l'objectif
qui permet de faire passer
la lumière de l'objet à
photographier sur le film.

LEZ. 3 IL TRASPORTO DI CARICA NEI SEMICONDUCTORI

- CORRENTI DI TRASCINAMENTO E DIFFUSIONE di carica libera
- GENERAZIONE E RICOMBINAZIONE
- MODELLO MATEMATICO DEI SEMICONDUCTORI

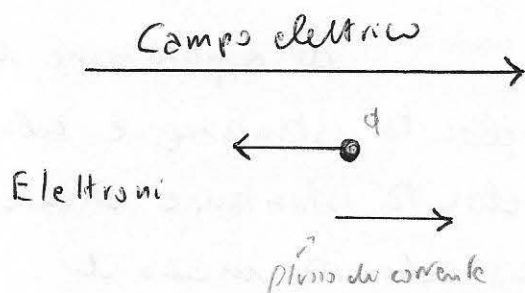
CORRENTI DI TRASCINAMENTO E DIFFUSIONE

MECCANISMI DI TRASPORTO DI CARICA ALL'INTERNO DI UN SEMICONDUCTORE E CORRISPONDENTI VALORI DI CORRENTI, C. DI T. e di D.

CORRENTI DI TRASCINAMENTO

Consideriamo un pezzo di materiale semiconduttore in cui è applicato un certo campo elettrico E , analizzando l'effetto di tale campo elettrico sulle cariche libere che muovono all'interno del materiale vedremo che la forza esercitata dal campo su tale carica è $F = -qE$ ed avremo un moto di elettroni in verso contrario al campo elettrico corrispondente ad un flusso di corrente opposto a tale moto e quindi nello stesso verso del campo elettrico. Questo ci consente di esprimere la densità di corrente di elettroni, cioè la corrente che fluisce per unità di area, equivalente a $J_n = q n \mu_n E$

mobilità degli elettroni
 carica concentrazione di elettroni
 velocità degli elettroni nel materiale



$$F = -qE$$

$$J_n = q n \mu_n E$$

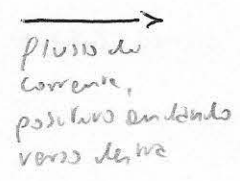
carica conc. di elettroni mobilità degli elettroni

Campo elettrico \rightarrow



$$F = qE$$

Lacune
cariche di
segno positivo



$$J_p = q \rho \mu_p E$$

↓
Densità di corrente di lacune

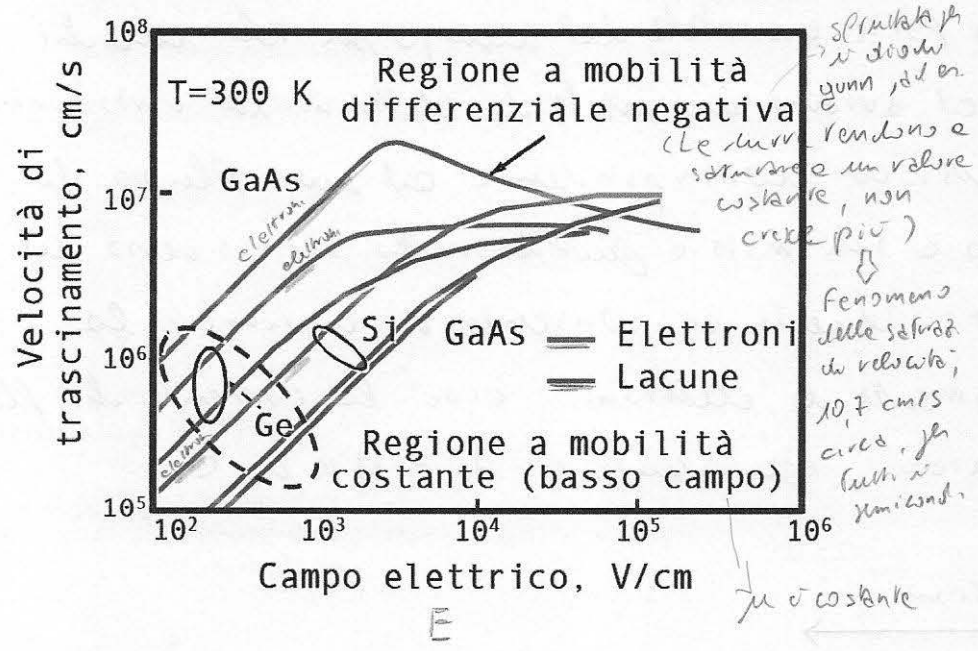
↓
mobilità
conc. di lacune libere

velocità media di trascinamento delle lacune

In entrambe le espressioni di densità di corrente compare il concetto di velocità media di trascinamento, degli elettroni in banda di conduzione, delle lacune in banda di valenza, concetto che si accompagna a quello di mobilità.

Dobbiamo immaginare che gli elettroni o le lacune si comportano come un gas di

Velocità di trascinamento



particelle libere di muoversi nella regione banda di energia permessa.

In equilibrio termico la velocità media delle particelle è nulla, per cui la velocità istantanea molto elevata.

All'applicazione di un

spiega che si dice giustamente che le curve tendono a saturare e un valore costante, non cresce più. Fenomeno delle saturazione di velocità, 10⁷ cm/s circa, per tutti i semiconduttori.

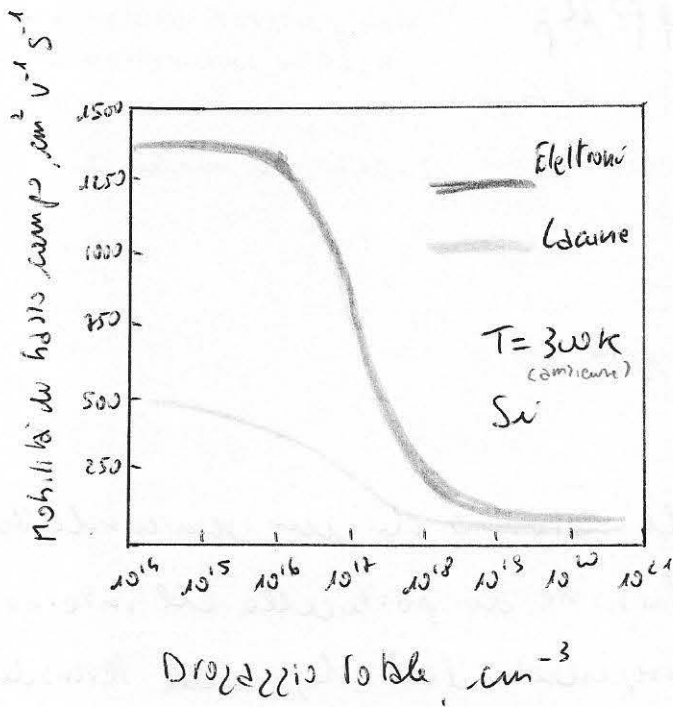
μ costante

campo elettrico potremmo le singole velocità istantanee e calcolando il valor medio di tutte le singole velocità istantanee otteniamo un valore diverso da zero che si chiama velocità media di trascinamento, che ha un andamento particolare, visto in funzione del campo elettrico. Questo andamento è comune

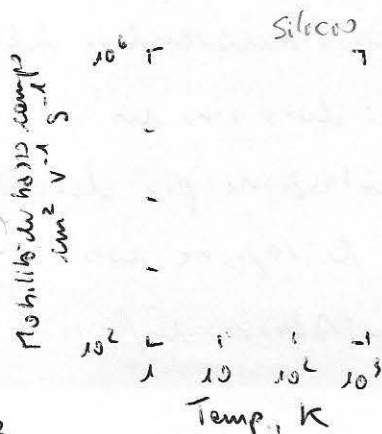
e tutti i semiconduttori; in figura a tre semiconduttori principali (Silicio, Germanio, Arseniuro di Gallio) e l'andamento delle velocità di trasinamento degli elettroni e delle lacune.

Un materiale con le proprietà di basso campo più elevate richiede dispositivi che possano lavorare a frequenze più elevate, avranno un tempo di transito (delle cariche) nel dispositivo, più basso. La variazione massima di intensità di corrente è limitata dal tempo di transito.

La mobilità di basso campo è dipendente anche dai meccanismi di urto: la mobilità di basso campo tende a ridursi al crescere del drogaggio totale presente nel materiale. Intuitivo pensando che aumentando il drogaggio si aumentano le occasioni di urto, e come dell'aumento di perturbazione della periodicità del reticolo cristallino.



La mobilità di basso campo è anche funzione decrescente della temperatura.



All'aumentare della temperatura essa decresce. Quindi le prestazioni del semiconduttore peggiorano all'aumentare della temperatura.

LEGGI di OHM MICROSCOPICA

Materiali con concentrazione uniforme di carica libera e campo elettrico E

$$J = J_n + J_p = qn\mu_n E + qp\mu_p E$$

$$J = \sigma E$$

Legge di Ohm microscopica

Conducibilità elettrica σ

$$\sigma = qn\mu_n + qp\mu_p$$

contributo trascurabile dei portatori minoritari se 2^o elettr. sono molto maggior.

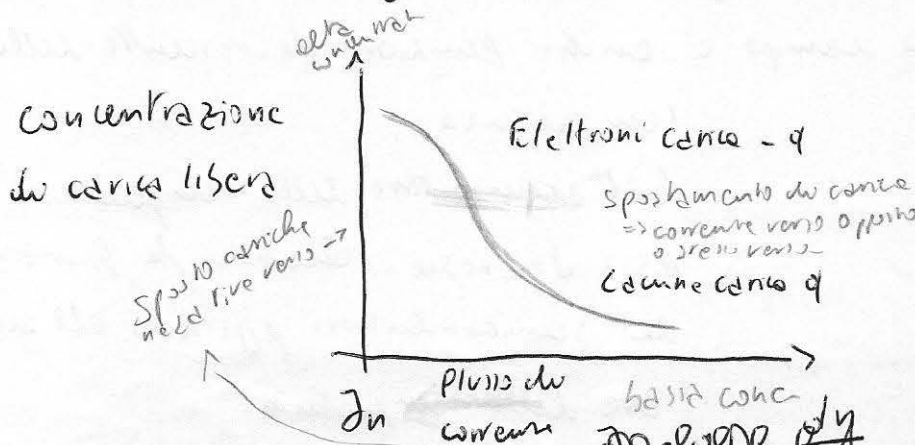
μ_n e μ_p stesso ord. di grand.

tra n e p si possono avere 12 ordini di grandezza di differenza, con $n \gg p$.

CORRENTE DI DIFFUSIONE

15:45

da seconda causa di corrente all'interno di un semiconduttore è la corrente di diffusione, diffusione di particelle all'interno di un semiconduttore che è conseguenza della legge della termodinamica. Si ha quando la temperatura è diversa da 0K



Le particelle tendono a spostarsi muovendosi dalla regione dove sono in concentrazione più elevata verso la regione con concentrazione inferiore.

Questo tipo di movimento cessa quando la concentrazione di particelle è uniforme in ogni punto dello spazio.

Mettere in movimento cariche libere vuol dire determinare dei flussi di corrente e quindi questo dà origine al secondo meccanismo di corrente in un semiconduttore che è la corrente di diffusione.

Si può dimostrare che la densità di corrente associata agli elettroni che diffondono in questo modo si può esprimere come proporzionale ad un coefficiente D_n , di diffusione o diffusività degli elettroni:

$$J_n = q D_n \frac{dn}{dx}$$

$J_n = 0$ se materiale è omogeneo, poiché $\frac{dn}{dx} = 0$

$$J_p = -q D_p \frac{dp}{dx}$$

↳ poiché la densità di corrente è il flusso di particelle con cariche

In equilibrio termodinamico i coefficienti di diffusione sono strettamente legati alle mobilità, che sono espressioni della corrente di trascaldamento;

$$D_n = V_T \mu_n$$

il coefficiente V_T è detto equivalente elettrico della temperatura e il suo valore è:

$$D_p = V_T \mu_p$$

$$V_T = \frac{k_B T}{q} = 26 \text{ mV}$$

Prodotto $k_B T$ normalizzato alla carica q

GENERAZIONE E RICOMBINAZIONE all'interno di un giunc.

È un evento

$G = \text{Tasso di generazione}$

E_c _____

E_{ci} - - - - -

E_v _____

diretta

$R = \text{Tasso netto di ricombinazione}$

Lezame costante riprodotto

Un meccanismo di generazione e ricombinazione in un semiconduttore, di tipo diretto, si presenta quando le particelle saltano direttamente dalla banda di valenza nella banda di conduzione e viceversa.

Tale meccanismo determina la nascita ^(e) o lo scomparire ^(e) di carica libera della relativa banda

$G = \text{Tasso di generazione, numero di particelle per unità di volume e unità di tempo all'interno del materiale}$

$R = \text{Tasso netto di ricombinazione, il numero di particelle che si ricombinano nelle unità di tempo e di volume}$

Tasso di generazione $G_n = G_p$, quando per ogni nascita di un elettrone per generazione diretta, simultaneamente è nata anche una lacuna in banda di conduzione

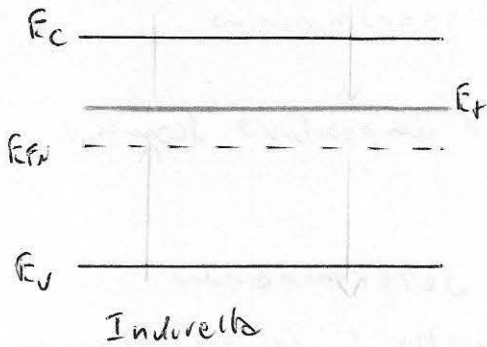
Tasso di ricombinazione $R_n = R_p$ degli elettroni e delle lacune.

I meccanismi di generazione e ricombinazione di tipo diretto sono fondamentali quando voglio realizzare un semiconduttore per applicazioni optoelettroniche

NEI DIODI LED E NEI DIODI LASER, CON EMISSIONE DI FOTONI, ABBIAMO UN MECCANISMO DI RICOMBINAZIONE

Il meccanismo di r. e g. diretto non è l'unico possibile,

c'è anche quello indiretto, in cui il salto di elettroni dalla banda di valenza verso la banda di conduzione o viceversa non risulta mai



condizione o viceversa non risulta mai essere diretto, ma viene mediato attraverso l'esistenza di un livello energetico (detto *trappole*) permesso all'interno della banda proibita.

Esso viene fornito da qualche atomo di impurità o da qualche impurità presente all'interno del cristallo.

Tasso di generazione $G_n \neq G_p$

Tasso di ricombinazione $R_n \neq R_p$

Ci sono diverse relazioni fra le grandezze in gioco.

L'approssimazione che sarà fatta sarà del 1° ordine;

il tasso netto di ricombinazione ($U_n = R_n - G_n$) sarà

espresso secondo la cosiddetta approssimazione di tempo di vita:

per gli elettroni: $U_n = R_n - G_n \approx$

$$\frac{n - n_{eq}}{\tau_n}$$

n → concentrazione locale di elettroni
 n_{eq} → concentrazione all'equilibrio
 τ_n → tempo di vita, o di vita medio degli elettroni

per le lacune: $U_p = R_p - G_p \approx \frac{p - p_{eq}}$

τ_p → tasso di ricombinazione
 τ_p → tasso di generazione

τ_p → Tempo di vita, o di vita medio delle lacune

MODELLO MATEMATICO DEI SEMICONDUCTORI

27:16

SERVE A DEFINIRE UN INSIEME DI EQUAZIONI CHE CONSENTA DI STUDIARE LA DINAMICA DEI PORTATORI LIBERI ALL'INTERNO DEL SEMICONDUCTORE NELLE CONDIZIONI PIU' GENERALI POSSIBILI ANCHE QUANDO IL SEMICONDUCTORE SCAMBIA ENERGIA CON L'ESTERNO, OVERO QUANDO E' FUORI DALL'EQUILIBRIO TERNODINAMICO.

CONCENTRAZIONI FUORI EQUILIBRIO (se il dispositivo scambia energie con l'esterno):

- le concentrazioni di carica libera variano, determinando variazioni di corrente e questo porta al concetto di eccesso di carica.

ECCEDI DI CARICA (carica libera)

Le concentrazioni in equilibrio saranno indicate con n_{eq} e p_{eq} :

$$n = n_{eq} \quad p = p_{eq} \quad \text{concentrazioni in equilibrio}$$

Fuori equilibrio le concentrazioni saranno diverse da quelle in equilibrio e con eccesso di carica viene definito lo spostamento della concentrazione di carica rispetto al valore di equilibrio:

$$n' = n - n_{eq} \quad p' = p - p_{eq}$$

eccesso di carica può essere di segno positivo e di segno negativo

$$n' > 0 \quad p' > 0 \quad \text{Iniezione di carica (libera)}$$

$$n' < 0 \quad p' < 0 \quad \text{Spostamento di carica (libera)}$$

Numericamente, risolvendo le equazioni del modello matematico, si dimostra che gli eccessi di carica sono molto vicini fra loro:

$$n' \approx p' \quad \text{le concentrazioni in eccesso di elettroni e lacune sono vicine}$$

BASSO LIVELLO DI INIEZIONE

Considerando un campione drogato di tipo n.

In equilibrio termodinamico

$$n_{eq} = N_D = 10^{16} \text{ atomi cm}^{-3}$$

I PORTATORI MAGGIORITARI (GLI ELETTRONI) SONO IN CONCENTRAZIONE PARI AL DROGGAGGIO

Per la legge dell'azione di massa ($np = n_i^2$) abbiamo

$$p_{eq} = \frac{n_i^2}{N_D} = 2,1 \cdot 10^{14} \text{ cm}^{-3}$$

Supponiamo di portare il campione fuori equilibrio in modo da avere una concentrazione in eccesso di elettroni⁽ⁿ⁾ e di lacune^(p) di un ordine di grandezza di 10^{12} cm^{-3} :

$$n' = p' = 10^{12} \text{ cm}^{-3} \ll N_D$$

Scelto questo valore perché molto minore di N_D

LE CONCENTRAZIONI DI CARICA ASSUMONO IL SEGUENTE VALORE:

$$n = n_{eq} + n' \approx 10^{16} \text{ cm}^{-3} = n_{eq}$$

concent. eq. concent. ecces.

cioè i portatori maggioritari sono uguali a quelli di equilibrio

$$p = p_{eq} + p' \approx 10^{12} \text{ cm}^{-3} \gg p_{eq}$$

cioè la concentrazione di portatori minoritari è molto maggiore della concentrazione di equilibrio

Questa relazione rende comprensibile il concetto di basso livello di iniezione: siamo fuori equilibrio termodinamico ma con una concentrazione in eccesso trascurabile rispetto alla concentrazione in equilibrio dei portatori maggioritari⁽ⁿ⁾ e, di conseguenza, solo i portatori minoritari^(p) subiscono in modo significativo

una variazione di concentrazione, quindi i portatori maggioritari possono essere considerati pari a quelli di equilibrio. Questo fatto comporta dei vantaggi nella risoluzione del modello matematico, che si basa in pratica sulle equazioni di continuità che rappresentano in termini differenziali il principio di conservazione delle cariche.

EQUAZIONI DI CONTINUITA'

33:23

Rappresentano il principio di conservazione delle cariche.

Definiamo la dinamica della carica libera fuori equilibrio

$$\frac{\partial n}{\partial t} = \frac{1}{q} \frac{\partial J_n}{\partial x} - U_n$$

Derivata della concentrazione di elettroni rispetto al tempo = $\frac{1}{q}$ Derivata della densità di corrente rispetto allo spazio - Tasso netto di ricombinazione

Equazione relativa alla concentrazione di elettroni

$$\frac{\partial p}{\partial t} = \frac{1}{q} \frac{\partial J_p}{\partial x} - U_p$$

Equazione relativa alla concentrazione di lacune

Andando a rappresentare le espressioni di densità di corrente otteniamo

MODELLO A DERIVA-DIFFUSIONE

$$J_n = q n \mu_n E + q D_n \frac{\partial n}{\partial x}$$

elettroni

$$J_p = q n \mu_p E - q D_p \frac{\partial p}{\partial x}$$

lacune

contributo di movimento

contributo di diffusione

Allora nelle due equazioni di continuità, oltre alle due incognite concentrazione di carica compare anche la presenza del campo elettrico, strettamente legato alla presenza di cariche elettriche.

Quindi abbiamo due equazioni di continuità in tre incognite: concentrazione di carica libera e campo elettrico, (n, p, E). La terza equazione che chiude il problema è l'equazione di Poisson, che lega la distribuzione di campo elettrico nel materiale al potenziale elettrostatico φ .

EQUAZIONE DI POISSON

LEGA LA CARICA NEL MATERIALE AL POTENZIALE ELETTROSTATICO

$$E = - \frac{\partial \varphi}{\partial x}$$

↑ densità di carica
↓ campo elettrico

$$\frac{\partial E}{\partial x} = \frac{\rho}{\epsilon} = \frac{q}{\epsilon} (p - n + N_D - N_A)$$

equazione di Gauss
↑ costante dielettrica

Esprimendo l'equazione sopra in termini di potenziale abbiamo

$$\frac{\partial^2 \varphi}{\partial x^2} = - \frac{\rho}{\epsilon} = - \frac{q}{\epsilon} (p - n + N_D - N_A) \quad \text{Equazione di Poisson}$$

Quindi il modello matematico è rappresentabile da

$$\left. \begin{aligned} \frac{\partial n}{\partial t} &= \mu_n \frac{\partial (nE)}{\partial x} + D_n \frac{\partial^2 n}{\partial x^2} - \frac{n - n_{eq}}{\tau_n} \\ \frac{\partial p}{\partial t} &= \mu_p \frac{\partial (pE)}{\partial x} + D_p \frac{\partial^2 p}{\partial x^2} - \frac{p - p_{eq}}{\tau_p} \end{aligned} \right\} \text{equazioni di continuità}$$

3.11 $\frac{\partial^2 \varphi}{\partial x^2} = - \frac{q}{\epsilon} (p - n + N_D - N_A) \quad \text{eq. di Poisson}$

MODELLO MATEMATICO STAZIONARIO

SISTEMA DI 3 EQUAZIONI

$$0 = \mu_n \frac{d(nE)}{dx} + D_n \frac{d^2 n}{dx^2} - \frac{n - n_{eq}}{\tau_n}$$

$$0 = \mu_p \frac{d(pE)}{dx} + D_p \frac{d^2 p}{dx^2} - \frac{p - p_{eq}}{\tau_p}$$

$$\frac{d^2 \phi}{dx^2} = -\frac{q}{\epsilon} (p - n + N_D - N_A)$$

REGIONE NEUTRA \Rightarrow semplificazione

E' UNA REGIONE IN CUI LA DENSITA' DI CARICA NETTA E' ZERO, OVVERO

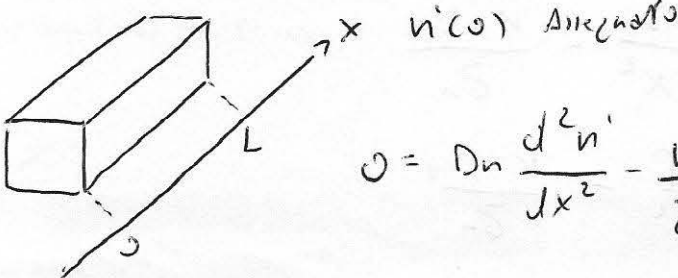
REGIONE DOVE $\rho = 0$ (\Rightarrow nell'eq. di Gauss $dE = 0$)

e, se le condizioni sono opportune, in essa $E = 0$, o molto piccolo

Questo ha una conseguenza molto importante: il modello stazionario si semplifica.

$$\left. \begin{aligned} 0 &= D_n \frac{d^2 n}{dx^2} - \frac{n - n_{eq}}{\tau_n} \\ 0 &= D_p \frac{d^2 p}{dx^2} - \frac{p - p_{eq}}{\tau_p} \end{aligned} \right\} \begin{array}{l} \text{eq. di continuità,} \\ \text{disaccoppiate} \end{array}$$

Esempio di modello stazionario \Rightarrow campo nullo \Rightarrow *è in campo, non parte con* 31/16



$$0 = D_n \frac{d^2 n'}{dx^2} - \frac{n'}{\tau_n}$$

Abbiamo un campione di conduttore unidimensionale, di lunghezza L ; supponiamo di aver realizzato su una superficie una

concentrazione in eccesso di elettroni $n'(x)$, con il campione drogato di tipo p, quindi parliamo dei portatori minoritari all'interno del campione.

È soddisfacente l'equazione di continuità semplificata in condizioni stazionarie. Essa è facilmente risolvibile e la soluzione, ovvero la distribuzione di concentrazione in eccesso dei portatori minoritari e^- ,

$$n'(x) = A e^{\frac{x}{L_n}} + B e^{-\frac{x}{L_n}}$$

L_n è un coefficiente di decadimento e rappresenta quello che si chiama la lunghezza di diffusione dei portatori minoritari all'interno del campione.

$$L_n = \sqrt{D_n \tau_n} \quad \text{Lunghezza di diffusione}$$

\swarrow \searrow
 diffusività Tempo di vita dei portatori minoritari

Per completare la soluzione nel modello matematico abbiamo bisogno di calcolare i due coefficienti A e B e quindi particolareggiare la soluzione generale, per cui abbiamo bisogno di due condizioni al contorno:

$n'(0)$ Assegnato 1ª condizione, cioè $n'(0)$ è un valore.

$n'(L) = 0$ Contatto ohmico Al termine del campione la conc. in eccesso deve andare a zero in presenza di un contatto ohmico

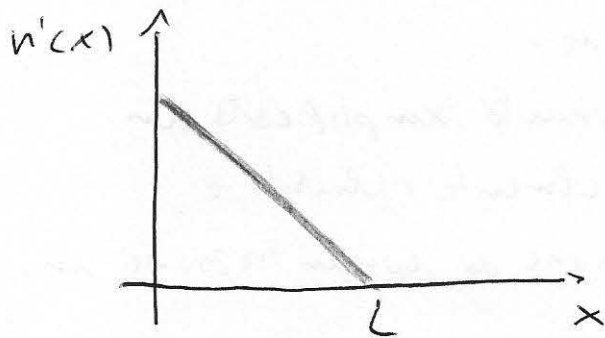
Abbiamo due casi limite, campione corto e campione lungo.

Nel campione corto $L \ll L_n$, nel campione lungo $L \gg L_n$.

CAMPIONE CURTO

$$L \ll L_n$$

Andamento lineare

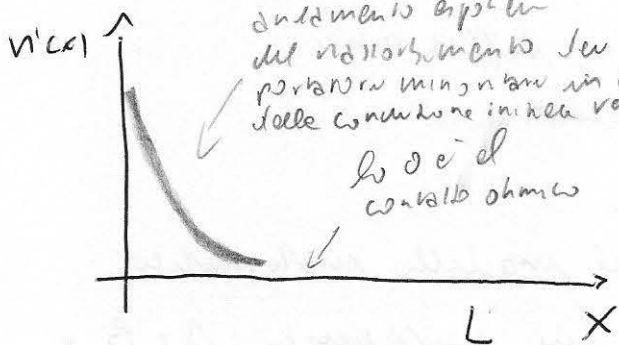


$$n'(x) = n'(0) \frac{L-x}{L} \quad \text{soluzione particolare}$$

CAMPIONE LUNGO

$$L \gg L_n$$

Andamento esponenziale



$$n'(x) = n'(0) e^{-\frac{x}{L_n}}$$

LEZ. 4 - LA GIUNZIONE PN I^a

STRUTTURA e FUNZIONAMENTO STATICO

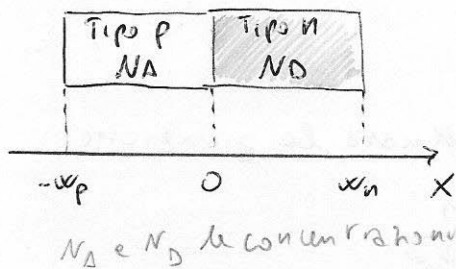
- Struttura fisica e diagramma a bande
- Le caratteristiche statiche
- I limiti delle caratteristiche statiche ideali, in particolare la regione di Break down del diodo

STRUTTURA FISICA E DIAGRAMMA A BANDE

in equilibrio termodinamico

GIUNZIONE PN brusca. (caso più semplice di giunzione pn)

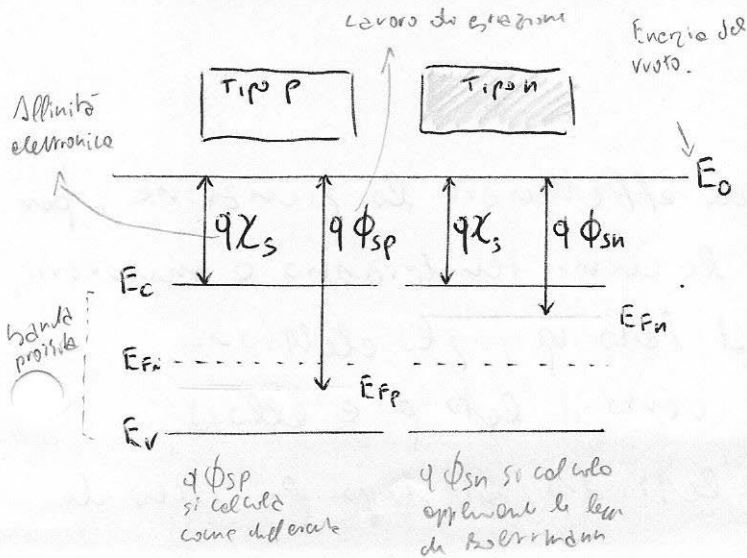
Una giunzione pn è un semiconduttore che presenta due regioni, una drogata p e una drogata n, in un unico cristallo perfetto in qualunque sua posizione.



La realizzazione attraverso una variazione di concentrazione di tipo di atomi droganti all'interno, appunto, di un cristallo di semiconduttore

Nella giunzione pn brusca i drogaggi ai due lati sono costanti. Invece un esperimento ideale di realizzazione

Supponiamo di avere due materiali isolanti, un semiconduttore



drogato p e uno drogato n, che siano perfettamente omogenei presi singolarmente e che siano all'equilibrio termodinamico. Si costruisce il diagramma a bande che è una rappresentazione grafica delle energie che possono dare ad occupare gli

elettroni all'interno del cristallo.

E_0 è l'energia del vuoto, l'energia minima che deve assumere un elettrone per essere completamente libero di andarsene dall'interno del materiale. Essa è assunta come una quantità costante.

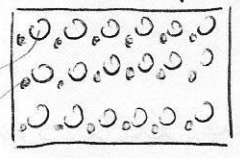
$q\chi_s$ è l'efficienza elettronica, il salto di energia che supera il minimo della banda di conduzione E_c dal livello del vuoto E_0 .

ϕ è una quantità caratteristica del tipo di cristallo, per il silicio vale circa 4 eV.

$q\phi_{sp}$ è il lavoro di estrazione, la distanza tra il livello di Fermi e il livello del vuoto.

L'esperimento ideale consiste nell'effettuare la giunzione

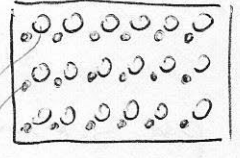
Lato p



- > Lacune libere;
- > Accettori fissi, atomi dopanti ionizzati che hanno liberato la corrispondente lacuna

Il numero di elettroni liberi è trascurabile rispetto al numero di lacune libere

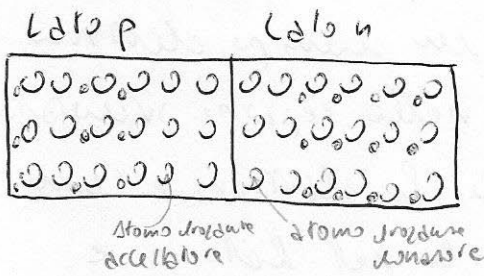
Lato n



- > Elettroni liberi;
- > Donatori fissi, atomi dopanti ionizzati + Poche lacune (libere di muoversi)

All'istante $t=0$ supponiamo di effettuare la giunzione, per la legge di diffusione le lacune tenderanno a muoversi, appunto per diffusione verso il lato n, gli elettroni liberi tenderanno a muoversi verso il lato p e avremo degli elettroni nel lato drogato tipo p, viceversa

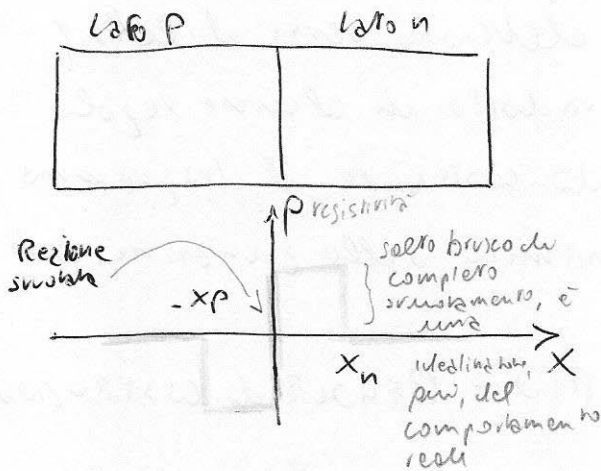
lacune libere e questo innescerà un meccanismo di ricombinazione in cui elettroni e lacune si vanno ad elidere, in un tempo di transizione.



Le lacune del lato p tenderanno verso il lato n elidendosi con gli elettroni.

Avremo alla fine, al centro, una regione svuotata di carica libera. Gli atomi droganti in tale regione, ionizzati e non liberi di muoversi, risultano essere non più bilanciati dalle corrispondenti cariche mobili.

A cavallo della giunzione, detta metallurgica, si determina una regione svuotata di portatori liberi e quindi una regione che non è più neutra ed avrà una densità di carica costante e fissa.



Al sistema non è applicata nessuna energia; in equilibrio termodynamico la corrente che passa nella struttura è zero.

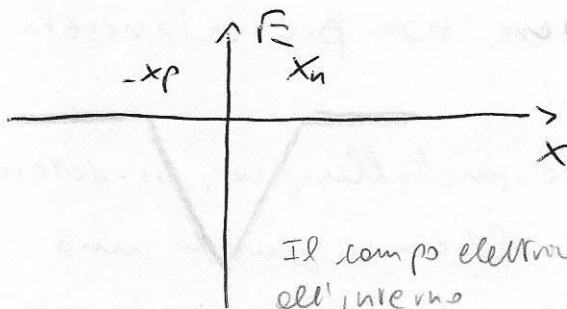
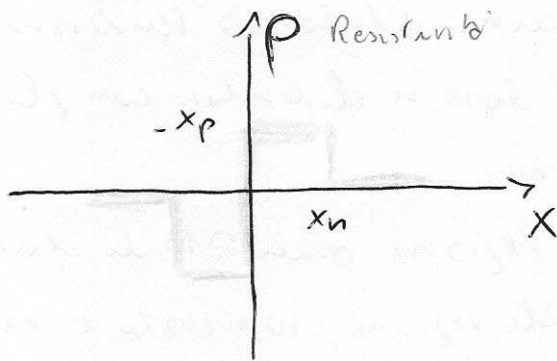
Ma il lato n è ricco di elettroni e il lato p è ricco di lacune,

quindi i portatori maggioritari del lato n tenderanno a spostarsi per diffusione e allora si deve essere innescato un meccanismo che bilancia il potenziale flusso di carica libera per diffusione.

Lo svuotamento della parte centrale deve aver fatto nascere un qualche campo elettrico che mantiene gli elettroni confinati nel lato n e le lacune confinate nel lato p dando origine ad una situazione di equilibrio termodynamico.

per cui la corrente totale è zero.

Campo di built-in



Il campo elettrico all'interno della giunzione

Abbiamo un campo elettrico E negativo nella regione svuotata che prende gli elettroni e tende a mantenerli nel lato n e tende a mantenere le lacune all'interno del lato p .

La distribuzione finché del campo elettrico E deve bilanciare i flussi di carica che per diffusione richiederebbero uno spostamento di lacune verso il lato n e di elettroni verso il lato p .

Questo comportamento può essere tradotto in alcune regole di costruzione che ci consentono di costruire il diagramma a bande dell'equilibrio termodinamico della giunzione $p-n$

DIAGRAMMA A BANDE IN EQUILIBRIO - REGOLE DI COSTRUZIONE (CORRENTE 0)

- E_F COSTANTE (perché corrente è nulla) Indipendente dalle posizioni
- LONTANO DALLE DISCONTINUITA' CUNE NEL MATERIALE NEUTRO (il comportamento del diagramma a bande)
- E_g , χ_s COSTANTI; E_0 CONTINUA (Proprietà del cristallo, non del drogaggio) Sono proprietà indipendenti dalle posizioni

~~Devi sempre applicare queste regole, ricordando che per un dato drogaggio esiste un campo elettrico che è diverso da zero al centro della giunzione $p-n$~~

Dobbiamo applicare certe regole ma per farlo dobbiamo

ricordare che in conseguenza della funzione delle giunzioni abbiamo una regione di svuotamento con carica diversa da zero al centro della giunzione.

LEGHNE CARICA - BANDA

15:50

IL DIAGRAMMA A BANDA È UNA RAPPRESENTAZIONE DELLA ENERGIA POTENZIALE DEGLI ELETTRONI, $E_p(x)$

L'ENERGIA DEGLI ELETTRONI $E^- - q$ MOLTIPLICATA PER LA DISTRIBUZIONE DI POTENZIALE ELETTROSTATICO $\psi(x)$ ALL'INTERNO DELLA STRUTTURA

DALLE CONDIZIONI SOPRA ABBIAMO CHE

$$E_p(x) = -q \psi(x)$$

ED È RILAVABILE FACILMENTE CHE DATA L'EQ. DI POISSON E SOSTITUENDO ψ CON E_p , VARI

\downarrow potenziale
 \downarrow densità di carica netta nel materiale

$$\frac{d^2 \psi}{dx^2} = - \frac{\rho}{\epsilon}$$


Eq. di POISSON


\downarrow Energia potenziale e quando il diagramma a bande, è proporzionale a $\frac{\rho}{\epsilon}$, con coefficiente di proporzionalità q .

$$\frac{d^2 E_p}{dx^2} = q \frac{\rho}{\epsilon}$$

cell. III

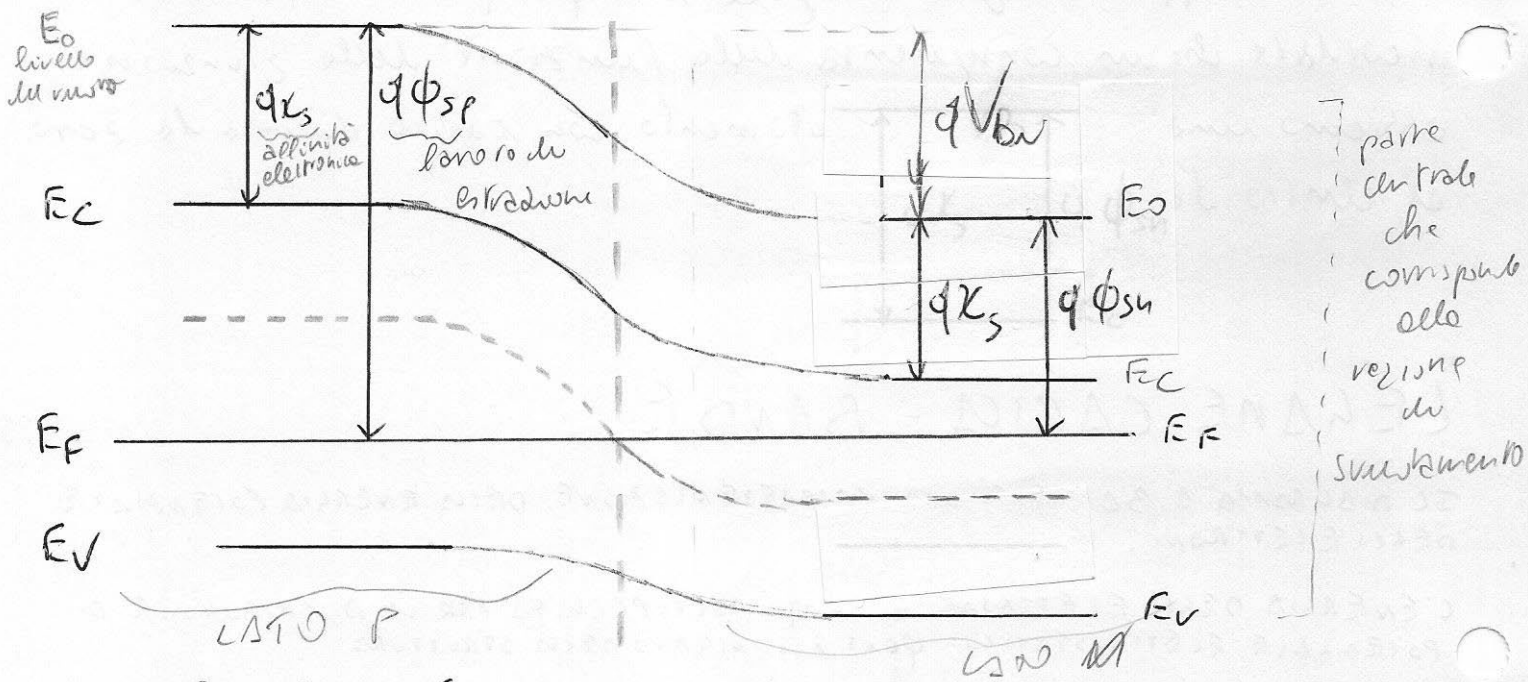
Se $\rho = 0$, allora $\frac{d^2 E_p}{dx^2} = 0 \Rightarrow$ diagramma a bande rettilineo

se $\rho > 0$, allora  il diagramma a bande ha una concavità verso l'alto.

se $\rho < 0$, allora  il diagramma a bande ha una concavità verso il basso.

Questa proprietà in funzione di ρ mi permette di disegnare a livello qualitativo il diagramma a bande in equilibrio termodinamico della giunzione pn

DIAGRAMMA A BANDE DELLA GIUNZIONE



Il livello di Fermi è costante in ogni punto X.

LONTANO DALLA REGIONE DI SVUOTAMENTO ABBIAMO LO STESSO DIAGRAMMA A BANDE DEI MATERIALI ISOLANTI. QUINDI IN PARTICOLARE A SINISTRA DELLA REGIONE SVUOTATA DEL LATO P IL LIVELLO DI FERRI È A UNA DISTANZA PARI AL LAVORO DI ESTRAGIONE $q\phi_{sp}$ DAL LIVELLO DEL VUOTO E_0 E ABBIAMO E_C SOPRA E_F DI UNA QUANTITÀ UGUALE ALLA CONCENTRAZIONE DI ELETTRONI LIBERI; ABBIAMO E_0 SOPRA E_C DI UNA QUANTITÀ PARI ALLA AFFINITÀ ELETTRONICA.

NELLA REGIONE VUOTA DEL LATO N ABBIAMO E_F PIÙ VICINO A E_C INVECE CHE A E_V . IL LIVELLO DEL VUOTO E_0 SI TROVA A UNA DISTANZA DAL LIVELLO DI FERRI E_F PARI AL LAVORO DI ESTRAGIONE $q\phi_{sn}$.

LE LODE COMPLICATE CHE ACCADONO NELLA STRUTTURA CRISTALLINA NELLA REGIONE CENTRALE DI SVUOTAMENTO.

NELLA REGIONE SVUOTATA DEL LATO P ABBIAMO UNA REGIONE SVUOTATA DI LACUNE E QUINDI UNA CARICA NEGATIVA E QUINDI LA CONCENTRAZIONE DEL DIAGRAMMA DEVE AVERE LA CONCENTRAZIONE VERA IL BASSO \Rightarrow completamente

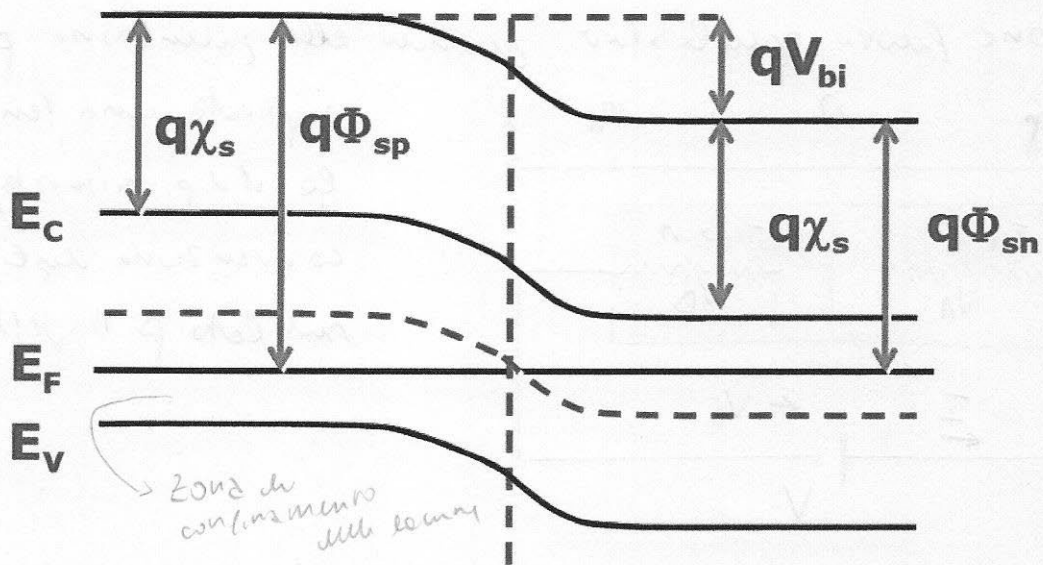
NELLA REGIONE ^{svuotata} DEL LATO N IL DIAGRAMMA A BANDE HA LA CURVATURA RIVOLTA VERSO L'ALTO \Rightarrow completamente

come conseguenza del questo ragionamento

NELLA REGIONE A LIVELLO DELLE REGIONI DI SVUOTAMENTO RISULTA SVILUPPARE UNA BARRIERA DI ENERGIA POTENZIALE CHE TENDE A LIMITARE IL FLUSSO DI ELETTRONI CHE PER DIFFUSIONE DAL LATO N VORREBBERO ANDARE VERSO IL LATO P; un elettrone per andare dal lato n al lato p deve superare questa barriera di energia potenziale.

LE LACUNE SONO CONFINATE ALL'INTERNO DEL LATO P NELLA STESSA BARRIERA DI ENERGIA POTENZIALE, BARRIERA CHE DEFINISCE QUELLO CHE SI CHAMA IL POTENZIALE DI BUILT-IN O POTENZIALE DI CONTATTO DELLA GIUNZIONE PN E CHE È LA DIFFERENZA TRA I LAVORI DI ESTRAGIONE DEL LATO P E DEL LATO N.

Diagramma a bande della giunzione



$$qV_{bi} = q\phi_{sp} - q\phi_{sn} \quad \text{potenziale di contatto}$$

SOSTITUENDO I VALORI DI ESTRAZIONE IN FUNZIONE DELLE CONCENTRAZIONI DI CARICA LIBERA NEL MATERIALE SI DIMOSTRA CHE IL POTENZIALE DI CONTATTO È LEGATO AL PRODOTTO DEL LOGARITMO DELLE CONCENTRAZIONI DEI DUE LATI DIVISO LA CONCENTRAZIONE INTRINSECA AL QUADRATO DEL MATERIALE CHE COSTITUISCE LA GIUNZIONE p-n

$$V_{bi} = V_T \log \frac{N_A N_D}{n_i^2}$$

" 26 mV

$$V_T = \frac{k_B \cdot T}{q} \quad \text{tensione termica,}$$

$qT = 300 \text{ K}$
 $V_T \approx 26 \text{ mV}$

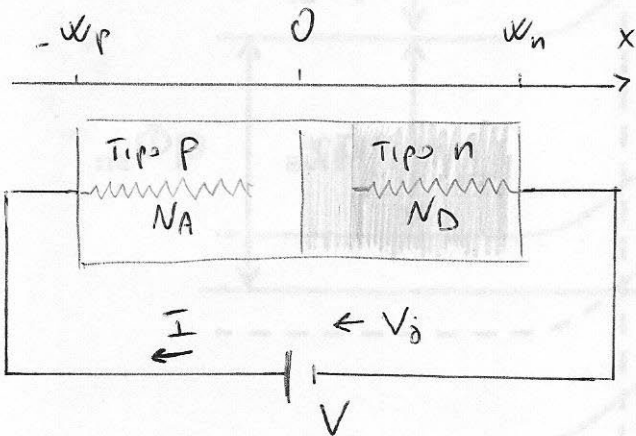
Barrera di energia che bilancia il flusso di cariche maggioritarie per diffusione.

Barrera che mantiene le portatore maggioritarie nei suoi lati.

LA CARATTERISTICA STATICA

COMPORTAMENTO STATICO DELLA GIUNZIONE PN
Comportamento elettrico

Giunzione p-n in equilibrio, quando alla giunzione p-n è



applicata una tensione V ,
la d.d.p. risultante, con
convenzione degli utilizzatori,
sul lato p rispetto al lato n.

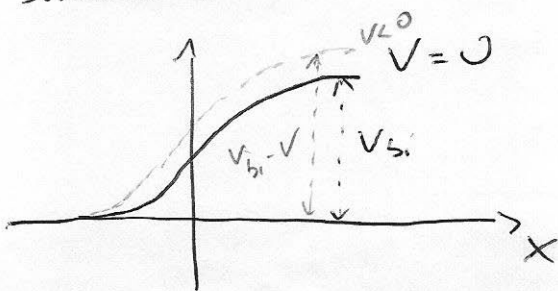
Regione di smarrimento in corrispondenza della giunzione metallica.

All'interno di tale regione abbiamo due regioni neutre che hanno
un comportamento elettrico di tipo resistivo, R_p .

Le tre regioni sono disposte in serie e R_p è la somma
delle resistenze parziali associate alla giunzione p-n.

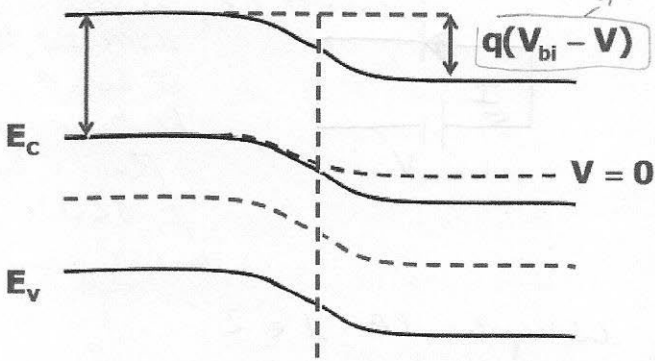
La caduta della tensione applicata che va a modificare la
barriera di potenziale è $V_j = V - R_p I$, per approssimazione

$R_p \cdot |I| \ll |V| \rightarrow V_j \approx V$, la caduta di potenziale nelle
regioni resistive ($R_p |I|$) è trascurabile rispetto alla tensione
totale applicata, questo fa poter dire che tutta la tensione V va a
modificare la caduta di potenziale su ogni delle regioni di
smarrimento



$V < 0 \Rightarrow$ polarizzazione inversa
Quando incrementa la
barriera di potenziale, da
 $q V_{bi}$ a $q (V_{bi} - V)$

Diagramma a bande in polarizzazione inversa



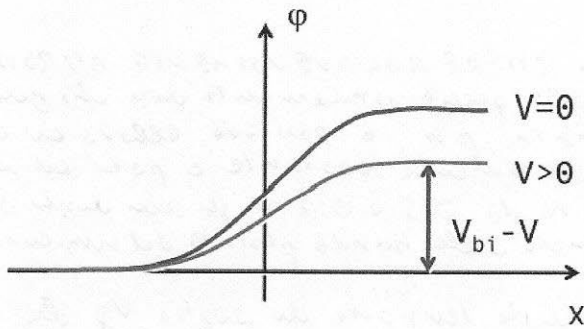
consegue di ridurre il livello di energia di n e p e di conseguenza si rivedono le dimensioni portatore minoritari

conseguente: prende il trasferimento dei portatori minoritari.

Corrente I ^{portatore minoritari} negativa, quasi costante con V e molto piccola in valore assoluto

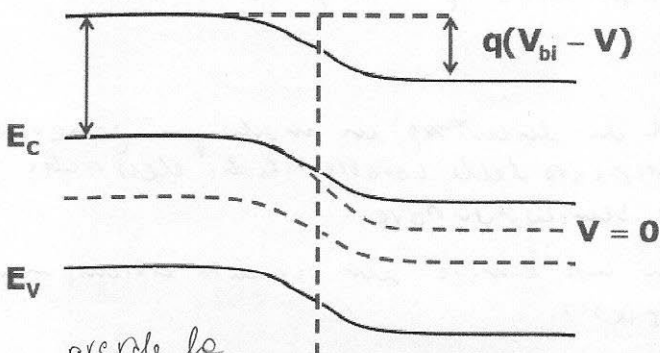
Polarizzazione diretta: $V > 0$

=> il salto di potenziale si riduce



la barriera diminuisce, aumentando V diminuisce ancora

Diagramma a bande in polarizzazione diretta



prende la diffusione di elettroni

conseguente: prende la diffusione dei portatori maggioritari verso il lato opposto.

Corrente I positiva, che varia molto rapidamente con V e di valore elevato.

CARATTERISTICA STATICA

IL COMPORTAMENTO della giunzione pn è asimmetrico rispetto alla tensione applicata.

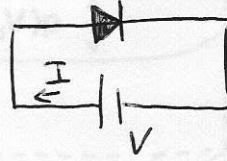
$$I = I_S \left(e^{\frac{V}{mV_T}} - 1 \right)$$

per $V > 0 \Rightarrow I$ cresce esponenzialmente

$$V < 0 \Rightarrow I = -I_S$$

m è detto fattore di idealità, compreso tra 1 e 2

I_S è detta corrente inversa di saturazione della giunzione pn

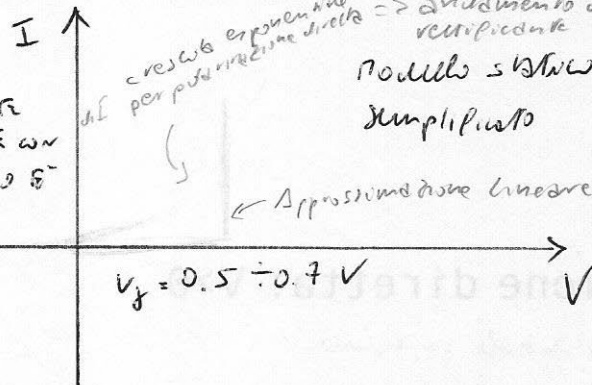


simile circuito della giunzione pn; la corrente scorre dal lato p al lato n; lo sarà indicato da il flusso è limitato per $V < 0$ e I tende a essere negativa

tipicamente l'andamento delle caratteristiche I e V :

L'ANDAMENTO DI I è IL COMPORTAMENTO DI UN DIODO IDEALE CIOÈ DI UN DISPOSITIVO CHE MANTIENE IL PASSAGGIO DI CORRENTE IN UN PUNTO DI POTENZIALE 0 QUANDO È IN

POLARIZZAZIONE DIRETTA E SI COMPORTA DA CIRCUITO APERTO QUANDO È IN POLARIZZAZIONE INVERSA.



crescita esponenziale per polarizzazione diretta \Rightarrow andamento di tipo rettificante
Modello statico semplificato
Approssimazione lineare

L'ANDAMENTO DI TIPO ESPONENZIALE PUÒ ESSERE RAGIONEVOLMENTE APPROSSIMATO DA UN ANDAMENTO COSTANTE A TRATTI LINEARI; questo andamento si verifica quando la corrente che scorre nel diodo, nella giunzione pn, è positiva, allora su ogni di esso la tensione viene mantenuta sostanzialmente costante e pari ad un valore normalmente indicato con V_f che va da 0.5 a 0.7 V per un diodo di silicio. Tale caduta di tensione è dovuta circa la metà della banda proibita del semiconduttore che realizza la giunzione pn.

Per un tensione applicata che sia inferiore della tensione di soglia V_f la corrente è molto piccola ed è approssimata a zero.

Il modello ideale a tratti, pur essendo una approssimazione buona dell'andamento esponenziale, consente una analisi molto più semplice dell'andamento delle caratteristiche statiche e quindi di studiare in modo più semplice i circuiti in cui la giunzione pn è presente.

Questo tipo di approssimazione consente di discutere in modo più generale il problema della rappresentazione semplificata delle caratteristiche elettriche di un qualunque tipo di dispositivo a semiconduttore

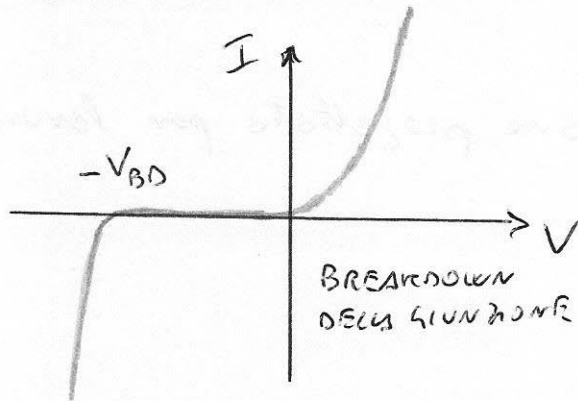
Il modello semplificato è realizzabile in due modi: un circuito estremamente semplice o un circuito estremamente complesso.

LIMITI DELLA CARATTERISTICA

STATICA IDEALE

un 1° limite è η

TENSIONE DI ROTTURA



In una giunzione p-n in polarizzazione inversa nel modello della caratteristica, la corrente inversa si avvicina al valore $-I_S$ e continua a restare costante a tale valore anche se tensioni applicate inverse elevate, fino ad un certo valore critico che si chiama tensione di rottura o tensione di breakdown della giunzione p-n.

In corrispondenza di tale valore, $-V_{BD}$, la corrente inizia a crescere in modo brusco. Tale meccanismo, molto complesso, è tale per cui si innescano una generazione di portatori minoritari ed interno della regione svuotata.

Meccanismo che viene indotto dalla presenza del campo elettrico e al crescere della tensione inversa applicata aumenta il picco del valore del campo elettrico nella giunzione che fa innescare questo meccanismo di generazione.

Elettroni in eccesso nella regione svuotata vengono frastu verso il lato n dal campo elettrico ed altrettanto per le lacune che vengono frastu verso il lato p e questo determina l'incremento del valore assoluto della corrente all'interno della giunzione.

Questo porta a delle potenze dissipate nella giunzione molto elevate e il conseguente innalzamento della temperatura ai capi della giunzione ne può addirittura determinare la distruzione.

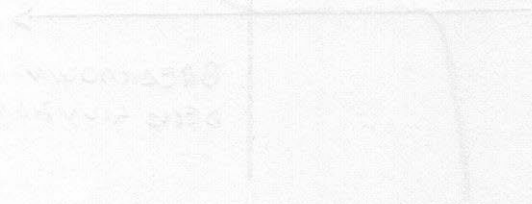
È importante controllare la corrente massima che scorre nella giunzione.

D'altro canto, l'andamento quasi verticale della curva suggerisce un modello: la tensione è quasi costante, pari a $-V_{BD}$, e quindi la p-n può essere in sostanza un generatore ideale di tensione. Questo è però il modo tener.

DIODO ZENER

Nella regione di rottura, la tensione è quasi indipendente della corrente.

Il diodo Zener è una giunzione progettata per lavorare in questa regione.



LEZ. 5 LA GIUNZIONE PN : COMPORTAMENTO DINAMICO

- Effetti capacitivi e modello di ampio segnale
- Approssimazione di piccolo segnale (applicata all'elettronica analogica)

EFFETTI CAPACITIVI e MODELLO DI AMPIO SEGNALE

Consideriamo un condensatore lineare e para-parallelo

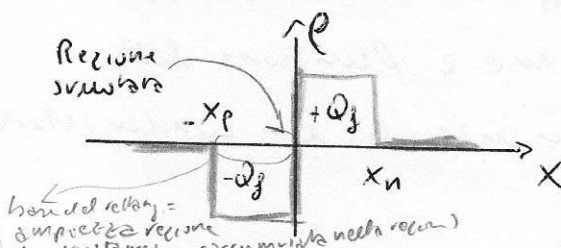
$$\begin{array}{c} \text{I} \\ \rightarrow \\ \uparrow \\ \text{V} \end{array} \left[\begin{array}{c} +Q \\ -Q \end{array} \right] \quad Q = CV \quad I = \frac{dQ}{dt} = C \frac{dV}{dt}$$

LA PRESENZA DI UNA CARICA DIPENDENTE DA UNA TENSIONE DETERMINA UN EFFETTO CAPACITIVO. (di tipo reattivo)

L'effetto capacitivo è di tipo reattivo e determina una limitazione in frequenza di qualunque dispositivo perché al crescere della frequenza del segnale, cioè al crescere della frequenza del segnale applicato al dispositivo, il condensatore si comporta sempre più in modo simile a un corto circuito.

Nel caso specifico della giunzione ~~spesso~~ vediamo un caso in cui sono cariche che dipendono dalla tensione applicata

CARICHE IN UNA GIUNZIONE



la larghezza della regione di svuotamento (circumscritta nella figura)

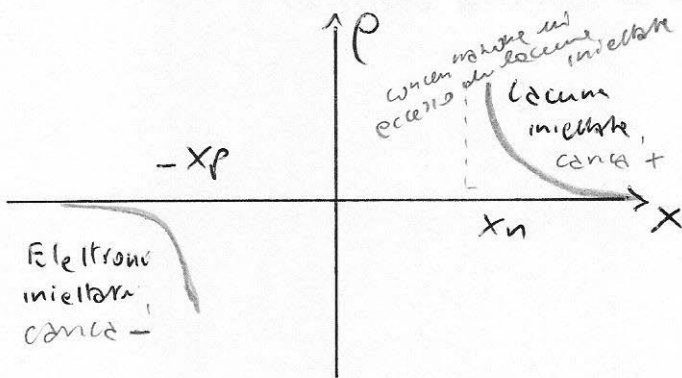
LA CARICA DI SVUOTAMENTO Q_j DIPENDE DALLA TENSIONE APPLICATA ATTRAVERSO LE LARGHEZZE DELLE REGIONI SVUOTATE.

Q_j non è l'unica carica.

L'ampiezza della regione di svuotamento dipende dalla tensione applicata ed è proporzionale alla radice quadrata della tensione, dando un effetto capacitivo della giunzione pn.

che è una carica non è su armature, ma è distribuita in una regione di svuotamento.

Soprattutto in condizioni di polarizzazione diretta, il posto
 flusso di corrente nella giunzione è determinato dallo iniezione
 di portatori minoritari nei due lati: iniezione di lacune
 nel lato n e iniezione di elettroni
 nel lato p.



(rappresenta la carica nella cella all'interno del dispositivo.)

Amperohm: portatori sono mobili

LA CARICA MOBILE DI INIEZIONE Q_m DIPENDE DALLA TENSIONE APPLICATA.

La carica Q_m è funzione della tensione applicata: tensione alta implica maggior carica.

In entrambi i casi possiamo calcolare il contributo di corrente, ponendo giunzione della analogia con il condensatore lineare.

EFFETTI CAPACITIVI

Contributo di corrente associato alla carica Q_g :

$$I_g = \frac{dQ_g(V)}{dt} = \frac{dQ_g}{dV} \frac{dV}{dt} = C_S(V) \frac{dV}{dt}$$

Q_g , carica fissa

quantità delle dimensioni di una capacità

g = fissa perché il contributo è dato da una carica fissa

in cui C_S è la capacità di spostamento.

Tale capacità deriva dalla modulazione dell'ampiezza della regione svuotata determinata dalla tensione applicata. Non è costante (come nel condensatore a lamiere parallele) ma è funzione della tensione applicata e quindi come in presenza di un condensatore non lineare.

Contributo di corrente associato alla carica mobile Q_m :

$$I_m = \frac{dQ_m(V)}{dt} = \frac{dQ_m}{dV} \frac{dV}{dt} = C_d(V) \frac{dV}{dt}$$

quantità della
dimensione di una capacità

In cui C_d è la capacità di diffusione associata alla giunzione pn

Entrambe le quantità hanno delle espressioni ricavabili dall'analisi dettagliata microscopica per sezionamento del dispositivo, come per

ESPRESSIONI

Capacità di smarrimento

$$C_s(V) = A \sqrt{\frac{q \epsilon N_{eq}}{2(V_{bi} - V)}}$$

tensione
di built-in

$$N_{eq} = N_A \parallel N_D$$

↓
Drozzaggio
equivalente

il parallelo del valore
dei due drozzi

Capacità di diffusione prevalente in polarizzazione diretta

$$C_d(V) = qA \frac{n_i^2}{V_T} \left[\frac{L_n}{N_A} + \frac{L_p}{N_D} \right] e^{\frac{V}{V_T}}$$

Tutto questo ci conduce al modello di ampio segnale della giunzione pn, che è una relazione matematica del comportamento elettrico del dispositivo che non prevede limitazione al valore delle tensioni applicabili alla giunzione. Il modello ha delle limitazioni correlate con le semplificazioni che stanno alla base delle espressioni che sono state ricavate

MODELLO DI AMPIO SEGNALE

La corrente i scorre dallo zionter pn in funzione di una tensione V tempo variante

$$I = I_{de}(V) + I_g(V) + I_m(V)$$

contributo

istantaneo, diretto

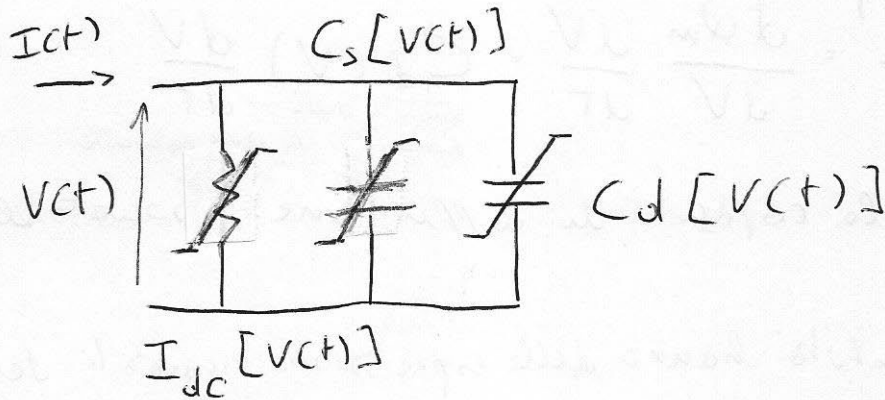
la risposta della giunzione

in assenza di effetti capacitivi

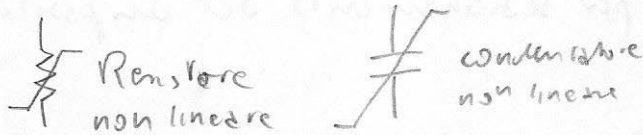
contributo di ritardo, dovuto alla variazione di

carica nella giunzione rispetto al tempo

$$I = I_s (e^{\frac{V}{V_T}} - 1) + C_s(V) \frac{dV}{dt} + C_d(V) \frac{dV}{dt}$$



Circuitto equivalente
di dmpio nlineare,
una rappresentazione
accettabile del modello.



APPROSSIMAZIONE DI PICCOLO SEGNALE

13:18

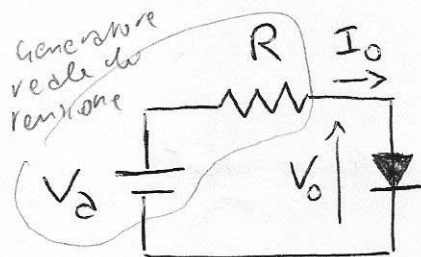
METODO DI ANALISI USATO NELLA ELETTRONICA ANALOGICA
concetto di "funzionamento in condizioni di piccolo segnale"

È una rappresentazione approssimata del funzionamento dei circuiti elettronici in un particolare caso e viene usata nello studio dei circuiti analogici in particolare degli amplificatori lineari. Ne è molto importante l'applicazione allo studio dei transistori.

Dobbiamo prima introdurre il concetto di punto di funzionamento o riposo dei vari dispositivi.

PUNTO DI FUNZIONAMENTO A RIPOSO

(concetto applicabile ai circuiti e ai loro componenti)



Caso molto semplice di un circuito che coinvolge la giunzione pn

Ogni circuito, sia esso semplice o complesso, è caratterizzato dal cosiddetto punto di funzionamento a riposo.

Qualunque sistema elettronico presenta, in sostanza, due comportamenti separati; un sistema elettronico, affinché funzioni,

deve essere "access", questo vuol dire applicare al circuito elettronico i generatori costanti che forniscono quella che si chiama alimentazione del sistema elettronico, quella che costituisce la fonte di energia primaria del sistema elettronico.

I generatori costanti devono essere accesi prima che il sistema elettronico sia messo in funzione, prima cioè che sia applicato quel segnale, in genere tempo variante, che sarà processato dal sistema elettronico stesso.

All'accensione abbiamo un breve transitorio dopo il quale tutti gli elementi circuitali vanno a posizionarsi sul loro punto di funzionamento a riposo, ovvero a valori di tensione e corrente che sono stati progettati per il funzionamento del circuito.

In figura e pag. 5.4 un generatore reale di tensione costante.

Il punto di funzionamento a riposo è un concetto applicabile anche su componenti di un circuito, quindi per il generatore di tensione costante esso è il valore della tensione a vuoto V_0 , indipendentemente dalle correnti che in esso circolano.

Quello del generatore dipende dal comportamento degli elementi non lineari, quindi l'attenzione cade sull'elemento non lineare, nella giunzione pn.

Il punto di funzionamento a riposo della giunzione pn è, per definizione, costituito dai valori di tensione e corrente ai capi del dispositivo stesso che devono soddisfare due vincoli:

$$1) \quad V_0 = V_0 + R I_0$$

equazione di bilancio delle tensioni alla unica maglia, CKT.

Rehta di carico

caduta di potenziale
sulle resistenze

quella retta è, nel piano della tensione e della corrente $V_0 - I_0$, è una retta e per tale motivo, questo vincolo circuitali che deve essere soddisfatto dal punto di funzionamento a riposo viene di solito indicato con il nome di retta di carico

La seconda equazione che lega V_0 e I_0 è la relazione costitutiva dell'elemento non lineare ed essendo in condizioni statiche determiniamo la caratteristica statica della giunzione pn

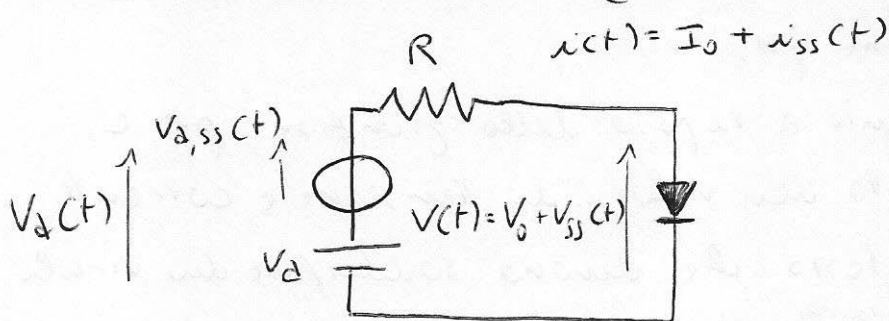
$$2) \quad I_0 = I_S \left(e^{\frac{V_0}{V_T}} - 1 \right)$$

da soluzione del sistema lineare di due equazioni in due incognite si il valore I_0, V_0 che è il punto di funzionamento a riposo del diodo.

(I_0, V_0) : punto di funzionamento a riposo (p.d.f.) del diodo

Per far funzionare il circuito occorrono le condizioni di normale funzionamento, quindi il circuito deve essere applicato un generatore di segnale. Supponiamo che esso sia decomponibile nella somma di due tensioni parziali, la prima è V_d costante, corrispondente alla accensione del dispositivo, la seconda è in serie al punto ed è il generatore di segnale, indicato con $V_{d,ss}(t)$.

Generatore di segnale



di piccolo segnale si basa sull'idea di decomporre l'altro n segnali elettrici presenti nel circuito e quindi tensioni e correnti che scorrono nel dispositivo, concentrandosi

sull'elemento non lineare che ci interessa, quindi il diodo.

In particolare decomponiamo la corrente che scorre nel diodo e la tensione ai capi del diodo nella somma di un contributo costante con un contributo di segnale.

$$i(t) = I_0 + i_{ss}(t)$$

contributo di segnale, variazione che il punto di funzionamento a riposo subisce in conseguenza della applicazione del segnale applicato $v_{d,ss}(t)$; $i_{ss}(t) = 0$ se $v_{d,ss}(t) = 0$.

↳ scorre nel diodo a riposo, quando c'è solo V_0 , nel punto di funzionamento a riposo

Tensione ai capi del diodo

$$V(t) = V_0 + v_{ss}(t)$$

↳ Perturbazione
↳ Tensione ai capi del diodo nel punto di funzionamento a riposo, quando è applicato solo il generatore costante

(I_0, V_0) : punto di funzionamento a riposo del diodo dovuto al solo generatore DC V_0

IPOTESI DI PICCOLO SEGNALE

SIAMO IN GRADO DI APPLICARE IL MODELLO DI AMPIO SEGNALE E CALCOLARE LA CORRENTE ISTANTANEA $i(t)$ E LA TENSIONE ISTANTANEA $v(t)$. QUINDI OCCORRE INTRODURRE L'IPOTESI, O APPROSSIMAZIONE DI PICCOLO SEGNALE.

L'ipotesi o approssimazione di piccolo segnale è basata sulla supposizione che $v_{d,ss}(t)$, cioè il generatore di segnale applicato all'intero circuito sia sufficientemente piccolo perché la perturbazione $v_{ss}(t)$, la tensione ai capi del diodo stesso, sia molto piccola rispetto al valore V_0 , tensione nel punto di funzionamento a riposo.

$v_{d,ss}(t)$ sufficientemente piccola perché $v_{ss}(t)$ sia una piccola perturbazione di V_0 , ovvero

$$|v_{ss}(t)| \ll |V_0|$$

~~(non è piccolo il segnale $v_{d,ss}(t)$ e il suo effetto sul punto di lavoro)~~

NON È RICHIESTO CHE IL SEGNALE APPLICATO AL CIRCUITO SIA PICCOLO, MA IL SUO EFFETTO SUL PUNTO DI FUNZIONAMENTO DEL DISPOSITIVO NON LINEARE SIA DI PICCOLA AMPIEZZA RISPETTO AL VALORE CHE IL PUNTO DI FUNZIONAMENTO ASSUME QUANDO IL SEGNALE È ASSENTE.

NON È UNA LIMITAZIONE SULL'AMPIEZZA DEL SEGNALE APPLICATO MA SULLA PERTURBAZIONE CHE IL SEGNALE APPLICATO DETERMINA PER OGNI PUNTO DI FUNZIONAMENTO PER OGNI DEI DISPOSITIVI NON LINEARI.

Il motivo per cui è stata formulata l'approssimazione di piccolo segnale imponendo un vincolo sulla variazione di tensione ($V_{SS}(t)$) è legato alla formulazione di ampio segnale della giunzione pn.

Grazie all'ipotesi di piccolo segnale otteniamo in forma esplicita

$$I_{dc}(V) = I_{dc}(V_0 + V_{SS})$$

$$\approx I_{dc}(V_0) + \left. \frac{dI_{dc}}{dV} \right|_{V_0} V_{SS}$$

$$= I_0 + g_{do} V_{SS}$$

↳ conduttanza differenziale

la risposta istantanea in corrente determinata da una tensione applicata V .

Applicando la decomposizione V può essere espressa come $V_0 + V_{SS}$. Abbiamo esplicitato l'approssimazione di piccolo

segnale nella tensione perché la tensione è la grandezza che controlla l'elemento non lineare.

Se l'elemento non lineare fosse stato controllato in corrente avremmo dovuto formulare l'approssimazione di piccolo segnale sulla corrente.

V_{SS} , la perturbazione, è trascurabile rispetto a V_0 e quindi possiamo pensare di approssimare questa relazione, in generale non lineare, con il suo sviluppo in serie del punto $V_{SS} = 0$, ovvero $V = V_0$. Quello che otteniamo è che la caratteristica statica viene valutata inizialmente in V_0 e a questo dobbiamo aggiungere una perturbazione proporzionale a V_{SS}

in cui il coefficiente di proporzionalità è la derivata prima della caratteristica statica rispetto a V calcolata nel punto di funzionamento a riposo V_0 e quindi questa è una costante essendo V_0 un valore di tensione costante: la derivata definisce il parametro g_{do} .

Possiamo ragionare in modo analogo sulle componenti di carica, per cui la carica fissa presente nel dispositivo (Q_f) è funzione della tensione V , che può essere decomposta in $V_0 + V_{SS}$, con V_{SS} piccolo rispetto a V_0 e quindi possiamo

$$Q_f(V) = Q_f(V_0 + V_{SS})$$

$$\approx Q_f(V_0) + \left. \frac{dQ_f}{dV} \right|_{V_0} V_{SS}$$

$$= Q_f(V_0) + C_{so} V_{SS}$$

capacità di spostamento costante valutata nel p.d.f. a riposo.

approssimare la relazione con lo sviluppo in serie

E analogamente per la carica mobile, che può essere approssimata al primo ordine.

$$Q_m(V) = Q_m(V_0 + V_{SS})$$

$$\approx Q_m(V_0) + \left. \frac{dQ_m}{dV} \right|_{V_0} V_{SS}$$

$$= Q_m(V_0) + C_{do} V_{SS}$$

carica nel p.d.f. a riposo, è costante

capacità di diffusione valutata nel p.d.f. a riposo, è costante

Altri due punti da notare congiuntamente:

PARAMETRI DIFFERENZIALI

Conduttanza differenziale della giunzione pn

$$g_{do} = \frac{d(I_{dc})}{dV} \Big|_{V_0} = \frac{I_0 + I_s}{\eta V_T}$$

caratteristica statica
corrente nel punto di funzionamento a riposo
corrente inversa di saturazione della giunzione pn

Capacità di smottamento

$$C_{so} = \frac{dQ_f}{dV} \Big|_{V_0} = A \sqrt{\frac{q \epsilon N_{eff}}{2(V_{bi} - V_0)}}$$

Area della giunzione

Capacità di diffusione

$$C_{do} = \frac{dQ_m}{dV} \Big|_{V_0} = q A \frac{n_i^2}{V_T} \left[\frac{L_n}{N_A} + \frac{L_p}{N_D} \right] e^{\frac{V_0}{V_T}}$$

Sostituiamo le approssimazioni fatte sui termini non lineari del modello dinamico di ampio segnale e vediamo che cosa succede:

$$I(V) = I(V_0 + V_{ss}) = \underbrace{I_0}_{1^a \text{ decomposta}} + \underbrace{I_{ss}}_{2^a \text{ decomposta}} \approx I_0 + g_{do} V_{ss} + C_{so} \frac{dV_{ss}}{dt} + C_{do} \frac{dV_{ss}}{dt}$$

secondo il modello di ampio segnale
rende nel p.d.f. a riposo
componente di grande
corrente nel p.d.f. a riposo
perturbazione di piccolo segnale
approssimazione caratteristica statica
termini di ritardo legati alle demarca prima delle cariche

E quando abbiamo:

termini di smottamento

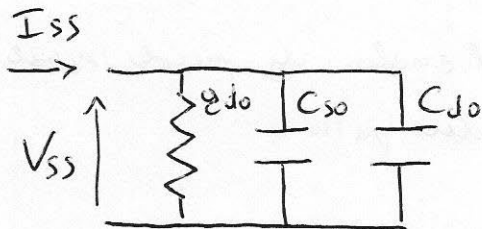
termini di diffusione

$$i_{SS} = y_{do} V_{SS} + C_{so} \frac{dV_{SS}}{dt} + C_{do} \frac{dV_{SS}}{dt}$$

che è una relazione lineare tra la variazione di segnale, i_{SS} , nella corrente e la variazione di tensione di segnale applicata ai capi del diodo, V_{SS} . Quindi:

CIRCUITO EQUIVALENTE DI PICCOLO SEGNALE

Il dispositivo non lineare viene rappresentato dal circuito equivalente per le variazioni ^{nel caso il diodo} di corrente e tensione ai capi del diodo _{non la corrente totale I_{II} e la tensione totale V_{SS}} .



È un circuito lineare, dato dal parallelo di tre elementi lineari, la conduttanza differenziale, la capacità di smontamento e la capacità di diffusione.

ALTRI ELEMENTI CIRCUITALI

31/21

L'approssimazione di piccolo segnale è applicabile ed applicata a tutti i dispositivi presenti nel circuito, quindi ai generatori, e gli elementi lineari e soprattutto i diodi e gli elementi non lineari.

Il circuito equivalente per le variazioni di un elemento lineare coincide con l'elemento ^{il componente} stesso (R, L, C), questo perché non è approssimabile.

Nel caso dei generatori costanti, essi vanno spenti;
 generatore di tensione costante $\Rightarrow V = \text{cost.} \Rightarrow \text{variaz. } \Delta V = 0$,
 quindi è un cortocircuito nella sua rappresentazione.

generatore di corrente costante $\Rightarrow I = \text{costante} \Rightarrow$
 variazione $\Delta I = 0$, quindi è rappresentato da un
 circuito aperto.

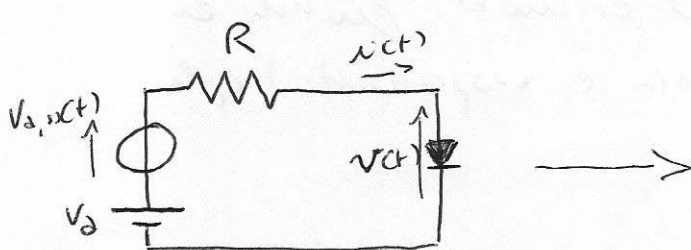
Quindi, per ricavare il circuito equivalente di piccolo
 segnale per le variazioni è sufficiente a generatori
 costanti di tensione.

Questo ci porta alla considerazione che l'analisi di piccolo segnale di un
 qualunque circuito deve essere fatta in due passi.

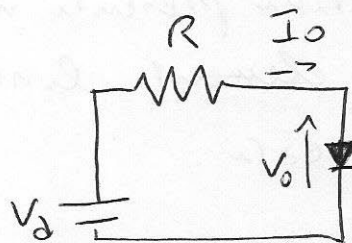
ANALISI DI PICCOLO SEGNALE

viene svolta in due passi:

- Analisi in DC per il punto di funzionamento e riposo (p.d.f.),
 ovvero viene determinato il p.d.f. di tutta la disposizione
 nel circuito
- Generatori di segnale spenti



$V_{d,ss(t)}$ è il generatore
 di segnale \rightarrow viene
 spento



↑ Rimane acceso solo quello generatore
 di segnale

Circuito di analisi del punto di
 lavoro (c.a.) e riposo,
 modello statico

Poi dobbiamo rappresentare tutti gli elementi del circuito con il loro modello statico, questo perché con generatore costante nel tempo tutti gli elementi restano non da un condensatore (condensatore = circuito aperto, induttore = corto circuito).

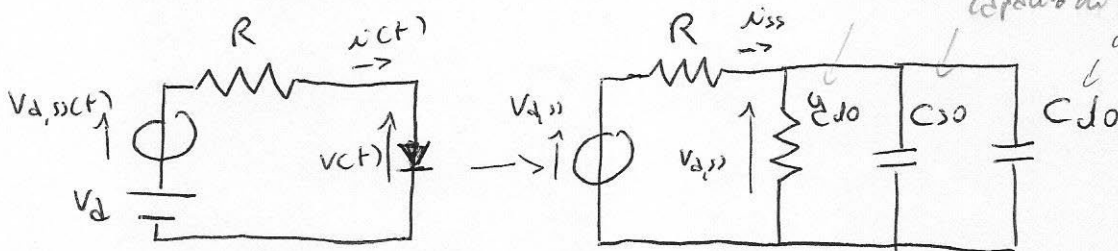
Una volta determinato il modello statico occorre risolvere il circuito ovvero calcolare tensioni e correnti in ogni elemento del circuito. Questo compito determina tutti i punti di funzionamento e riposo di tutti gli elementi presenti nel circuito.

Questo perché nell'approssimazione di piccolo segnale ogni elemento non lineare è rappresentato da un circuito equivalente lineare che è caratterizzato dai parametri differenziali e questi devono essere calcolati nel punto di funzionamento e riposo.

Ultimo passo è quello di ricavare il circuito equivalente per le variazioni del circuito non lineare dato. Questo in due passi:

1. Circuito per le variazioni

2. Generatore in DC spento



ogni elemento di questo circuito è il modello statico dell'elemento per le variazioni.

Il generatore costante V_d è spento e sostituito con un corto circuito. Il generatore di segnale rimane invariato perché esso dà l'eccitazione di piccolo segnale al circuito. Il resistore R , elemento lineare, è lo stesso. La giunzione pn, elemento non lineare, è sostituita col circuito equivalente per le variazioni.

notare che il circuito equivalente per le variazioni Δy
 esclusivamente il generatore di segnale applicato alle portate
 dei vari punti di funzionamento e non dei vari elementi
 circuitali che il generatore stesso induce quindi
 molto essere una analisi approssimata.



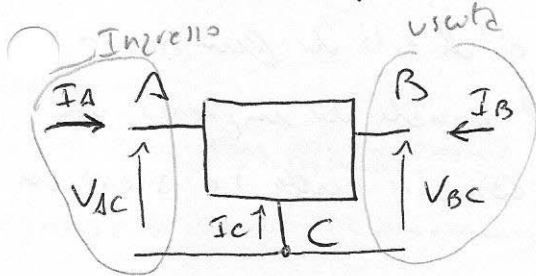
LEZ. 6 IL TRANSISTORE BIPOLARE

STRUTTURA e FUNZIONAMENTO STATICO

- IL CONCETTO DI TRANSISTORE
- STRUTTURA FISICA E PRINCIPIO DI FUNZIONAMENTO
- CARATTERISTICHE STATICHE A RETTIFICAZIONE COMUNE
- IL TRANSISTORE PNP

IL CONCETTO DI TRANSISTORE

È un dispositivo elettronico con almeno tre terminali



collegamento a "C" comune,
correnti sempre entranti
nei tre terminali $\Rightarrow I_A + I_B + I_C = 0$
a lo KKC.

Uno dei terminali viene usato da
elemento comune (coppio bipolo),
dove si utilizza uno dei tre terminali
come elemento di riferimento per le
tensioni applicate o le altre due.
Questo terminale è il cosiddetto
comune tra ingresso e uscita e, nel
diagramma è il "C".

Si identificano una porta di ingresso e una di uscita.

Alle porta di ingresso è applicato il segnale, alla porta di
uscita è prelevato il segnale che è stato processato dal transistor.

EFFETTO TRANSISTORE

il comportamento tipico identificato nel
transistore rispetto ad altri dispositivi a
tre terminali

La corrente di uscita dipende, oltre che dalle tensione
di uscita, anche dall'ingresso.

$$I_B = I_B(V_{BC}, \underbrace{\text{segnale elettrico (generato)}}_{\text{applicato all'ingresso}})$$

$$I_B = I_B(V_{BC}, I_A) \quad \text{Transistore bipolare, controllato in corrente}$$

$$I_B = I_B (V_{BE}, V_{CE}) \quad \text{Transistore a effetto di campo}$$

↑ segnale di controllo in ingresso e la tensione applicata alla porta di ingresso.

Quante sono le due grandi famiglie di dispositivi a semiconduttore, per applicazioni come transistor che dominano completamente il settore dell'elettronica circuitale: i transistori bipolari e i transistori ad effetto di campo.

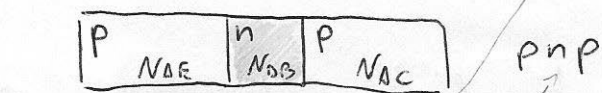
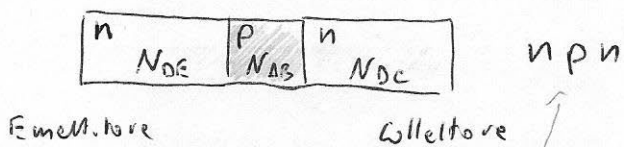
USO DEL TRANSISTORE

- Applicazioni analogiche di tipo lineare (amplificatori) o non lineari (mixer)
- Applicazioni digitali, nelle quali il transistor è chiesto di funzionare come un interruttore che è controllato dal segnale di ingresso che fa commutare tra due stati: stato off (corrente nulla) e stato on (corrente nulla).

da commutazione tra i due stati avviene in modo elettrico, avvenendo e cambiando il valore delle variabili elettriche di ingresso, quindi la corrente in un transistor bipolare o la tensione applicata alla porta di ingresso in un transistor ad effetto di campo.

STRUTTURA FISICA e PRINCIPIO DI FUNZIONAMENTO

TRANSISTORE BIPOLARE. È costituito da tre regioni di semiconduttore in modo alternato, di tipo opposto.

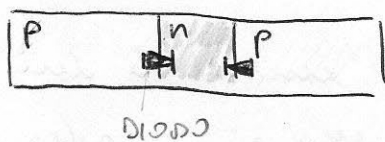
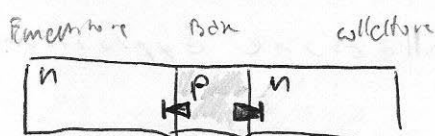


Le tre regioni sono chiamate emettitore, base e collettore.

N_D = numero portatori maggioritari, atomi drogatura ionizzata di tipo Donatore
 N_A = numero portatori minoritari, tipo Accettore

↑ polarità del drogaggio nelle regioni, la base

La struttura del transistor bipolare può essere rappresentata come quella di due giunzioni pn collegate in anti serie da



due diodi, ovvero a due diodi di collegamento fra le parti sono in opposito. La presenza di due giunzioni indipendenti nel transistor comporta quattro possibili regioni di funzionamento e secondo che le giunzioni siano polarizzate in modo diretto oppure inverso.

I primi due tipi di funzionamento:

- le due giunzioni sono polarizzate inversamente quando abbiamo le due regioni in polarizzazione inversa e allora non esiste flusso di corrente tra l'emettitore e il collettore e la base è in quanto con la regione di funzionamento della regione di interdizione. Questo è il caso di utilizzo in applicazioni digitali
- una giunzione è in polarizzazione diretta, quindi la giunzione pn ha su suoi capi una tensione in costante costante, quindi indipendente della corrente che lo attraversa con un valore tipico che, per il silicio, è intorno a $0,5 \div 0,7 V$.

Nel caso di entrambe le giunzioni polarizzate dirette, e sinistra nel transistor npn, la giunzione ^{pn} ha su suoi capi una tensione ^{V_{BE}} di circa $0,6 V$ e a destra, su capi della giunzione base-collettore c'è ugualmente la stessa tensione.

Le due tensioni sono di verso opposto quindi tra emettitore e collettore c'è una tensione sostanzialmente nulla, data dalla differenza delle due tensioni di polarizzazione dirette sulle due giunzioni che sono attraversate da una corrente

molto elevata e quindi c'è un flusso di corrente significativo tra collettore e emettitore. Quindi, questa regione di funzionamento, detta regione di saturazione approssime il comportamento del corto circuito

Le altre due regioni sono quella in cui una delle due giunzioni è in polarizzazione diretta e l'altra è in polarizzazione inversa. In pratica abbiamo le seguenti situazioni:

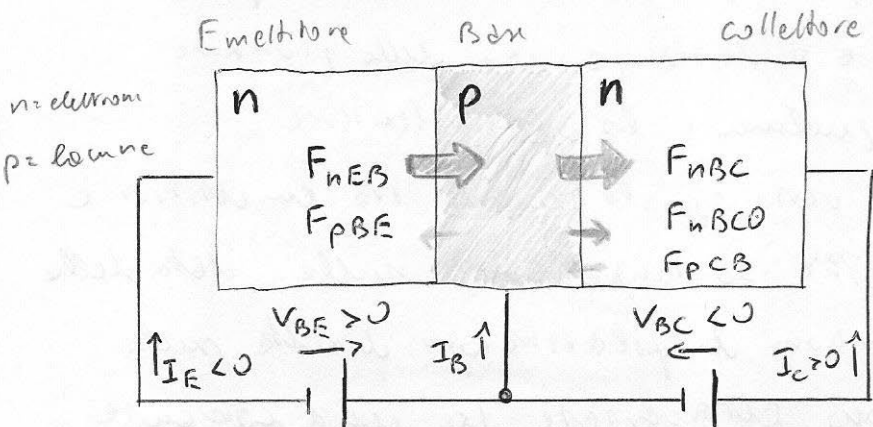


REGIONE ATTIVA DIRETTA: LA GIUNZIONE BASE-EMETTITORE È IN POLARIZZAZIONE DIRETTA, LA GIUNZIONE BASE-COLLETTORE IN POLARIZZAZIONE INVERSA. USO DEL TRANSISTORE COME AMPLIFICATORE

REGIONE ATTIVA INVERSA: LA GIUNZIONE BASE-COLLETTORE IN POLARIZZAZIONE DIRETTA, LA GIUNZIONE BASE-EMETTITORE IN POLARIZZAZIONE INVERSA. MA UNTA, IN QUANTO IL TRANSISTORE È OTTIMIZZATO PER IL FUNZIONAMENTO IN REGIONE ATTIVA DIRETTA.

REGIONE ATTIVA DIRETTA: FLUSSI DI CARICA

La giunzione base-emettitore è polarizzata direttamente e la giunzione base-collettore è polarizzata inversamente. Con riferimento al TRANSISTORE NPN abbiamo:



In corrispondenza della giunzione base-emettitore abbiamo un forte flusso di corrente che è molto elevata perché abbiamo una p-n-junzione diretta, c'è un forte flusso di elettroni iniettati dalla regione drogata dell'emettitore verso la base (F_{nEB}); c'è un forte flusso di lacune iniettate dalla base verso l'emettitore (F_{pBE})

Parlare del flusso di carica generata e parlare del densità di corrente.

Flusso di carica $F_{nEB} = n \cdot v \cdot q$ = n° di cariche portate nell'unità di tempo attraverso una superficie.

Nella giunzione base-collettore, polarizzata inversamente, prevale il flusso di portatori minoritari ~~elettroni~~, tirati dal campo elettrico - Gli elettroni della base verso il collettore e ~~gli elettroni~~ di lacune del collettore verso la base -
 Se la regione di base possiede invece barriere, con le giunzioni invertite separate tra loro, allora la corrente di collettore non sarebbe nient'altro che la corrente inversa di saturazione della giunzione pn che corrisponde alla giunzione base-collettore. La corrente di saturazione è dettata dai due livelli di drogaggio.

Per avere effettivamente un effetto transistor, quello che è richiesto è che la base sia estremamente corta, punto per il quale in regione attiva diretta gli elettroni che vengono iniettati nella regione di base riescono ad attraversare la regione neutra di base senza alcuna perdita per ricombinazione e quindi si possono incrementare i portatori minoritari presenti in un'unità della regione di smaltimento della giunzione base-collettore grazie al flusso di elettroni iniettati dall'emettitore.

Grazie a questo meccanismo si può controllare in modo significativo la corrente inversa di saturazione di questa giunzione e quindi possiamo avere una corrente di collettore che deve attraversare questa giunzione in polarizzazione inversa molto grande anche in presenza di una polarizzazione inversa di questa giunzione.

Nel transistor dunque vogliamo un flusso di elettroni che partono dall'emettitore, attraversando la base, con una scarsa ricombinazione, e della base vanno verso il collettore. Ci sono altri flussi di carica: F_{pBE} , lacune della base all'emettitore giungendo alla giunzione e polarizzate direttamente; il flusso F_{pCB} di lacune del collettore alla base; F_{nBC} piccolo contributo di elettroni della base al collettore anche in direzione del flusso principale che arriva dall'emettitore. Con questo tipo di struttura l'obiettivo è:

$$I_C \approx -I_E \Leftrightarrow I_B \approx 0$$

equivalente
a dire

Cioè si vuole controllare una corrente molto elevata, quella che va dal collettore all'emettitore con un piccolo valore di corrente di base.

Affinché questo si realizzi

Condizioni
di
struttura

$$F_{nEB} \approx F_{nBC}$$

$$F_{pBE} \approx 0$$

$$F_{nBC0} \approx F_{pCB} \approx 0$$

Flusso di elettroni che l'emettitore inietta si conserva fino alla regione di base

Flusso di lacune dalla base all'emettitore ≈ 0 , trascurabile \Rightarrow tutta la corrente è quella sopra

il flusso di cariche --

Condizioni per realizzare questo.

Le due prime condizioni si traducono in due **PARAMETRI** che quantificano la qualità della struttura del transistor.

Efficiente di iniezione (numero vicino a 1)

$$\gamma = \frac{F_{nEB}}{F_{nEB} + F_{pBE}} \leq 1$$

Fattore di trasporto ($\leq 1 \Rightarrow$ base molto corta)

$$\alpha_T = \frac{F_{nBC}}{F_{nEB}} \leq 1$$

CORRENTE NEL TRANSISTORE

Amplificazione e base comune in regione attiva diretta

$$I_C = -\alpha_F I_E \quad \text{con} \quad \alpha_F = \gamma \alpha_T \leq 1$$

(La corrente di collettore è più piccola, in modulo, della corrente di emettitore)

Amplificatore a emettitore comune

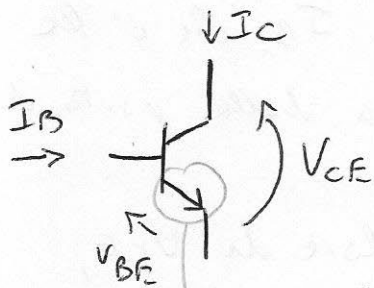
$$I_C = \beta_F I_B \quad \left(\beta_F = \frac{\alpha_F}{1 - \alpha_F} \gg 1 \right)$$

\swarrow corrente del collettore \swarrow corrente di base

CARATTERISTICHE STATICHE

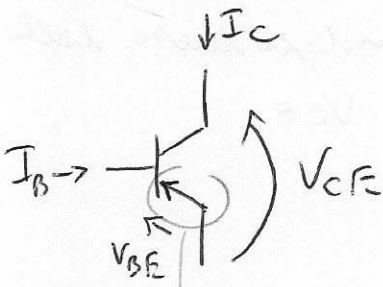
A EMETTITORE COMUNE del transistor bipolare 23:48

Simbolo del transistor bipolare npn



emettitore uscente dal transistor

Simbolo del transistor pnp



emettitore entrante nel transistor

La freccia dell'emettitore identifica il segno della corrente di emettitore in regione attiva diretta.

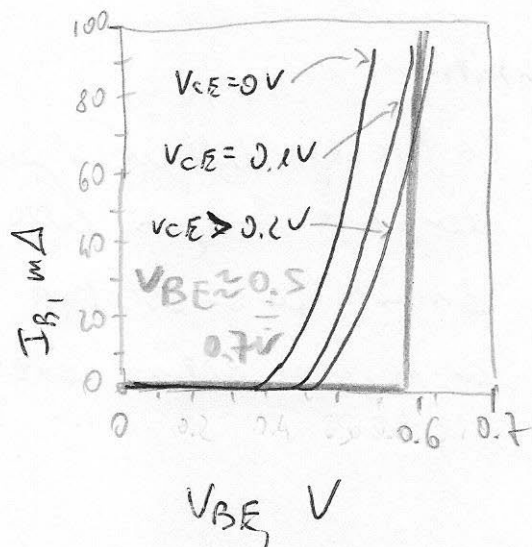
La freccia dell'emettitore identifica il segno della corrente di emettitore in regione attiva diretta.

Abbiamo visto che in regione attiva diretta la corrente di emettitore è polarizzata direttamente quindi ha un flusso di corrente che dello ha verso l'emettitore (pnp)

Caratteristiche di ingresso: una rappresentazione grafica simile a quella di un diodo

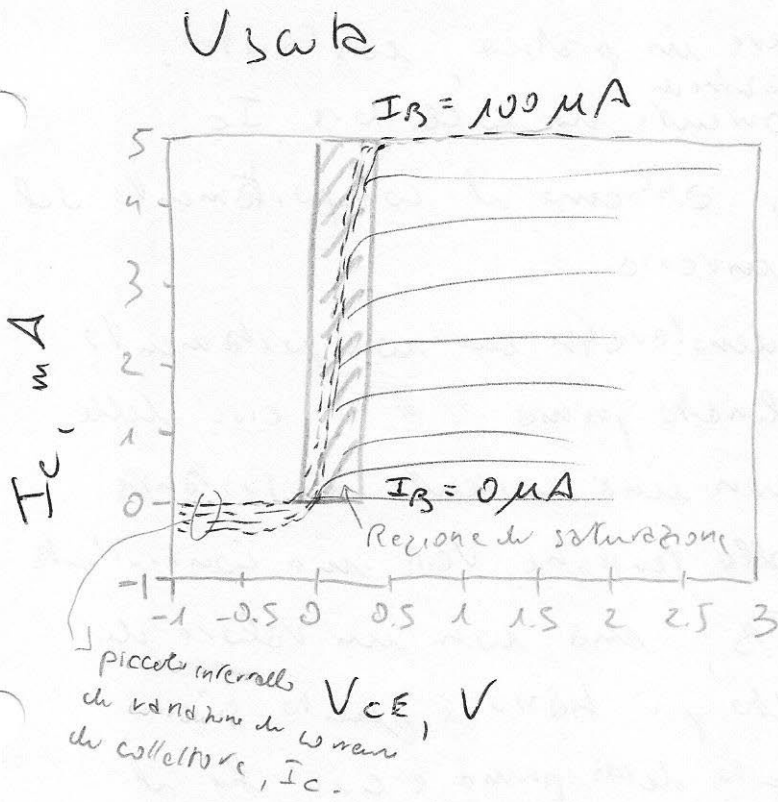
$$I_B = I_B(V_{BE}, V_{CE})$$

Caratteristiche di uscita: una rappresentazione grafica delle correnti di collettore I_C in funzione delle tensioni applicate alle porte di uscita, quando la tensione V_{CE} è parametrizzata dalle correnti di base I_B che è la variabile elettronica di controllo che deriva dalla porta di ingresso.



Dopo un certo valore di V_{CE} , intorno a 0.2 V , le curve di ingresso non variano più e quindi la caratteristica di ingresso risulta sostanzialmente indipendente dalle tensioni applicate alle porte di uscita, V_{CE} .

In regione attiva diretta è possibile approssimare le caratteristiche di ingresso, usando il modello semplificato già visto nel caso della giunzione pn. La curva che corrisponde alla porta di ingresso in regione attiva diretta per $V_{CE} > 0.2\text{ V}$ con una tensione in pratica costante e intorno a $0.5 \div 0.7\text{ V}$; il valore esatto dipende dal tipo di transistorore.



Per quanto riguarda le caratteristiche di uscita abbiamo una rappresentazione delle correnti I_C in funzione della tensione V_{CE} parametrizzata dalle correnti di base I_B e il comportamento è il seguente: per tensioni V_{CE} di valore positivo ma piccolo (siamo in regione attiva diretta, quando abbiamo $V_{BE} > 0$

e $V_{CE} = V_{BE} - V_{BC}$) abbiamo un valore di V_{BC} positivo quando in regione di saturazione le caratteristiche sono sostanzialmente lineari e hanno un andamento crescente quasi lineare con la tensione V_{CE} . Ma appena la tensione V_{CE} supera pochi decimi di volt (dell'ordine di 0.1, 0.2 V) le caratteristiche statiche si appiattiscono, l'andamento lineare tende ad avere un cosiddetto "gonfiocino" e la corrente di uscita risulta essere costante e indipendente da V_{CE} . Questo perché la corrente di collettore è quella che attraversa la giunzione base collettore V_{BC} e per V_{CE} sufficientemente elevata la giunzione base collettore è polarizzata inversamente quando la tensione è non copri e sostanzialmente indipendente dalla tensione V_{BC} stessa.

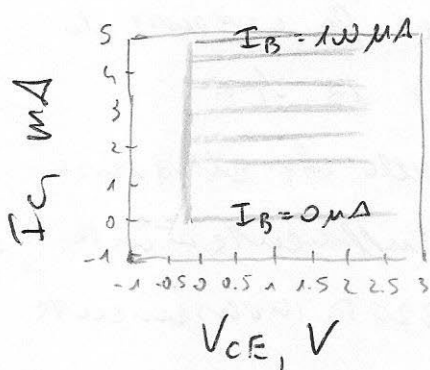
Poiché V_{BE} in polarizzazione attiva diretta è in pratica costante e pari a 0.6 - 0.7 V, al crescere di V_{CE} quello che succede è che la tensione V_{BC} ~~controlla~~ diventa sempre più negativa e quando la corrente che scorre nella giunzione

La corrente collettore tende a essere in pratica costante.
 Nel piccolo intervallo di ^{variazioni di} corrente di collettore, I_C ,
 cioè da 0 a poco meno, abbiamo il comportamento del
 transistor in regione attiva inversa.

Uno zoom in tale regione dimostrerà un comportamento
 molto simile a quello analizzato prima (5), cioè delle
 caratteristiche di uscita con una corrente in istantanea
 costante e indipendente dalla tensione V_{CE} ma controllata
 dal valore della corrente I_B , ma con un valore di
 corrente di collettore molto più basso e questo è
 l'espressione grafica di quanto detto prima e cioè che il
 transistor è autorizzato a funzionare bene in regione
 attiva diretta.

Si può, anche in questo caso, usare un modello
 semplificato che consiste nell'approssimare le caratteristiche
 con delle rette orizzontali.

SEMPLIFICAZIONE IN REGIONE ATTIVA DIRETTA (R.A.D.)



I_B da 0 a 100 μA , passo 10 μA

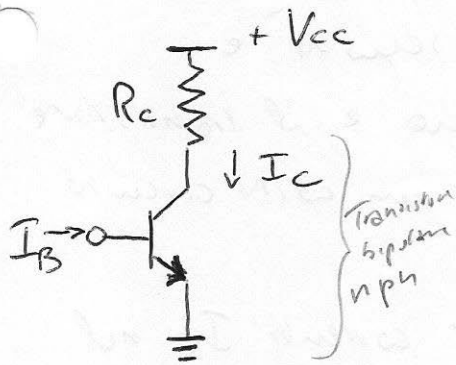
$$I_C \approx \beta_F I_B$$

Si suppone, in pratica, che in regione di
 saturazione, la tensione V_{CE} è ~~collegata~~
 pari a 0 e le rette orizzontali danno

l'informazione che la corrente di collettore I_C è data da
 una amplificazione di corrente a emettitore comune β_F
 moltiplicata per I_B in tutto all'interno delle barre.
 Questo ci condurrà all'utilizzo del transistor come
 interruttore.

TRANSISTORE COME INTERRUOTORE

30/53



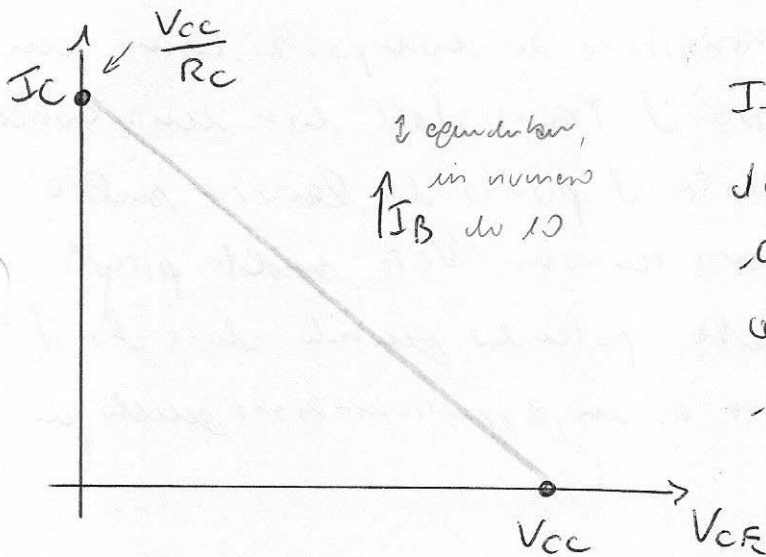
Nel circuito a lato abbiamo una applicazione tipica, con una tensione di alimentazione V_{cc} collegata al collettore tramite una resistenza R_c , con un transistor bipolare npn controllato dalla corrente di base. Scrivendo l'equazione alle maglie di destra

possiamo scrivere l'equazione di bilancio delle tensioni:

$$V_{cc} = R_c I_c + V_{CE}$$

RETTA DI CARICO DI USCITA
del transistor bipolare

Determiniamo ora il punto di funzionamento del transistor, sovrapponendo le caratteristiche statiche di uscita del transistor con la retta di carico di uscita



Il punto di lavoro è l'intersezione delle caratteristiche statiche con la retta di carico

Quale caratteristica statica considerare dipende dalla corrente I_B , che è iniettata all'interno della base del transistor bipolare

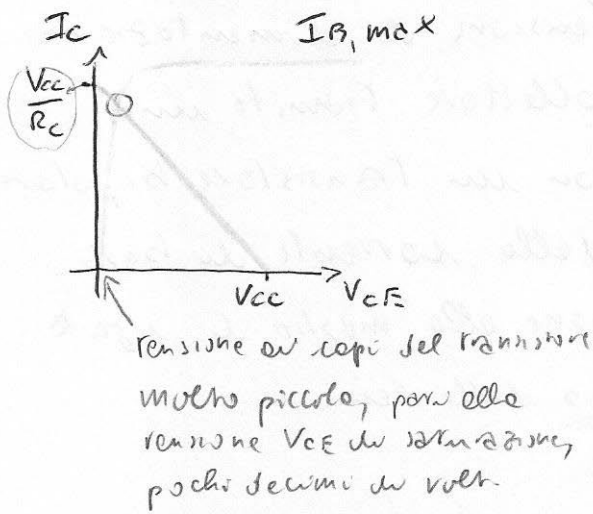
Se si inietta nella base una corrente I_B nulla si identifica la caratteristica $I_c = 0$ e quindi l'unico intersezione possibile è nel punto V_{cc}

$I_B = 0 \Rightarrow V_{CE} = V_{cc}$ e $I_c = 0 \Rightarrow$ comportamento del transistor come un circuito aperto.

Se si lavora con una corrente di base elevata,

$I_B = I_{B, \max}$ allora il punto di lavoro è

riportato in figura e il transistor si comporta come un corto circuito



$I_B = I_{B, \max} \Rightarrow$ corrente I_c nel circuito di uscita elevata, di valore vicino a V_{cc}/R_c ; tensione ai capi del transistor molto piccola, pari alla tensione V_{ce} di saturazione,

pochi decimi di volt \Rightarrow questo è il meccanismo utilizzato per controllare il transistor nella forma di un interruttore controllato da corrente di base. Il polarizzo il transistor con una corrente di base pari a zero otteniamo una corrente di uscita nulla e quindi il transistor si comporta come un circuito aperto; se polarizzo il transistor con una corrente di base elevata questo sposta il punto di lavoro sulle caratteristiche di uscita verso tensioni V_{ce} molto piccole e corrente I_c molto elevate potendo quindi dire che il comportamento del transistor è un' approssimazione quella di un corto circuito.

Fine TRANSISTORE NPN

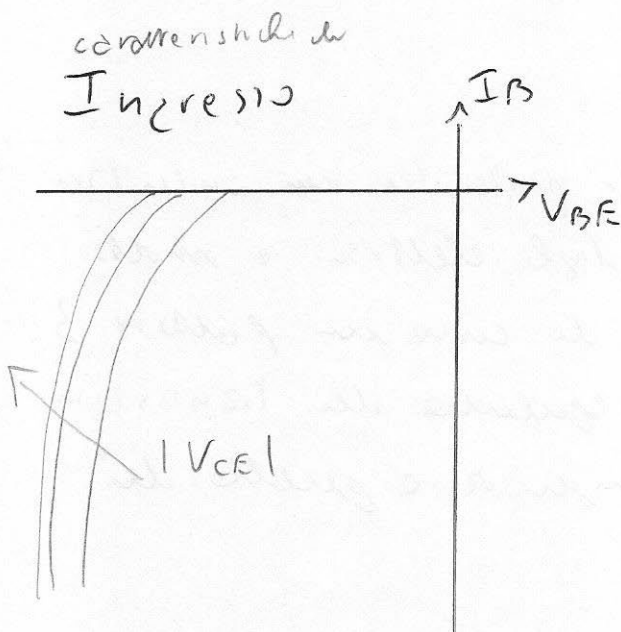
IL TRANSISTORE PNP

Comportamento elettrico

Le caratteristiche vengono ricavate per assoluta, scambiando i segni di tensione e corrente. Le caratteristiche non simmetriche rispetto all'origine.

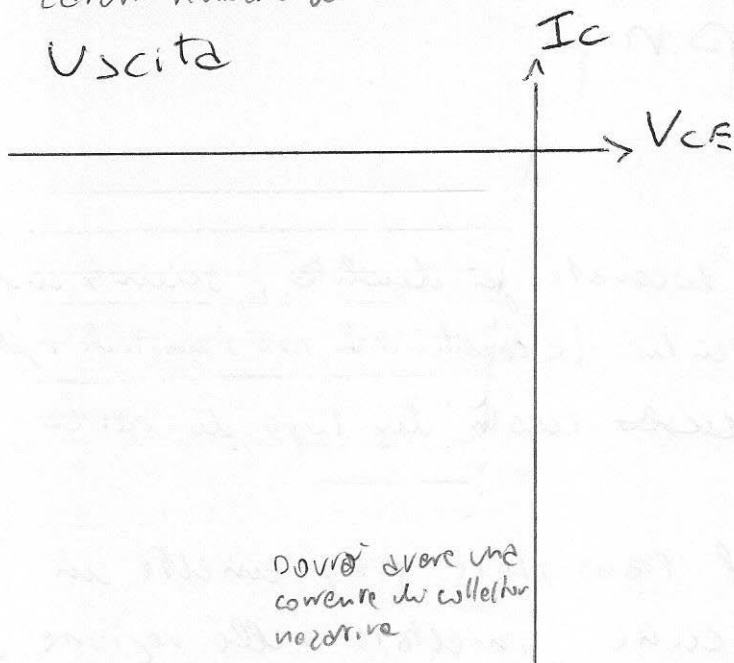
Si scambiano a ~~ripetere questo~~ ruolo dei tipo di carica rispetto all'n-p-n.

Quando l'emettitore nel transistor pnp emette in regione attiva diretta lacune, iniettate nella regione di base e quindi portatori minoritari all'interno della base. Per fare questo devo polarizzare direttamente la giunzione base-emettitore e quindi applicare una tensione V_{BE} negativa. A questo punto avrò un flusso di portatori ^{lacune} che va dall'emettitore al collettore e quindi si avrà una corrente di collettore di segno opposto rispetto al transistor n-p-n.



In regione attiva diretta avremo una tensione V_{BE} negativa per la polarizzazione diretta della giunzione base-emettitore. A questo corrisponde una corrente entrante nella base, I_B , negativa e quindi le caratteristiche si svolgono nel III° quadrante. Le caratteristiche di uscita ~~non~~ saranno ancora parametrizzate in funzione della tensione V_{CE} ma lo spostamento delle caratteristiche di uscita sarà verso sinistra.

caratteristiche di
Uscita



Dovrà avere una
corrente di collector
negativa

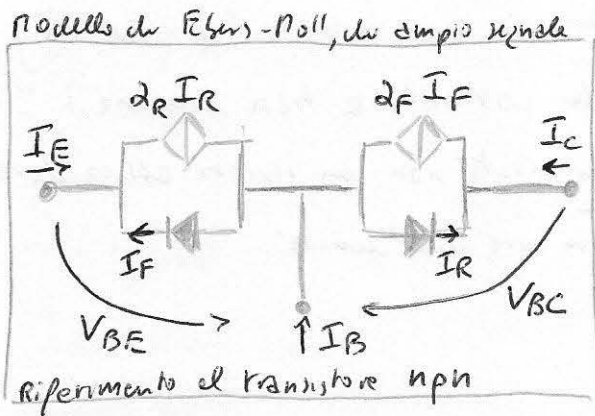
Nota che poiché nella maggior parte dei semiconduttori (silicio in particolare) la mobilità degli elettroni è molto maggiore di quella delle lacune di cui si parla 3 oltre il compromesso in frequenza dei transistor n-p-n è tendenzialmente migliore a quello dei transistor p-n-p.

Lez. 7 IL TRANSISTORE BIPOLARE : CIRCUITI EQUIVALENTI

- modello di Eber-Noll Modello statico del segnale del transistor bipolare
- Effetti capacitivi e modello di ampio segnale convenzioni
- Circuito equivalente di piccolo segnale
- Circuito per polarizzazione

MODELLO DI EBBER-NOLL

È un modello statico di ampio segnale, cioè è in grado di descrivere il comportamento statico del di polo; non è in grado di descrivere gli effetti di ritardo presenti nel transistor bipolare. È di ampio segnale in quanto che può essere applicato in modo



in dipendenza dell'ampiezza dei segnali applicati.

I due generatori pilotati sono uno pilotato dalla corrente I_R che scorre nella giunzione pn collettore tra base e collettore e l'altro, quello che contribuisce alla corrente di collettore I_C è pilotato dalla corrente I_F che è quella che scorre nella giunzione pn tra base ed emettitore.

Il precedente generatore pilotato contribuisce alla corrente di emettitore I_E .

$$I_E = -I_F + \alpha_R I_R$$

$$I_C = -I_R + \alpha_F I_F$$

I_F è determinata dalla legge della giunzione

$$I_F = I_{ES} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right)$$

↳ corrente di saturazione inversa I_{ES} tra giunzione base-emettitore e, analogamente per I_R

$$I_R = I_{ES} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

↳ corrente che scorre nelle giunzione base-collettore

↳ corrente inversa di saturazione

I parametri che caratterizzano il modello sono 4. (non indep)

α_F il funzionamento del transistor cerca di aumentare il più possibile il coeff. di α_F che è l'amplificazione di corrente e ha un valore molto vicino a 1. (definito nel transistor in R.A.D.)

α_R è il coefficiente di α_F , misurato non in regione attiva diretta, ma in regione attiva inversa. Ci aspettiamo che sia molto minore dell'unità.

I_{ES}

I_{CS}

$\alpha_F I_{ES} = \alpha_R I_{CS}$ Relazione di reciprocità \Rightarrow 2 parametri indipendenti

$I_B = -I_E - I_C = I_F(1 - \alpha_F) + I_R(1 - \alpha_R)$ corrente di base / corrente di base

Il modello in REGIONE ATTIVA DIRETTA si semplifica poiché la giunzione base-collettore è polarizzata in modo inverso

$V_{BC} < 0 \Rightarrow I_R \approx 0$ con buona approssimazione

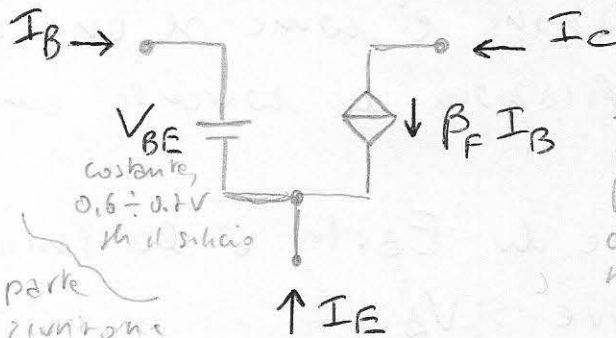
$$I_C \approx \alpha_F I_F$$

$$I_B \approx (1 - \alpha_F) I_F$$

↳ corrente di base

$$I_C \approx \beta_F I_B$$

$$\hookrightarrow \beta_F = \frac{\alpha_F}{1 - \alpha_F}$$

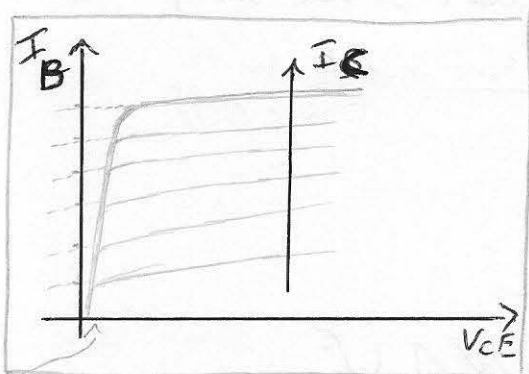


parte
circuitazione
base-emettitore
polarizzata
direttamente

la corrente di
collettore è
 β_F volte la
corrente di
base.

CIRCUITO EQUIVALENTE A UN
TRASMISSORE BIPOLARE COME USUATO
IN REGIONE ATTIVA DIRETTA,
IN CONDIZIONI STATICHE

EFFETTO EARLY



Caratteristiche di uscita I_C in
funzione di V_{CE}

punto comune = TENSIONE di
EARLY del
transistore

la tensione di polarizzazione inversa delle giunzione base-collettore e questo comporta un allargamento delle regione svuotate delle giunzione base-collettore che riduce l'ampiezza della regione neutra di base.

Una base di ridotte dimensioni consente di aumentare l'amplificazione e quindi la riduzione progressiva della lunghezza della regione neutra di base determinata dalla

In regione attiva diretta le curve I_C in funzione di V_{CE} non sono costanti, così non sono delle rette orizzontali, come nel caso ideale, ma presentano una pendenza finita non nulla dovuta e conseguente all'effetto Early legato al fatto che al crescere della tensione V_{CE} cresce

polarizzazione e' come se andassi ad aumentare l'amplificazione di corrente emettitore comune e β_F

Tensione di Early e' la tensione comune a tutte le curve: V_A .

$$I_C \approx \beta_F I_B \left(1 + \frac{V_{CE}}{V_A} \right)$$

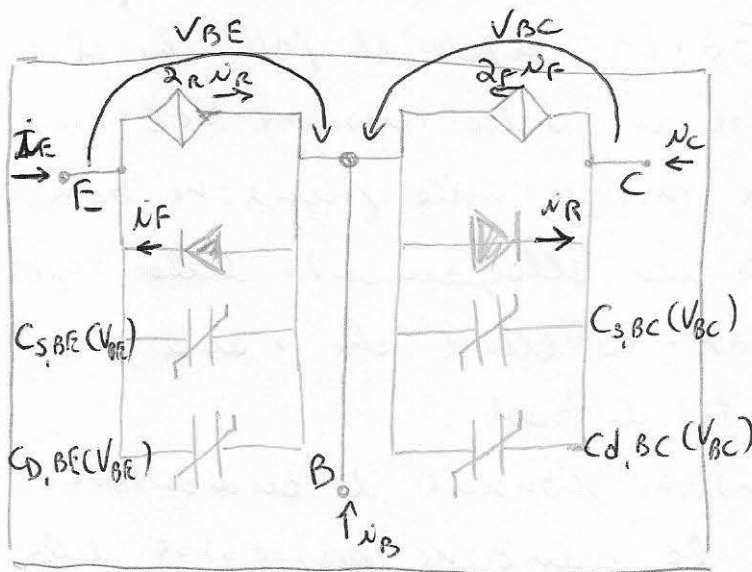
questa e' una correzione della corrente di collettore del in regione attiva diretta dal valore ideale $\beta_F I_B$ al valore $\beta_F I_B$ moltiplicato per un termine linearmente crescente con la tensione V_{CE}

In un transistore ideale la tensione di Early V_A deve essere infinita. Quindi in un transistore reale di qualsiasi tecnologia tale tensione deve essere la piu' alta possibile.

Fine modello di Ebers Moll

12:20

EFFETTI CAPACITIVI e MODELLO DI AMPIO SEGNALE

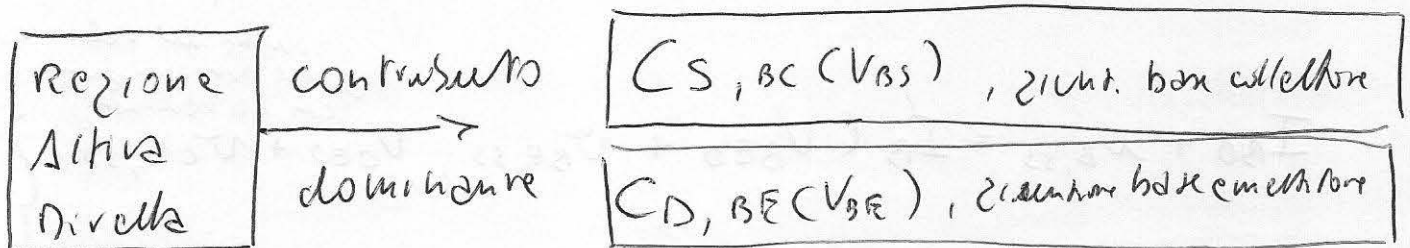


Gli effetti capacitivi si hanno in la presenza nel dispositivo di cariche che sono funzione delle tensioni applicate.

Il transistore e' composto da due giunzioni pn e quindi ad ogni posizione associare i corrispondenti effetti capacitivi e cioè la

capacità di smuntamento e le capacità di diffusione, che, in condizioni di ampio segnale, sono funzioni non lineari ed entrambe dipendono dalle tensioni V_{BE} (per la giunzione base emettitore) e delle tensioni V_{BC} (per la giunzione base collettore).

Sappiamo che in regione di polarizzazione inversa il contributo della capacità di smuntamento è di solito dominante e quindi, in particolare, in regione attiva diretta per la giunzione base collettore sarà dominante $C_{S,BC}$; per la giunzione base emettitore sarà dominante $C_{D,BE}$, ovvero le capacità di diffusione. In generale dobbiamo tenere conto di entrambi i possibili contributi in modo da usare il modello di ampio segnale anche al di fuori delle regioni attiva diretta. Quindi, in sostanza



CIRCUITO EQUIVALENTE di PICCOLO SEGNALE

Avendo visto quali sono le principali contribuzioni presenti nel transistor bipolare, possiamo esaminare il suo comportamento in quel regime di funzionamento approssimato che è il regime di funzionamento per le variazioni, ovvero andare a determinare il circuito equivalente di piccolo segnale in riferimento

al transistoro bipolare.

Il tipo di analisi è sempre lo stesso e consiste nel decomporre le correnti $i(t)$ e le tensioni $v(t)$ alle varie porte del dispositivo nella somma del contributo ~~del~~ nel punto di funzionamento statico cioè quello determinato dai soli generatori costanti nel tempo applicati che è I_0 e la tensione V_0 con il contributo di variazione, delle correnti o delle tensioni, determinato dall'applicazione di un segnale tempo variante.

$$i(t) = I_0 + i_{ss}(t)$$

$$v(t) = V_0 + v_{ss}(t)$$

Decomposizione
di piccolo segnale

↓ sua applicazione

↓ somma del valore costante nel punto di funzionamento con le variazioni

$$I_{B0} + i_{B,ss} = I_B (V_{BE0} + v_{BE,ss}, V_{CE0} + v_{CE,ss})$$

$$I_{C0} + i_{C,ss} = I_C (V_{CE0} + v_{CE,ss}, \frac{I_{B0}}{\beta} + i_{B,ss})$$

Corrente I_C
decomposta

caratteristiche statiche, di ingresso (B) e uscita (C).

Nell'ipotesi di piccolo segnale

le perturbazioni temporali

sono di piccola ampiezza rispetto al valore del punto di funzionamento e riposo e, sotto questa ipotesi

possiamo sviluppare le equazioni relative in serie

ottenendo il legame che vale solo per le variazioni temporali

Tra il contributo di segnale delle corrente di base $N_{B,SS}$ e il contributo di segnale $V_{BE,SS}$ e $V_{CE,SS}$ legati rispettivamente con una grandezza di tipo conduttanza.

Petite zero \Rightarrow costante per lo spostamento alle frequenze basse delle relazioni alle porte di ingresso.

parametro differenziale

$$N_{B,SS} \approx g_{CBQ} V_{BE,SS} + g_{BCQ} V_{CE,SS}$$

↑
caratteristica di ingresso

$$N_{C,SS} \approx g_{CCQ} V_{CE,SS} + h_{CBQ} N_{B,SS}$$

↑
caratteristica di uscita

Verime
dimensione μV

Parametri differenziali (4)

$$g_{CBQ} = \frac{\partial N_B}{\partial V_{BE}} \Big|_{V_{BEQ}, V_{CEQ}} = \frac{I_{CQ}}{\beta_F V_T}$$

$V_T =$ equivalente elettrico della temperatura T , 26 mV

$$g_{BCQ} = \frac{\partial N_B}{\partial V_{CE}} \Big|_{V_{BEQ}, V_{CEQ}} = \frac{I_{CQ}}{\beta_F V_A} \approx 0$$

$V_A =$ Tensione di Early, ∞ in un transistor ideale

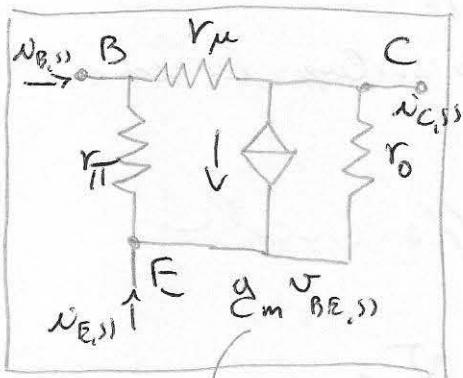
$$g_{CCQ} = \frac{\partial N_C}{\partial V_{CE}} \Big|_{V_{BEQ}, V_{CEQ}} = \frac{I_{CQ}}{V_A} \approx 0$$

$$h_{CBQ} = \frac{\partial N_C}{\partial N_B} \Big|_{V_{BEQ}, V_{CEQ}} = \beta_F$$

\hookrightarrow amplificazione di corrente e emettitore comune. Un p.d.f. e n.p.d. in n.c.d.

Interpretazione circuitale

CIRCUITO PER LE VARIAZIONI π



TRANSCONDUTTANZA,
parametro impedenza

$$r_{\pi} = \frac{1}{y_{CBQ}} = \frac{\beta_F V_T}{I_{CO}}$$

$$r_o = \frac{1}{y_{CQO}} = \frac{V_A}{I_{CO}}$$

$$r_{\mu} = \frac{1}{y_{BCO}} = \frac{\beta_F V_A}{I_{CO}} \approx \infty$$

$$g_m = y_{CBQ} \beta_F = \frac{I_{CO}}{V_T}$$

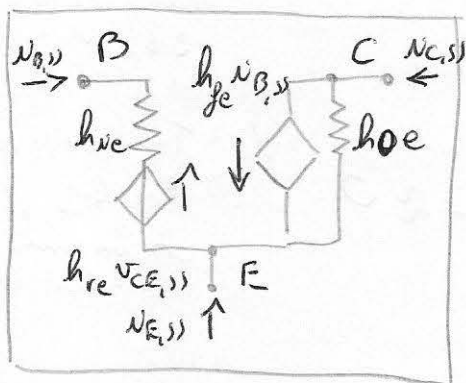
Un'altra interpretazione circuitale

CIRCUITO PER LE VARIAZIONI h

PARAMETRI h $v_{be,s}$, perché il circuito coinvolge sia

$$h_{ve} = r_{\pi} = \frac{\beta_F V_T}{I_{CO}}$$

elementi resistivi, sia elementi dimensionati



$$h_{re} = \frac{r_{\pi}}{r_{\mu}} = \frac{V_T}{V_A} \approx 0$$

$$h_{oe} = \frac{1}{r_o} = \frac{I_{CO}}{V_A}$$

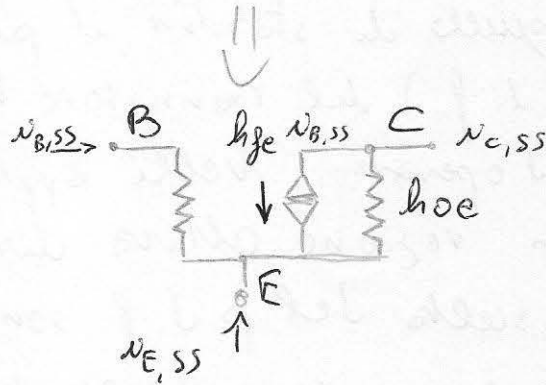
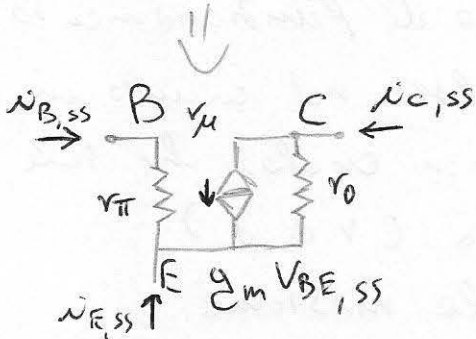
$$h_{fe} = g_m r_{\pi} = \beta_F$$

Amplificatore di corrente

Confrontando i due circuiti equivalenti visti, per un effetto Early trascurabile essi sono coincidenti.

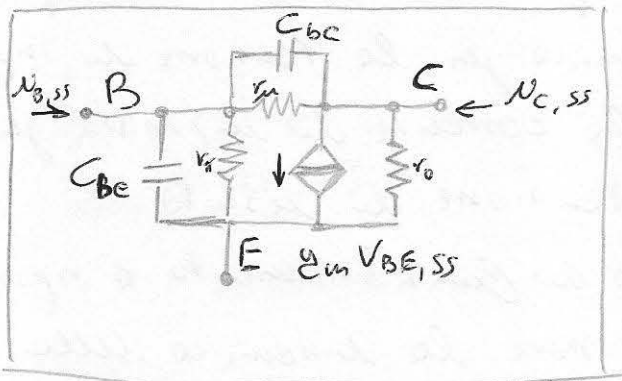
$$r_{\mu} \approx \infty$$

$$h_{re} \approx 0$$



Unica differenza: la variabile che pilota il generatore pilotato che rappresenta il controllo sulle corrente di uscita esercitata dalla variabile di ingresso e la variazione di tensione V_{BE} nel 1° caso e la corrente i_B nella base nel 2° caso.

CIRCUITO PER LE VARIAZIONI DINAMICHE



Rappresentazione del comportamento dinamico

C_{bc} : capacità di spostamento della giunzione BC, che è in polarizzazione inversa

C_{be} : capacità di diffusione della giunzione BE, che è in polarizzazione diretta } dominante

Analisi del comportamento in polarizzazione del t. npt, importante per applicazioni di tipo analogico.

CIRCUITO DI POLARIZZAZIONE

28:15

L'obiettivo è quello di stabilire il punto di funzionamento a riposo (p.d.f.) del transistor bipolare nel circuito in cui deve andare ad operare. Nelle applicazioni analogiche tale p.d.f. è in regione attiva diretta (r.a.d.)

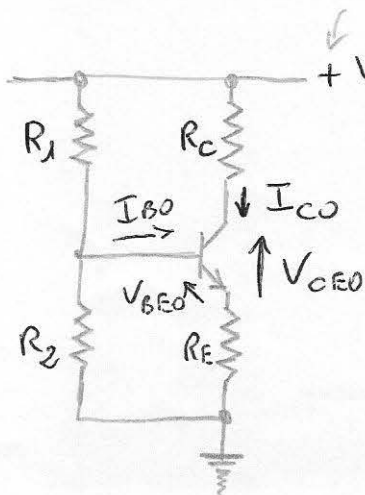
I criteri di scelta del p.d.f. sono la massima linearità (per un circuito amplificatore lineare) e la massima dinamica, dove la dinamica di una grandezza elettrica è il massimo intervallo di variazione che tale grandezza può assumere; corrispondentemente avremo una certa dinamica per la tensione di ingresso applicata al transistor, per la corrente di ingresso, per la corrente di uscita e per la tensione di uscita.

Un criterio di scelta del punto di funzionamento a riposo è quello di andare e massimizzare la dinamica della tensione di uscita dell'amplificatore.

CIRCUITO A QUATTRO RESISTENZE

il più utilizzato per la polarizzazione

serve anche per polarizzare il t. npt
Si assume r.a.d.



$$V_{BEQ} > 0 \quad 0.6 \div 0.7 \text{ V}$$

$$V_{CEQ} > V_{BEQ} \quad \text{guadagno BE polarizzato in regione}$$

V_{CC} è l'unica tensione costante di alimentazione

R_C è una resistenza collegata al collettore.

L'emettitore è collegato a massa tramite

una resistenza R_E . La base è collegata

Tra il generatore di tensione e massa attraverso un partitore di due resistenze, R_1 e R_2 .

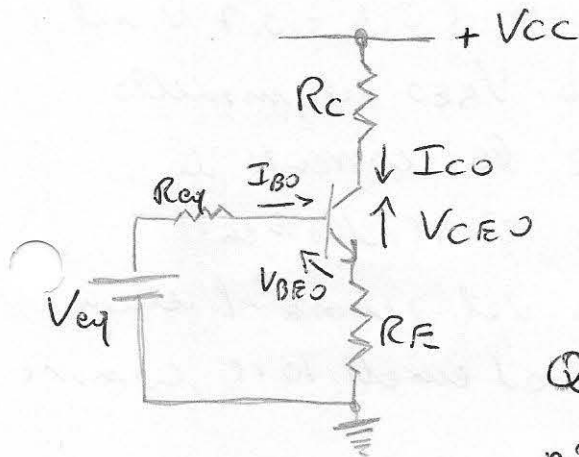
Questa è una alimentazione di tipo sbilanciato perché c'è un solo generatore di tensione costante.

Al posto della massa potremmo avere un generatore di tensione negativo, anche l'alimentazione sarebbe di tipo bilanciato.

L'analisi del circuito viene fatta applicando Thevenin e riducendo il circuito equivalente, una resistenza in serie al un generatore di tensione.

Thevenin viene applicato alla parte del circuito che non contiene il transistor bipolare, in pratica la parte sinistra del circuito.

L'equivalente di Thevenin è:



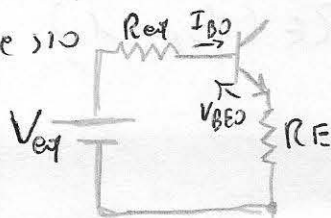
$$V_{eq} = V_{cc} \frac{R_2}{R_1 + R_2}$$

$$R_{eq} = R_1 \parallel R_2$$

Quando questo è il circuito per la polarizzazione in modo semplificato, in cui alla base è collegato l'equivalente di Thevenin e l'uscita è invariata.

Questo risultato ci consente di identificare due maglie che coinvolgono il transistor bipolare: (I_{co})

1. la maglia di ingresso

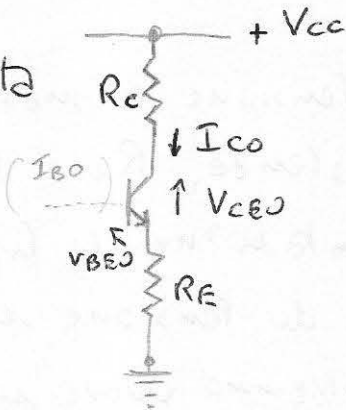


$$V_{eq} = R_{eq} I_{BO} + V_{BE0} + R_E (I_{BO} + I_{CO})$$

(la maglia non ha la parte)

corrente che scorre in RE, somma delle correnti di base e di collettore.

2. la maglia di uscita
di uscita perché
coinvolge collettore
ed emettitore

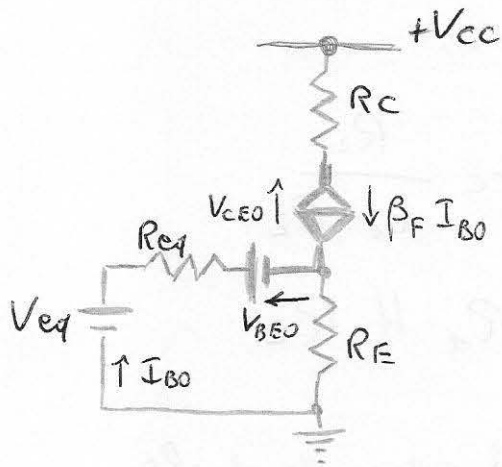


$$V_{cc} = R_c I_{co} + V_{ce0} + R_E (I_{Bo} + I_{co})$$

equazione di bilancio
delle tensioni alle
maglie, la LKT.

MODELLO SEMPLIFICATO del circuito di POUANTRAZIONE in REGIONE ATTIVA DIRETTA

In questo modello sostituiamo il transistor bipolare con
il modello semplificato in r.d.d.; il transistor diventa
un generatore di corrente pilotato e una tensione continua;

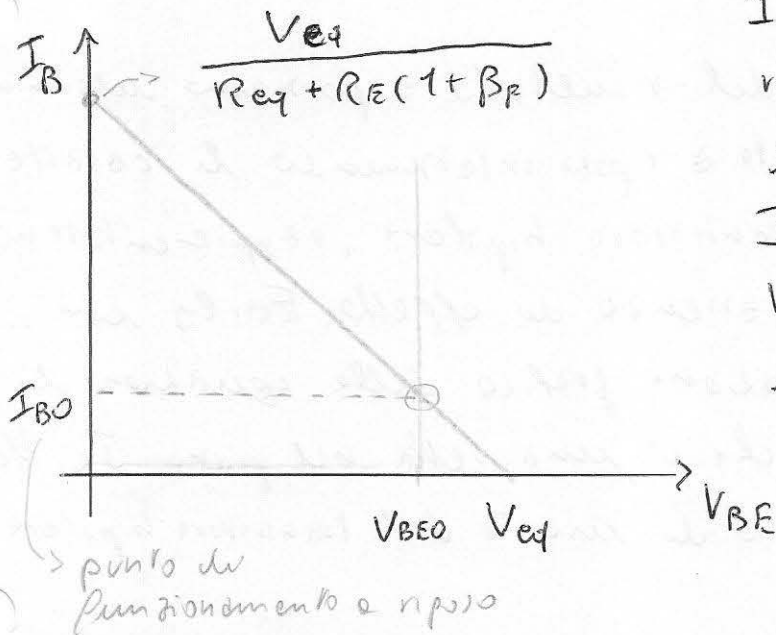


la tensione V_{BE} è fissata ad un
valore costante (0.6 ÷ 0.7 V nel
silicio) pari a V_{BE0} nel modello
semplificato e la corrente di
collettore I_c è strettamente
legata a I_B delle amplificazioni
di corrente ed emettitore comune
 β_F .

In queste condizioni, dalla maglia di ingresso è immediato
ricavare la corrente I_{B0}

$$I_{B0} = \frac{V_{Eq} - V_{BE0}}{R_{eq} + R_E (\beta_F + 1)}$$

INTERPRETAZIONE GRAFICA



Il punto di funzionamento a riposo si trova intersecando le caratteristiche approssimate $I_B = 0$ per $V_{BE} < V_{BE0}$, $V_{BE} = 0.7V$ costante, con $I_B > 0$ con la retta di carico che corrisponde alla equazione circoscritta all'ingresso.

Osservando la maglia di uscita nel modello semplificato in r.d.d. otteniamo l'incognita V_{CE0} , tensione ai capi del generatore pilotato di corrente e della equazione della maglia di uscita ricaviamo:

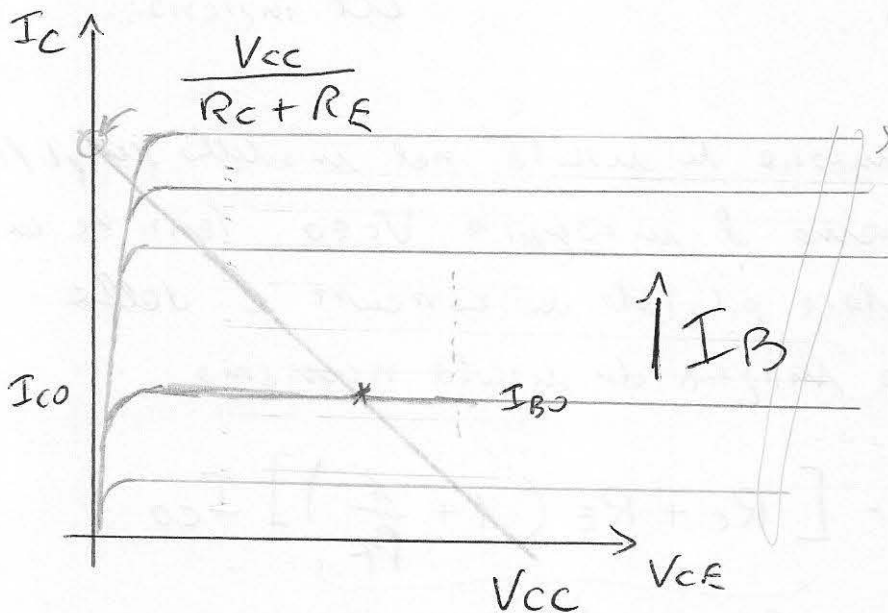
$$V_{CE0} = V_{CC} - \underbrace{\left[R_C + R_E \left(1 + \frac{1}{\beta_F} \right) \right]}_{\text{Termine che corrisponde alla resistenza}} I_{C0}$$

Il valore I_{B0} è stato calcolato, nelle interpretazioni pratiche, quando I_{C0} è nota e quando siamo in grado di esprimere il valore numerico della tensione V_{CE0} .

L'espressione $\frac{1}{\beta_F}$ è approssimabile a zero in quanto il valore delle impedenze di corrente e emettitore comune nel transistor bipolare è molto maggiore di 1, dell'ordine del centenario e non di più e quindi la tensione V_{CE0} è esprimibile approssimativamente come:

$$V_{CE0} \approx V_{CC} - (R_C + R_E) I_{C0}$$

Interpretazione grafica del risultato: possiamo determinare il punto di funzionamento a riposo intersecando le caratteristiche di uscita del transistor bipolare, rappresentate nella ipotesi semplificata dell'assenza di effetto Early con quella la rappresentazione grafica delle equazioni di bilancio delle tensioni che è una retta nel piano I_C V_{CE} , che è la retta di carico di uscita del transistor bipolare.



una volta nota delle equazioni alle maglie di ingresso I_B possiamo andare ad identificare quali delle varie caratteristiche di uscita è effettivamente

il vero stato del punto di funzionamento a riposo e questa è identificata dal valore di corrente $I_B = I_{B0}$ nel punto di funzionamento a riposo stesso.

L'intersezione ci fornisce il valore delle correnti I_{C0} e della tensione V_{CE0} nel punto di funzionamento a riposo.

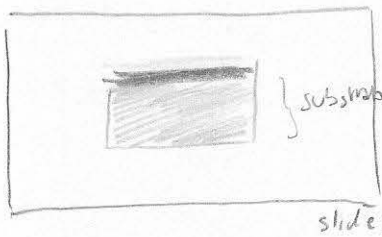
Il circuito a quattro resistenze e variabile perché R_E tende a compensare la variazione di I_{C0} e tale circuito stabilizza il p.d.f.

Lez 8 IL SISTEMA MOS crossing semiconductors

È L'ELEMENTO CHIAVE PER REALIZZARE IL TRANSISTORE MOS, COPRE IL 90% DEL MERCATO.

- Struttura e definizioni delle regioni di funzionamento
- Diagrammi a bande all'equilibrio
- Diagrammi a bande fuori equilibrio

STRUTTURA e DEFINIZIONE delle REGIONI di FUNZIONAMENTO



METALLO OSSINO CONDUTTORE
SEMICONDUCTORE
All'interfaccia è quella che accade perché
conduzione di corrente nel sottile strato vicino all'interfaccia

Nelle tecnologie più comuni

Isolante = SiO₂

semiconduttore = Si

Il sistema MOS è formato da un substrato semiconduttore sul quale è posto uno strato di materiale isolante. Sopra questo è posto uno strato di materiali metallici, avente sostanzialmente un numero illimitato di canche laterali

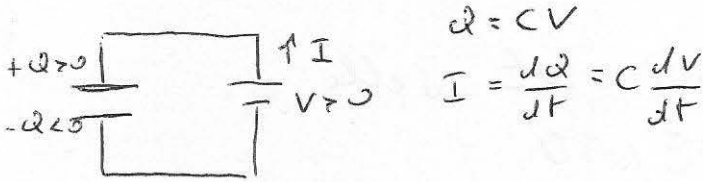
Tutto quello che accade nel dispositivo che si verifica è all'interfaccia fra il materiale isolante e il semiconduttore. Le caratteristiche del cristallo in questa regione devono essere le più perfette possibili perché la conduzione di corrente avviene nel sottile strato vicino all'interfaccia.

Il substrato "bulk" può essere drogato di tipo p oppure di tipo n, e con corrispondono due topologie di transistori realizzabili.

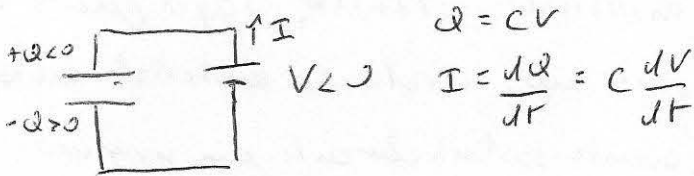
Il substrato è definito col termine "Bulk", simbolo "B" il metallo con il simbolo G, "Gate", porta, che sarà il terminale di ingresso del transistor.

Il sistema MOS può essere visto come caso particolare di un condensatore lineare.

Condensatore lineare ideale

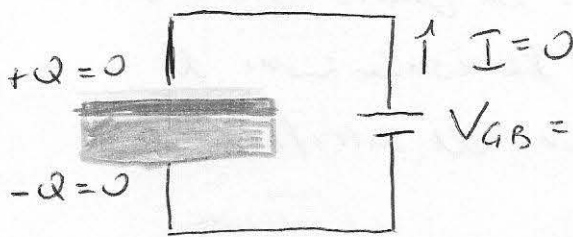


variando segno della tensione applicata



presenta una carica nulla sulle due armature, metallo e semiconduttore, non si mantiene applicata pari a zero, come se il condensatore lineare, ma si applica una tensione applicata V_{FB} pari ad un ben specifico valore V_{FB} , detta tensione di banda piatta.

CONDENSATORE MOS



condizioni di banda piatta (nessuna carica nel Si)

non c'è campo di built-in all'interno della struttura del dispositivo

Tensione di banda piatta del condensatore MOS, V_{FB} sta per Flat

La tensione di banda piatta in un sistema MOS e silicio è tipicamente negativa ed è di valore pari a circa $-1V$.

Quando per avere carica nulla nel MOS e silicio occorre applicare una tensione di valore V_{FB} .

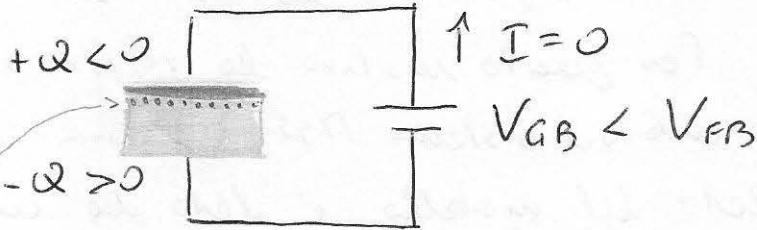


$V_{FB} \approx -1V$

V_{GB} di silicio per banda piatta

carica a zero nel condensatore MOS, e del campo di banda e piatte si ha non c'è campo di built-in nel dispositivo

Partendo da una condizione di carica nulla, se applichiamo una tensione $V_{GB} < V_{FB}$ allora avviene un accumulo di carica negativa sull'armatura superiore e al polo negativo della tensione applicata e quindi nel metallo e si accumulano una carica positiva sull'armatura opposta, all'interno del semiconduttore.



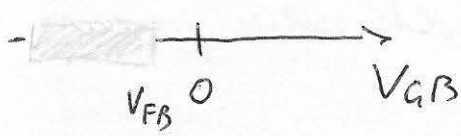
accumulo di portatori maggioritari nel semiconduttore.

Effetto di tipo p i portatori maggioritari sono lacune

Regione di accumulo (= di lacune nel Si)

di portatori maggioritari gli il sistema MOS

sono lacune

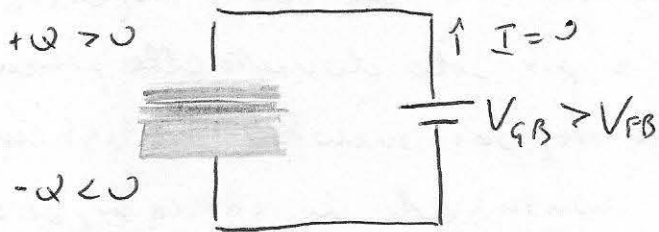


La regione di accumulo di portatori maggioritari è una regione di accumulo, per il sistema MOS.

Nel substrato drogato p sarà un accumulo di lacune

Tensione di banda porta del sistema MOS

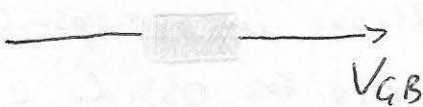
Andando ad applicare una tensione $V_{GB} > V_{FB}$ si



accumulerà una carica positiva nel lato del metallo e una carica negativa nel lato del semiconduttore.

La carica negativa nel semiconduttore drogato di tipo p che si forma è perché, sapendo che il semiconduttore è neutro dove in ogni suo punto si ha un numero

Regione di svuotamento (di lacune nel Si)



di cariche libere (le lacune) che compensano esattamente le cariche fisse negative che sono gli atomi droganti accettatori

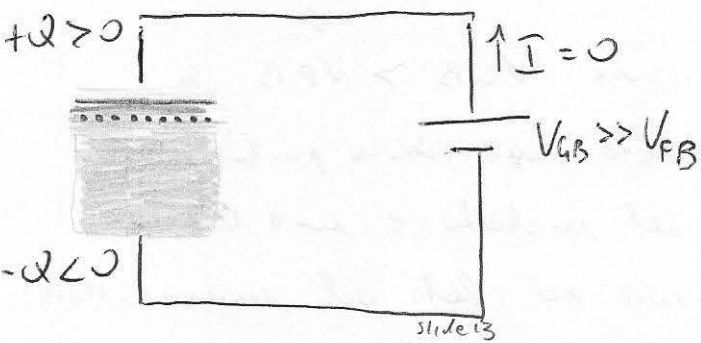
ionizzate, il modo più semplice per realizzare una carica negativa in un semiconduttore drogato di tipo p è quello di realizzare una regione svuotata di carica libera.

Si viene quindi a creare vicino all'interfaccia tra ossido e semiconduttore una regione di svuotamento di portatori maggioritari che lascia una carica negativa e costante in questa regione svuotata. Per questo motivo la regione si chiama regione di svuotamento del sistema (DOS). (nel semiconduttore) Il comportamento nel lato del metallo è dato da un accumulo di cariche positive facendo perdere elettroni al metallo. Tale carica positiva è quella strato superficiale del metallo, all'interfaccia tra metallo e ossido. Tale regione è una regione svuotata di elettroni molto sottile presente all'interfaccia.

Aumentando ulteriormente la tensione, con valori molto

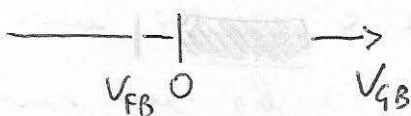
molto del valore V_{FB} di banda piombo assieme che nel semiconduttore la carica negativa non è più solo dovuta alla presenza della regione svuotata ma assieme un contributo di carica negativa legato alla nascita di una regione ricca di elettroni in corrispondenza dell'interfaccia tra ossido e silicio.

Questa è una condizione molto importante perché



Regione di inversione
(carica di svuotamento ed elettroni nel Si)

sono portatori minoritari (\Rightarrow termine inversione)



lo stato di elettroni liberi di muoversi (.....)
 e' concentrato in una regione molto sottile vicino alla
 interfaccia Ossido - Silicio.

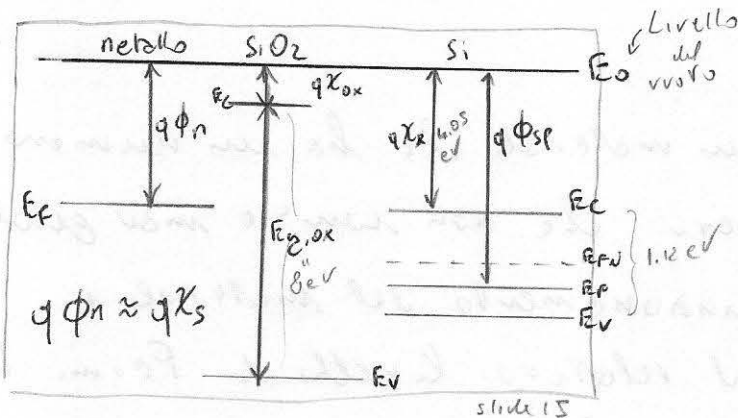
Tale condizione e' detta di inversione χ e lo stesso
 termine si usa e' superiore di un certo valore critico.
 La regione di accumulamento relativa, detta regione di
 inversione ed e' molto importante per le applicazioni
 pratiche perche' il transistor MOS viene realizzato
 partendo dalla condizione di inversione all'interno di
 una struttura MOS.

Fine argomenti. Le 3 regioni
 di accumulamento
 eq. termodinamica

DIAGRAMMA A BANDE ALL'EQUILIBRIO del sistema MOS

IL DIAGRAMMA A BANDE SINTETIZZA LA PRESENZA DELLA REGIONE DI INVERSIONE
 IN EQUILIBRIO MAXIM \Rightarrow DEFINIZIONE DI CONETTO DI BANDA PIANTA

Per costruire il diagramma a bande di una struttura in
 equilibrio termodinamico conviene partire dai diagrammi a
 bande parziali dei tre materiali separati e quindi
 portarli nei tre materiali isolati



Livello
 del vuoto E_0
 Silicio: scendendo di 4.05 eV
 del livello del vuoto E_0 , che
 coincide con l'affinita' elettronica
 del silicio, troviamo il minimo
 della banda di conduzione E_c .
 Scendendo ulteriormente
 di 1.12 eV , l'ampiezza
 della banda proibita,

troviamo la banda di valenza E_V ; il centro della banda proibita coincide sostanzialmente con il livello di Fermi intrinseco del materiale, E_{Fi} ; essendo il materiale drogato di tipo p allora il livello di Fermi E_F si trova nella metà inferiore della banda proibita, in una posizione che dipende dal drogaggio. Tale distanza, quella tra E_F e E_V , è legato a $k_B T \ln \frac{N_A}{N_V}$, il logaritmo delle densità efficaci degli stati in banda di valenza N_V contro il drogaggio N_A . La distanza tra il livello del vuoto E_0 e il livello di Fermi E_F definisce il lavoro di estrazione $q\phi_{sp}$ del semiconduttore.

Biossido di silicio, nello strato centrale: caratterizzato da una affinità elettronica dell'ordine di 1 eV, distanza tra livello del vuoto e banda di conduzione, rispettivamente E_0 e E_C . È caratterizzato, soprattutto, da una banda proibita molto estesa essendo un isolante cristallino, ed essa è dell'ordine di almeno 8 eV.

Metallo: rappresenta un materiale che ha un numero illimitato di elettroni liberi che non cambia mai qualunque sia le condizioni di funzionamento del materiale e questo vuol dire che il relativo livello di Fermi E_F è l'unico valore energetico che ci serve per caratterizzare completamente il diagramma a bande di questo materiale.

La distanza, nel metallo, tra il livello di Fermi E_F e il livello del vuoto E_0 costituisce il cosiddetto lavoro di estrazione del metallo ϕ o Φ_M .

Tale valore è in istanza pari a quello della affinità elettronica χ_s del semiconduttore, ovvero

$$\phi \approx \chi_s$$

e questo vuol dire che a due scale di energia sono equivalenti, quindi

il livello di Fermi E_F del metallo è di valore equivalente al valore ^(minimo) della banda di conduzione E_C del semiconduttore e questo vale a dire che i due materiali sono sostanzialmente allineati.

Ovvero

$$\phi \approx \chi_s \Rightarrow E_F \text{ del metallo} \approx E_C \text{ silicio} \Rightarrow \text{metallo e silicio allineati}$$

Questa considerazione ha una conseguenza molto importante perché, poiché il semiconduttore è drogato di tipo p e quindi $E_F < E_C$ allora siamo sicuri, in questo caso, di un tipo di materiale metallico, che il livello di Fermi E_F del silicio isolato è inferiore al livello di Fermi E_F del metallo e questo ha una conseguenza importante nelle parti di transistor che corrisponde alla realizzazione dell'esperimento stesso che porta alla costruzione del diagramma a bande in equilibrio termodinamico. mettere in linea i 3 materiali in un certo modo
Questo vuol dire allineare i materiali "il che comporta un transistor che porterà il livello di Fermi e equalizzerà in tutta la struttura".

Il livello di Fermi uguale in tutta la struttura corrisponde al fatto che la corrente che scorre nelle

struttura MOS deve essere nulla.

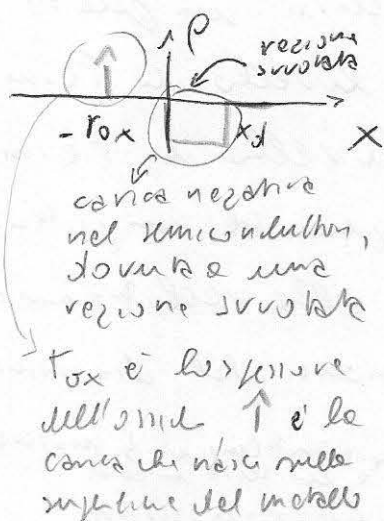
Perché i livelli di Fermi in equilibrio, tra i vari materiali, occorre che si riduca il salto tra i due livelli di Fermi nel metallo e nel semiconduttore e ciò occorre che il livello di Fermi nel metallo scenda, o equivalentemente che salga il livello di Fermi nel semiconduttore.

Questo si può realizzare esclusivamente con un trasferimento di elettroni dal metallo verso il semiconduttore. Dunque durante il transition, si vedrà un trasferimento (netto) di elettroni verso il lato del semiconduttore che è appunto drogato di tipo p il che comporta allo nascita all'interno del semiconduttore di una regione di svuotamento, una regione completamente svuotata di lacune libere, che sono i portatori maggioritari. Questo si dice che la carica negativa presente

nel semiconduttore è dovuta a una regione svuotata.

Corrispondentemente, sul metallo, in particolare all'interfaccia tra metallo e ossido, in cui lo spessore dell'ossido è indicato con t_{ox} e $-t_{ox}$ è la coordinata dell'interfaccia tra metallo e ossido perché l'origine dell'asse x è l'interfaccia ossido-silicio,

nascerà una carica concentrata che possiamo approssimare con una delta di Dirac. Essa corrisponde alla regione di



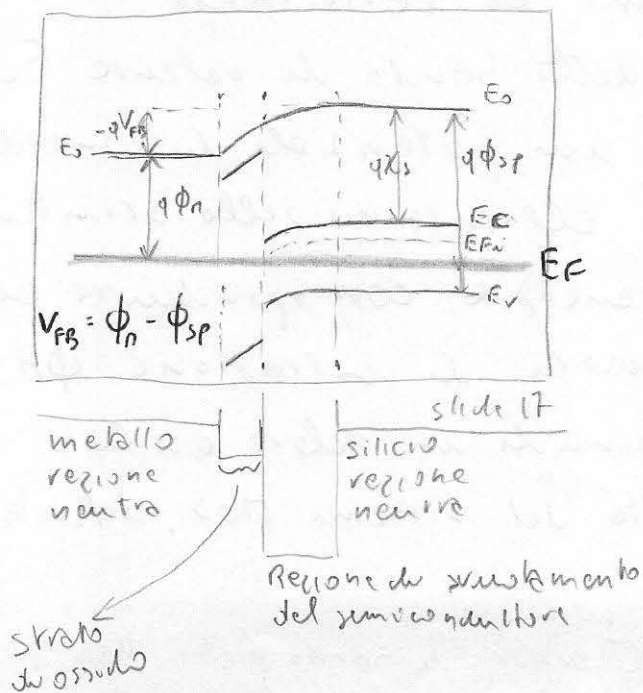
svuotamento estremamente sottile che si ha sulla superficie del metallo.

La distribuzione di carica è importante per capire cosa succede all'interno del diagramma e bande in equilibrio termodinamico perché questa è la struttura di una distribuzione di carica all'interno di un condensatore in cui l'ossido e il semiconduttore.

Dalla distribuzione di carica si ricava che nello strato di ossido esiste un campo elettrico diverso da zero.

Integrando la distribuzione di carica secondo l'equazione di Gauss si trova un gradiente di campo elettrico che corrisponde a un campo elettrico nell'ossido diverso da zero. Esempio classico di regione neutra, lo strato di ossido dove $\rho = 0$ ma con campo non nullo, sul positivo. Questo giustifica le bande rettilinee ma non quelle in questa regione.

Diagramma e bande



Vengono prima riportate le regioni neutre, con riferimento a E_F . Regioni neutre, del metallo e del silicio, in quanto lontane dallo strato di ossido.

In queste regioni è riportato esattamente il diagramma come nel materiale isolato.

Poi, analizzando la regione di svuotamento del semiconduttore,

in essa abbiamo presenza di carica negativa e quindi avremo bande con concavità verso il basso. Avremo una banda con concavità verso il basso sia per il livello del vuoto E_0 , sia per il minimo delle bande di conduzione E_C , sia per il livello di Fermi intrinseco E_{Fi} e sia per il massimo delle bande di valenza E_V . Tutti questi livelli energetici sono tra loro rigidamente legati dal fatto che le loro distanze sono fissate essendo all'interno di un materiale semiconduttore e, in particolare, all'interno di silicio.

Nello strato di ossido abbiamo una regione neutra e carica nulla, con bande rettilinee e sappiamo che il campo elettrico non è zero perché siamo all'interno di un dielettrico che è un condensatore. Quindi le bande rettilinee non sono piatte e sono tre: una in corrispondenza del livello del vuoto E_0 , una seconda è sotto alla prima di circa 1 eV ed è il minimo delle bande di conduzione E_C per lo strato di ossido e 8 eV sotto e questa abbiamo la terza banda corrispondente al massimo delle bande di valenza E_V . Questa situazione comporta un potenziale di contatto, un potenziale di built-in all'interno della struttura che corrisponde al salto di energie corrispondente alla differenza tra i due lavori di estrazione ϕ_n e ϕ_{sp} . Questo salto di energie coincide in valore assoluto con la tensione di banda piatta V_{FB} del sistema MOS, definita come

$$V_{FB} = \phi_n - \phi_{sp}$$

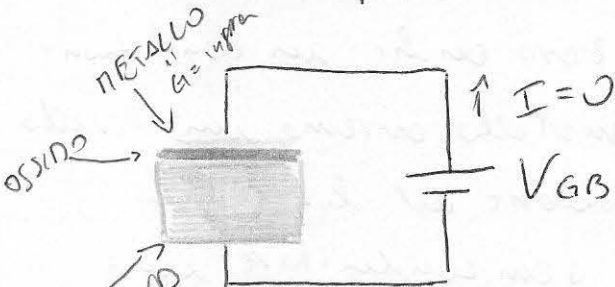
↳ è un valore negativo

definitivamente di
(Tensione di banda piatta V_{FB} , pari, in modulo, al potenziale di built-in di contatto)
È definita così per come coincidono con le condizioni di buon equilibrio)

DIAGRAMMA E BANDE FUORI EQUILIBRIO

30:00

Sistema non polarizzato



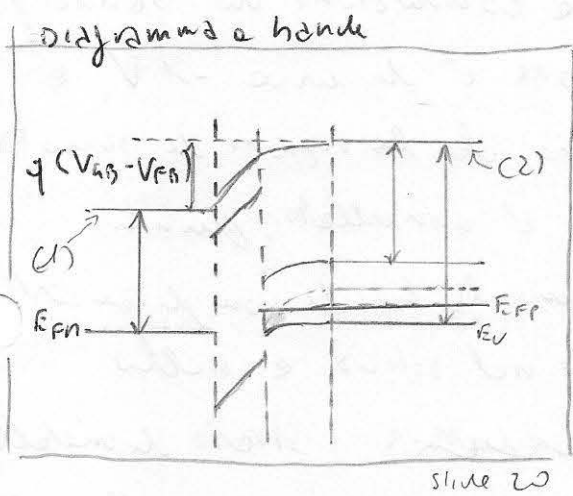
- A La corrente statica è nulla
- B Tutta V_{GB} modifica la caduta di tensione tra il gate e la regione di svuotamento

Supponiamo di polarizzare il sistema MOS applicando una tensione V_{GB} tra metallo e semiconduttore. La corrente è nulla e dunque nel semiconduttore non abbiamo caduta di potenziale.

Tutta la caduta di potenziale è tra la regione di svuotamento nel semiconduttore e la regione di ossido e quindi va a modificare

il comportamento ai capi della struttura regione di svuotamento e ossido. Questo ha le seguenti conseguenze:

applicando una d.d.p. V_{GB} positive al sistema succede che eleviamo il potenziale elettrostatico del gate ⁽¹⁾ e lo eleviamo rispetto al potenziale elettrostatico del semiconduttore ⁽²⁾. Visto che nel diagramma a bande rappresentiamo l'energia potenziale per gli elettroni e quindi c'è un pozzo $-q$ che lega il potenziale



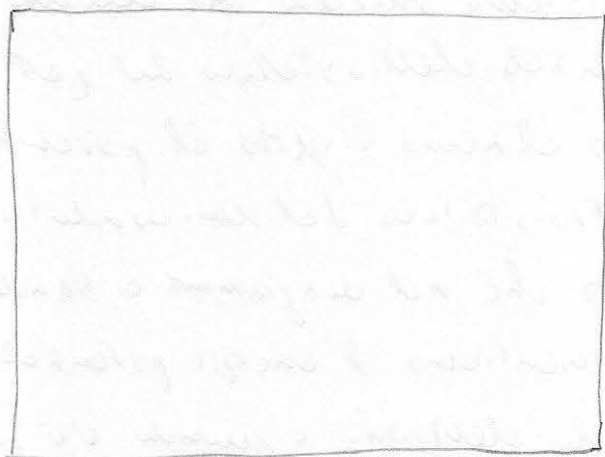
slide 20

alle energie potenziali, applicare V_{GB} vuol dire prendere l'energia potenziale del metallo (gate) e assorbita rispetto a quella del semiconduttore e quindi il salto di energia potrà da $-qV_{GB}$ e $q(V_{GB} - V_{FB})$, che corrisponde ad un incremento di V_{GB} e quindi è conseguenza del fatto che tutta la tensione V_{GB} va a cadere sul sistema

regione di isolante più regione di svuotamento.
 C'è un accumulo di campo elettrico all'interno dello strato di ossido e un allargamento dello strato svuotato. Poiché la corrente continua ad essere zero anche in condizioni di tensione applicata non nulla nel metallo avviene un livello energetico E_{Fn} che è una generalizzazione del livello di Fermi nel metallo e avviene nel semiconduttore una generalizzazione del livello di Fermi che continua ad essere costante ed indipendente da x poiché la corrente è nulla, valore E_{FP} . La distanza fra E_{FP} e E_v è quella dettata dal drogaggio, essendo il numero di lacune libero quello del materiale isolato in equilibrio.

CONDIZIONE DI BANDA PIATTA

Quando $V_{GB} = V_{FB}$ abbiamo la condizione di banda piatta,

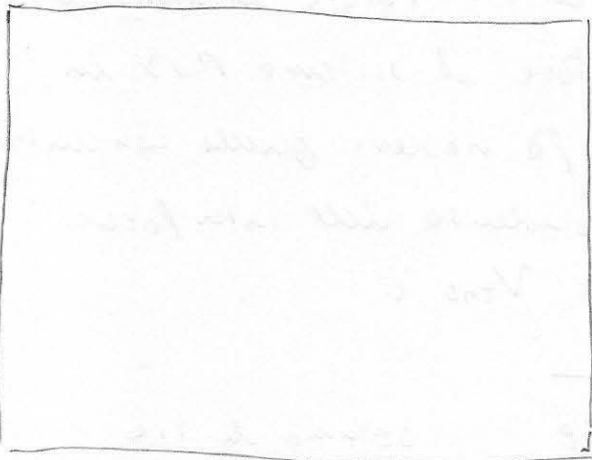


slide 21

il valore ϕ di circa $-1V$, e abbiamo che la regione di svuotamento è annullata, quindi abbiamo le bande completamente piatte nel silicio e nello strato di metallo. Avendo una carica nulla nel metallo e nel semiconduttore anche il campo elettrico nell'ossido è zero e anche in caso abbiamo condizioni di banda piatta.

CONDIZIONE DI INVERSIONE

Se V_{AB} ha un valore sufficientemente alto da essere in regione di inversione, al suo crescere il salto di energia $q(V_{AB} - V_{FB})$ diventa sempre più elevato e quindi continua ad aumentare il campo elettrico nello strato di ossido e si allarga la regione di svuotamento giacché in esse continua ad aumentare la caduta di potenziale.



slide 22

Non meno che V_{AB} aumenta, la curvatura delle bande nelle regioni svuotate diventa sempre più grande e il livello di Fermi intrinseco E_{Fi} sulla superficie del semiconduttore scende sotto la generalizzazione del livello di Fermi E_{FP} .

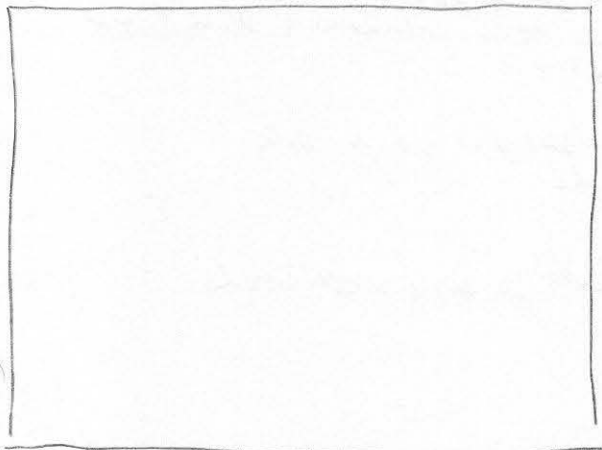
Dalla equazione di Shockley

$$n = n_i e^{\frac{E_{FP} - E_{Fi}}{k_B T}}$$

che la concentrazione di elettroni n

è data dalle concentrazioni intrinseche n_i e l'esponenziale dello differenza livello di Fermi e livello di Fermi intrinseco diviso $k_B T$.

Normalmente E_{Fi} è sopra E_{FP} ; ora la differenza diventa positiva e nasce una concentrazione di elettroni in questa regione superficiale



slide 23

di interfaccia tra ossido e semiconduttore e questo ci porta a definire il concetto di soglia del sistema MOS.

TENSIONE di SOGLIA: rappresenta il valore minimo di tensione da applicare al gate per portare il sistema MOS in condizioni di inversione. Questo fa nascere quella concentrazione in eccesso di elettroni in corrispondenza dell'interfaccia. Si dimostra che la tensione di soglia V_{th0} è:

$$V_{th0} = V_{FB} + 2\phi_F + \gamma_B \sqrt{2\phi_F} \quad , \quad \text{somma di tre contributi:}$$

V_{FB} , tensione di banda piotta

$$\phi_F = V_T \ln\left(\frac{N_A}{n_i}\right) \quad \phi_F \text{ è legato al drogaggio}$$

→ distanza tra livelli di Fermi intrinseci e l. di F. nel semiconduttore neutro

$$\gamma_B = \frac{\sqrt{2q\epsilon_s N_A}}{C_{ox}}$$

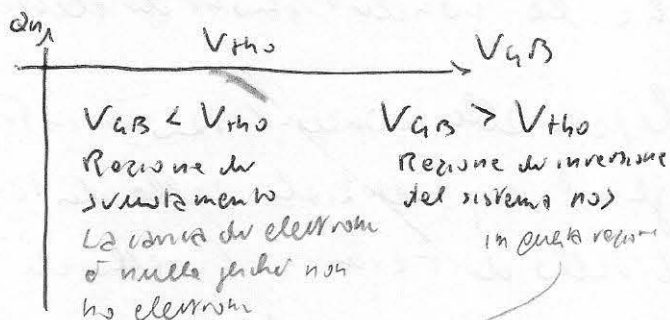
↳ coefficiente di effetto di imbutito del sistema MOS, o di body

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \rightarrow \text{costante dielettrica dell'ossido}$$

↳ spessore ossido

↳ capacità dell'ossido, capacità equivalente per area dell'ossido

CONTROLLO di CARICA



Tramite il controllo di carica si esamina la relazione di controllo di carica nel sistema MOS che è una rappresentazione delle cariche per unità di superficie accumulate nello stato di inversione,

$$Q_n = -C_{ox} (V_{GS} - V_{th0})$$

↳ è proporzionale a $V_{GS} - V_{th0}$ essendo C_{ox} Q_n in funzione di V_{GS}

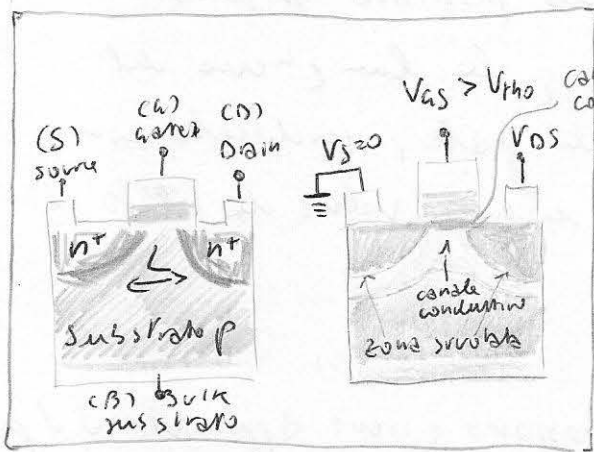
controllo di carica lineare, approssimato

valido, specialmente in prossimità di V_{th0}

Lez. 9 IL TRANSISTORE MOS: STRUTTURA e FUNZIONAMENTO STATICO

- Struttura del transistore MOS a canale n
- Spostamento del canale conduttivo. (particolare caso di funzionamento)
- Caratteristiche statiche
- Transistore MOS a canale p
- Controllo della tensione di soglia (4 tipi MOS possibili)

STRUTTURA del TRANSISTORE MOS a CANALE n



Slide 6

Il transistore MOS basa il suo funziona-

mento su un sistema costituito da un metallo —, uno strato di ossido — e un substrato di semiconduttore drogato —.

Per ottenere l'effetto transistore cioè far risultare un flusso di corrente che sia controllato da un

segnale elettrico applicato ad una porta diversa rispetto a quella che consideriamo porta di uscita si costruisce la struttura come in figura: all'interno del substrato drogato di tipo p che è il bulk del sistema MOS si realizzano due regioni molto drogate di polarità opposta rispetto al substrato e quindi, in questo caso di un transistore a canale n sarà drogato di tipo n⁺. Questo fa il posto che il sistema MOS vada a lavorare in condizione di porte inversione si viene a creare uno strato di elettroni all'interfaccia tra ossido e semiconduttore e questi elettroni, stante il fatto che l'elemento degli elementi, sono in comune con

queste due ~~strutture~~^{voce} laterali che hanno la funzione
di essere ricchi di elettroni.

Applicando una tensione alle due regioni laterali,
Source = sorgente e Drain = collettore, V_{GS} positiva,
gli elettroni all'interno delle due regioni molto drogate e
nel canale sono tra loro in comunicazione elettrica sono
attratti dal source verso il drain dando origine ad un
flusso di corrente. Il canale conduttore è all'interfaccia
ossido silicio. Avendo una carica negativa del source
e del drain abbiamo un corrente I_D positiva misurata
entrante all'interno del canale; la lunghezza del
canale è detta lunghezza di gate, indicata con
il simbolo L . La larghezza del canale viene di solito
indicata con il simbolo W .

Il MOS ha 4 terminali e non possono essere applicate d.d.p.
L'asse Gate/Bulk corrisponde alle polarizzazioni vera e propria
del sistema MOS; poi abbiamo un asse ortogonale comparsa
al percorso tra source e drain che identifica la porta di uscita
del transistor e canale n.

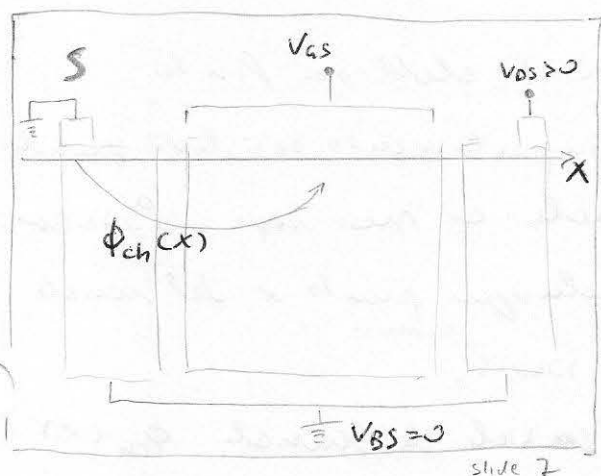
Le due giunzioni pn tra drogaggio di source e substrato
e tra drogaggio di drain e substrato devono essere sempre
in polarizzazione inversa. Se così non fosse potremmo avere
un flusso di corrente dal drain verso il bulk o dal
source verso il bulk che è un flusso di corrente non
controllato dalla tensione applicata alla porta di ingresso cioè
della tensione di gate. Per evitare questa possibilità occorre

garantire sempre che le due giunzioni drain-bulk e source-bulk siano in polarizzazione inversa il che per un dispositivo a canale n implica che la tensione V_{BS} sia sempre negativa ovvero il bulk ~~deve~~ ^{deve} sempre essere collegato la tensione più bassa che si trova all'interno del circuito nel quale il transistor MOS è inserito.

Quando viene applicata la tensione di polarizzazione al transistor MOS nella zona di semiconduttore che fa da substrato si viene a creare una regione di svuotamento ^{slide 6, a dx.}

Questa regione di svuotamento si trova sotto il sistema MOS

POTENZIALE DI CANALE



Supponiamo di lavorare in condizioni di funzionamento normale per un transistor MOS in conduzione e questo implica aver applicato una tensione V_{GS} maggiore della tensione di soglia e quindi abbiamo creato il canale conduttivo al di sotto delle interfacce ossido-silicio. Abbiamo anche applicato una tensione V_{DS} positive

che comporta che nel terminale di drain entra una corrente I positiva che corrisponde a un flusso di elettroni che vanno dal source verso il drain. Analizzando il comportamento del transistor MOS andando a suddividere il canale stesso in tante fettine che potremmo far tendere a zero di spessore per poter dare origine a una analisi continua del canale del transistor MOS notiamo che le fettine sono tutte disposte in serie e ognuna di esse è attraversata dalla stessa corrente I_D che entra dal drain, attraversa il canale ed esce dal source. Poiché tra source e drain è applicata

una d.d.p. V_{DS} essa si ripartisce in una parte a cavallo della regione neutra molto drogata di tipo n di drain, ma poiché questa regione ha un comportamento sostanzialmente parassita poiché il funzionamento del transistor suppone il drogaggio talmente elevato da poter trascurare questa caduta di potenziale, si ripartisce in una caduta di potenziale a cavallo del canale e una ulteriore caduta di potenziale a cavallo della regione neutra di source molto drogata di tipo n+ ed anche in questo caso e come dello considerazioni del drogaggio molto alto si trascurano tale caduta di potenziale.

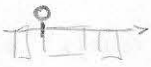
Quindi la tensione V_{DS} risulta essere sostanzialmente totalmente applicata a cavallo del canale e quindi la regione di lunghezza L .

Ogni fettina ha una concentrazione di elettroni finita e quindi siamo in presenza di un comportamento resistivo quindi ogni fettina ha una caduta di potenziale ai suoi capi. Possiamo quindi definire una d.d.p. fra un qualunque punto x del canale e il potenziale di riferimento che è il source.

Questa d.d.p. può essere chiamato potenziale di canale $\phi_{ch}(x)$ che ha due caratteristiche fondamentali:

$$\phi_{ch}(0) = 0$$

$$\phi_{ch}(L) = V_{DS}$$

0 è l'inizio del canale nel source  calcolo del potenziale del source rispetto al source

L è in corrispondenza del drain

Poiché il potenziale di canale è calcolato sulle varie fettine messe in serie fra loro all'interno del canale, esso può essere visto una funzione monotona crescente di x con contributo additivo

Stato delle portiere da 0 a L.

La presenza del potenziale di canale modifica la relazione di controllo di carica all'interno del sistema MOS.

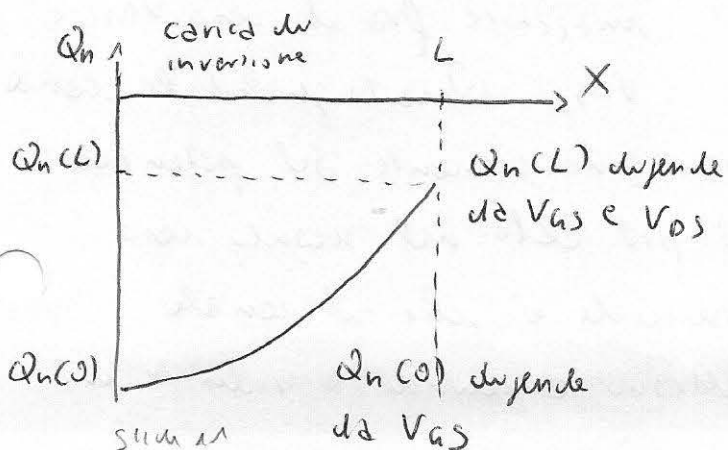
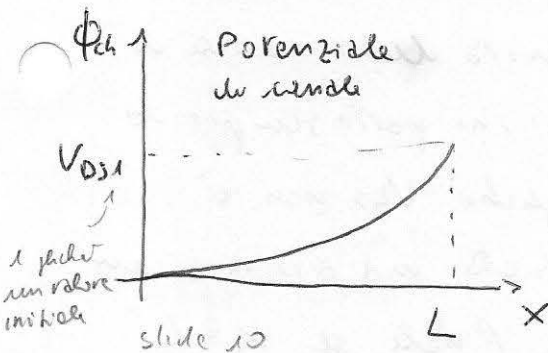
Il controllo di carica è la relazione che sussiste tra la concentrazione areica di elettroni presenti nel canale conduttivo e la tensione applicata al dispositivo. Si può dimostrare che la relazione di controllo di carica $Q_n(x)$ è:

$$Q_n(x) = -C_{ox} [V_{GS} - V_{th0} - \phi_{ch}(x)] + \gamma_B C_{ox} [\sqrt{2\phi_p + \phi_{ch}(x)} - \sqrt{2\phi_p}]$$

Q_n monotonamente crescente con ϕ_{ch}

↳ concentrazione di elettroni nel canale conduttivo, che dipende dalla posizione.

STROZZAMENTO DEL CANALE CONDUTTIVO

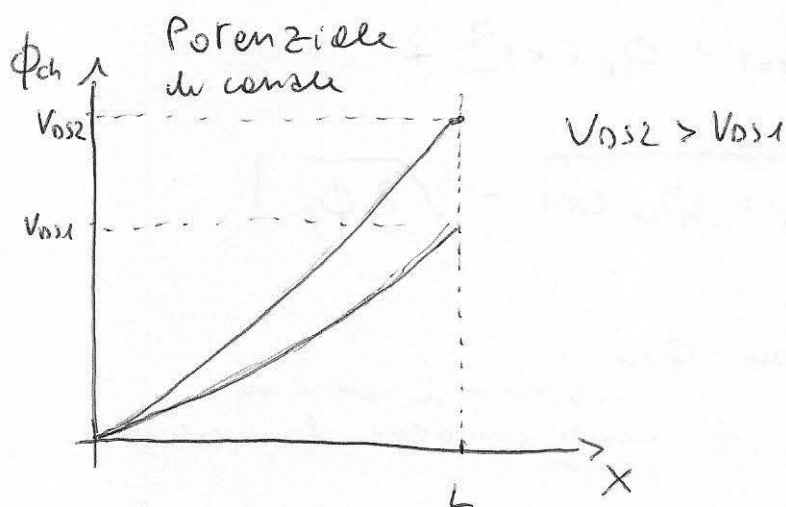


Se cambiamo V_{DS} mantenendo costante V_{GS} il valore iniziale della curva che ci dà la carica di inversione è lo stesso, mentre

il valore finale varie al variare della tensione V_{DS} .

La carica di inversione è rappresentata negativamente essendo data da elettroni, che possono essere o meno all'interno del canale e non può essere un numero negativo di elettroni. Quindi Q_n può solo essere negativa o nulla.

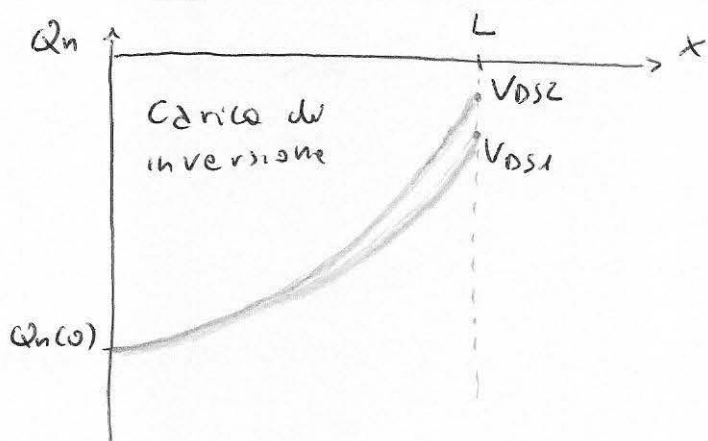
Se applichiamo al transistor MOS una tensione $V_{DS2} > V_{DS1}$



Il potenziale di canale ϕ_{ch} parte sempre da un valore nullo in $x=0$.

Esso arriva ad un valore $V_{DS2} > V_{DS1}$ con un andamento monotono crescente e questo ha

conseguenze sulla carica di inversione.



La curva della carica di inversione parte sempre da

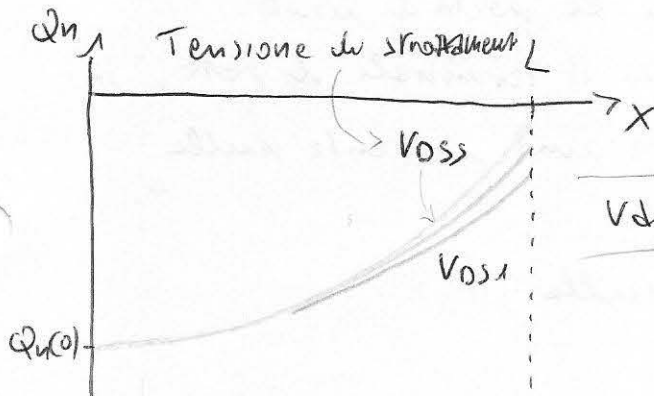
V_{DS} perché V_{GS} non è cambiata ma arriva a un valore finale in $x=L$

maggiore fra il caso V_{DS2} e V_{DS1} . Questo perché la carica

di inversione è una funzione monotona crescente del potenziale di canale e questo al punto è più alto nel secondo caso rispetto al primo. Questo che succede è che il canale tende a ridurre il numero di elettroni e quindi a ridurre in

valore assoluto la carica presente in ogni sezione x non meno che x si avvicina a L e poiché il valore in $x=L$ è controllato direttamente dal valore di V_{DS} esiste un valore critico di tensione applicata V_{DS} , detta tensione di strozzamento, che fa in modo che la concentrazione di elettroni nel canale diventi valore zero in $x=L$. Questo vuol dire che il numero di elettroni

nel canale di inversione in questo punto raggiunge lo zero, portando il canale sotto soglia, solo la



valore di V_{DS} per cui $n(L) = 0$
 regione di inversione

$$V_{DSS} \approx V_{GS} - V_{th0}$$

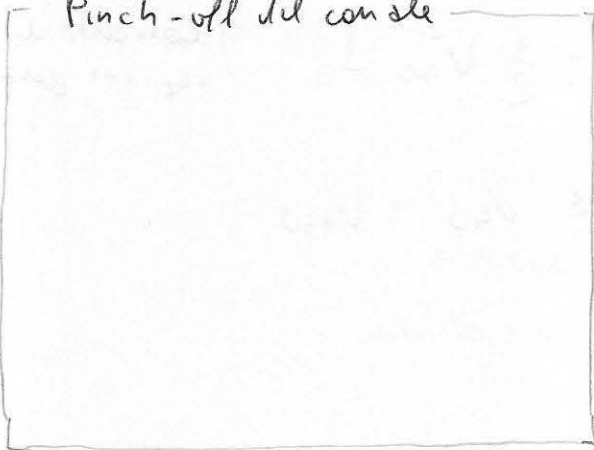
Tens. di strozzamento per γ_B trascurabile o zero

in buona approssimazione

pinch-off

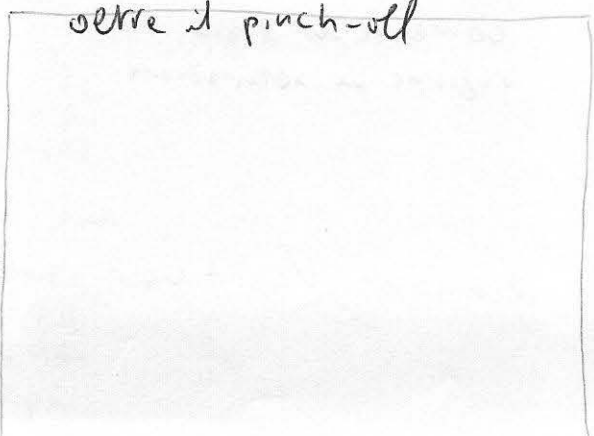
Se V_{DS} cresce oltre questo valore di strozzamento si ha

Pinch-off del canale



slide 15

oltre il pinch-off



il fondo del canale uno spostamento verso sinistra del punto di strozzamento e si crea una regione di strozzamento di lunghezza finita, molto ridotta, spesso trascurabile rispetto alla lunghezza del canale di gate, L .

Quando questa lunghezza è trascurabile rispetto a L la corrente di drain resta costante e non varia più al crescere di V_{DS} .

Prima dello strozzamento, essendo il canale resistivo, la corrente I_D è una funzione crescente della tensione V_{DS} , infatti in questa regione si dice che il dispositivo funziona in regione ohmica.

CARATTERISTICA STATICA

È definita per la porta di ingresso e per la porta di uscita.

Per la porta di ingresso, essendo esse il terminale di gate, in condizioni statiche esse hanno sempre una corrente nulla

$$I_G = 0 \quad \text{corrente di gate nulla}$$

Per la corrente di drain occorre esaminare due condizioni di funzionamento, con corrente $V_{GS} > V_{th0}$, tensione di ipso in modo che il canale conduttivo sia formato

$$1) \quad I_D = \beta_n \left[(V_{GS} - V_{th0}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

Corrente di drain
regione quadratica

↑
V_{GS} grande ⇒ transistor porta più corrente

$$\beta_n = \mu_n C_{ox} \left[\frac{W}{L} \right] \quad V_{DS} \leq V_{GS} - V_{th0}$$

↓
mobilità degli elettroni nel canale conduttivo

↳ Capacità dielettrica = $\frac{\epsilon}{x_{ox}}$ ⇒ spessore ossido

↳ fattore di controllo geometrico

$$2) \quad I_D = \frac{1}{2} \beta_n (V_{GS} - V_{th0})^2$$

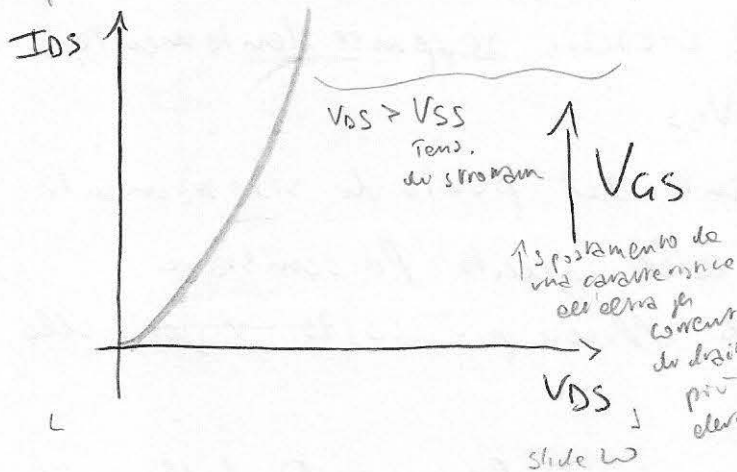
corrente di drain
regione di saturazione

$$V_{DS} > V_{GS} - V_{th0}$$

↳ corrente che dipende solo della tensione $V_{GS} - V_{th0}$, come Joba
devo esprimere sopra

Caratteristiche di uscita

$$V_{DS} = V_{GS} - V_{th0}$$



Per V_{DS} maggiore della tensione di saturazione V_{DS} la corrente I_{DS} è costante e indipendente da V_{DS} e pari a $\frac{1}{2} \beta_n (V_{GS} - V_{th0})^2$

Sulle caratteristiche di uscita si possono identificare le varie regioni di funzionamento del transistor MOS.

Per $V_{GS} < V_{th0}$, tensione di soglia abbiamo la regione di interdizione, nella quale la corrente di drain è sempre zero e questo è il comportamento di circuito aperto realizzato nell'applicazione di tipo digitale (vd. slide 21).

Per $V_{GS} > V_{th0}$, ma $V_{DS} < V_{GS} - V_{th0}$ abbiamo la regione quadratica in cui abbiamo una corrente di drain significativamente maggiore di zero con una tensione V_{DS} piccola, altra regione di funzionamento nelle applicazioni digitali (vd. slide 22).

Per $V_{GS} > V_{th0}$, e $V_{DS} > V_{GS} - V_{th0}$, abbiamo la regione di saturazione, regione centrale in cui la corrente è indipendente dalla tensione applicata al drain V_{DS} . Questa è la regione nella quale si va a trovare il punto di funzionamento a riposo per le applicazioni di tipo analogico (vd. slide 23).

Nelle slide 24, Modulazione della lunghezza di canale,

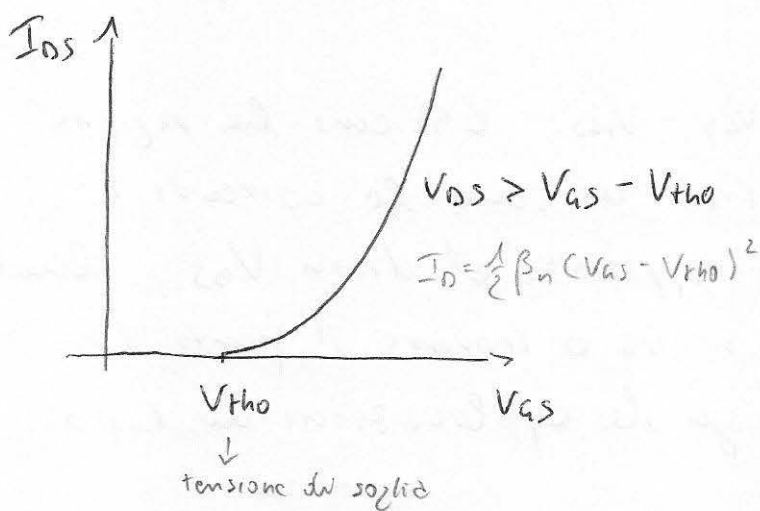
per tensioni V_{DS} maggiore della tensione di strozzamento la curva ha una pendenza finita e quindi abbiamo una corrente I_D che tende a crescere, seppure lentamente, all'aumentare della tensione V_{DS} .

Questo è legato allo spostamento del punto di strozzamento del drain verso il source e ~~allo~~ questo fa sembrare avere al dispositivo un canale efficace più corto rispetto alla lunghezza fisica L .

Accorciando la lunghezza L comporta la crescita della corrente di drain.

Il comportamento è più accentratosi poiché la regione strozzata diventa significativa rispetto alla lunghezza totale L del canale. Quindi con transistor MOS che hanno un canale L molto corto questo è un fenomeno molto evidente e significativo.

Spesso nei transistor a effetto di campo si rappresenta graficamente la cosiddetta transconduttanza cioè



l'andamento delle corrente di drain in funzione della tensione V_{GS} in regione di saturazione per $V_{DS} > V_{GS} - V_{Th0}$, che è quadratico e parte per $I_D = 0$ e $V_{GS} = V_{Th0}$. Questa curva si forma sulla collocazione della tensione di soglia.

TRANSISTORE MOS a CANALE P

30:44

Struttura: il substrato è drogato di tipo n e non
drogato di tipo p e le due
regioni laterali, source e
drain sono molto drogate
di tipo p .

La condizione di formazione
del canale conduttivo avviene
per $V_{GS} < V_{th0}$ e, in
questo caso, il canale conduttivo,

lo stato di inversione è formato da lacune.

Abbiamo dunque una totale inversione tra la presenza di
elettroni e lacune nei due casi di transistori MOS.

Il comportamento elettrico di questo tipo di Transistore
MOS può essere ricavato per dualità con l'altro, scambiando
i segni di tensioni e correnti.

Le caratteristiche sono simmetriche rispetto all'uscita.

Caratteristiche di uscita

CONTROLLO della TENSIONE di SOGLIA

Esso si basa su un fenomeno fisico fondamentale tipico del sistema MOS: supponiamo di avere una concentrazione di cariche fisse ^{cioè non in movimento} portatori di superficie alla interfaccia tra ossido e semiconduttore, $Q_{int} [C \text{ cm}^{-2}]$ questa carica fissa all'interfaccia comporta una variazione di tensione di banda piotta V_{FB} del sistema MOS e questa variazione è $\Delta V_{FB} = - \frac{Q_{int}}{C_{ox}}$ Cox capacità dell'ossido

La variazione di banda piotta comporta una variazione di tensione di soglia ΔV_{th} . Ovvero

Cariche di interfaccia

- cariche fisse tra S_{D2} e S_{D1} $Q_{int} [C \text{ cm}^{-2}]$
- variazione di V_{FB} $\Delta V_{FB} = - \frac{Q_{int}}{C_{ox}}$
- variazione di V_{th0} $V_{th0} = V_{FB} + \dots \Rightarrow \Delta V_{th} = \Delta V_{FB}$

Quindi, se riusciamo a controllare il valore di carica fissata all'interfaccia ossido - silicio siamo in grado di modificare il valore della tensione di soglia.

Scegliendo cariche di segno opportuno è possibile aumentare o ridurre la tensione di soglia a piacimento.

CONTROLLO DELLA TENSIONE DI SOGLIA

Implantando atomi droganti sotto SiO_2 si può controllare V_{th}

Tipo n, dove N_{Da} \rightarrow $\Delta V_{th} = \frac{-q N_{Da}}{C_{ox}}$
atomi donatori numero di atomi donatori impiantati o portatori di superficie

Si diminuisce il valore della tensione di soglia

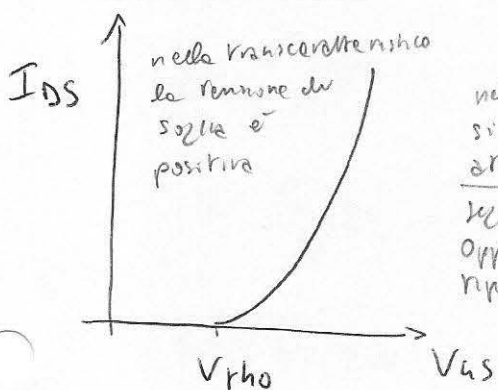
Tipo p, dove N_{Aa} \rightarrow $\Delta V_{th} = \frac{-q N_{Aa}}{C_{ox}}$
atomi accettori

Si aumenta il valore della tensione di soglia

Questo comporta poter controllare in modo molto accurato il valore della tensione di soglia e ne possiamo anche cambiare il segno, come da sotto.

nMOSFET ad arricchimento e di svuotamento

Transizioni e canali n



La transistore nMOS per $V_{GS} = 0$ mostra un flusso di corrente $I_{DS} \neq 0$

Arricchimento

(normalmente off)

perché per $V_{GS} = 0$, il canale non è formato e $I_{DS} = 0$

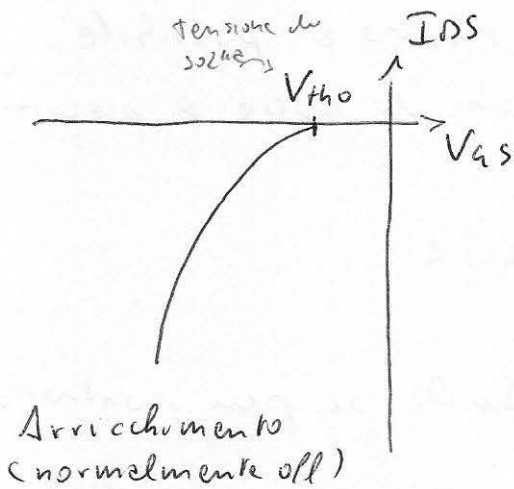
Svuotamento

(normalmente on)

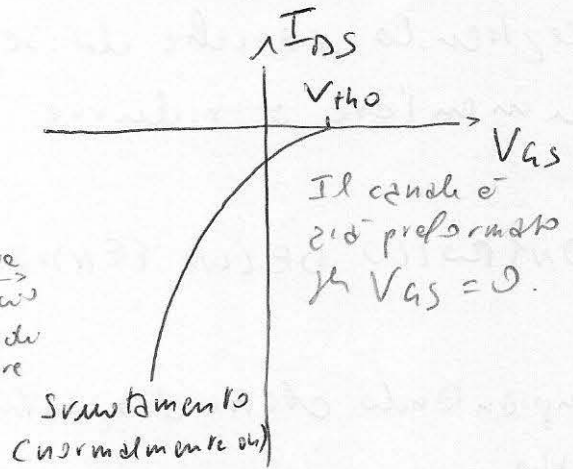
o a canale preformato, poiché il canale conduttivo è già presente quando $V_{GS} = 0$

Andòzamente, μ n dispositivo a canale p :

p MOSFET ad arricchimento e a svuotamento



↓
Aumentando
l'interfaccia
ossido-silicio
con atomi di
tipo accettatore
si aumenta
il valore
di V_{th0}



Il canale è
già preformato
in $V_{gs} = 0$.

La condizione su V_{gs}

$$V_{gs} < V_{th0}$$

Lez. 10 IL TRANSISTORE MOS : CIRCUITI EQUIVALENTI

- Effetti capacitivi
- Circuito equivalente in piccolo segnale
- Circuito di polarizzazione per la definizione del punto di funzionamento statico, o riposo in approssimazione analitica

EFFETTI CAPACITIVI

Qualunque dispositivo a semiconduttore funziona sempre per la presenza di concentrazione di cariche che varia in valore in funzione della tensione applicata e a questo è associato un effetto capacitivo con un accumulo di energia all'interno di un campo elettrico.

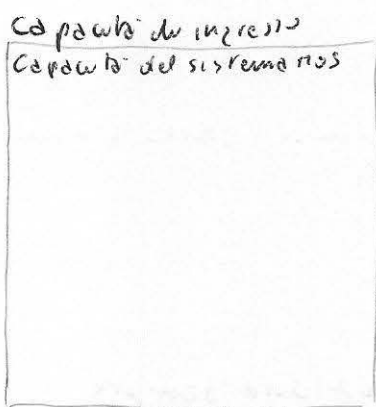
Ad un certo valore, ad es. della frequenza nel caso di segnale sinusoidale, si ha un effetto di certo ammontare che peggiora le prestazioni del dispositivo.

Un dispositivo a semiconduttore ha un estremo superiore di funzionamento in termini di frequenza e le sue prestazioni peggiorano al crescere della frequenza.

Il sistema MOS è un vero e proprio condensatore e quindi associa un effetto capacitivo associato ad esso, inoltre associa un effetto capacitivo associato alle giunzioni pn tra le regioni source e substrato e drain e substrato. Le giunzioni pn devono lavorare sempre in condizione di polarizzazione inversa e quindi l'effetto capacitivo è legato alle capacità di sovvertimento delle giunzioni.

C'è un altro effetto capacitivo legato alle capacità di

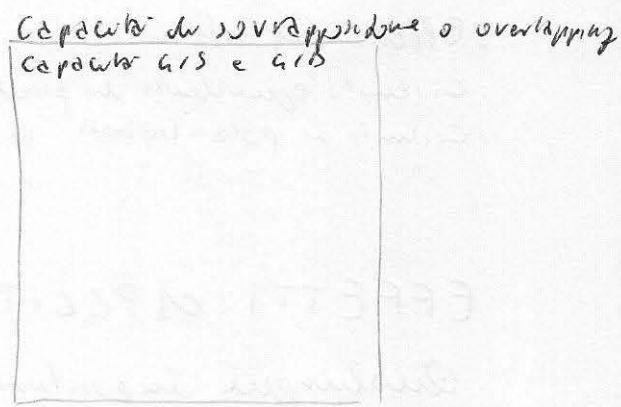
Sovrapposizione tra gate e regione drogata n⁺ di source
 e tra gate e regione drogata n⁺ di drain.



slide 5



slide 6



slide 7

Lo stesso capacitivo, come il modello di campo magnetico, sono molto complesso per varie ragioni: caratteristiche statiche e termini di ritardo e inserire il dispositivo e a 4 terminali

CIRCUITO EQUIVALENTE DI PICCOLO SEGNALE del transistor MOS

Linearizzazione del modello statico per le variazioni

MODELLO STATICO PER LE VARIAZIONI

Decomposizione del piccolo segnale

si decompongono le variabili elettriche, correnti e tensioni nelle somme del loro valore nel punto di quiete e rispetto (I₀ e V₀) con le variazioni

$$i(t) = I_0 + i_{ss}(t)$$

$$v(t) = V_0 + v_{ss}(t)$$

↓
 valore nel punto di quiete

Le variazioni
 si applicano solo a generatori costanti nel tempo ed circuito

Caratteristiche statiche (V_{BS} = 0) che andremo a linearizzare

$$I_{G0} + i_{G,ss} = 0$$

caratteristica per la porta di ingresso; le correnti di ingresso in condizioni statiche e zero

$$I_{D0} + i_{D,ss} = I_D (V_{DS0} + v_{DS,ss}, V_{GS0} + v_{GS,ss})$$

caratteristica di uscita che

dipende da V_{DS} e V_{GS}, ma anche V_{BS}

Sviluppo in serie

della caratteristica di ingresso

$$i_{G,ss} \approx 0$$

la variazione delle corrente di gate è nulla \Rightarrow nel circuito per le variazioni il terminale di gate si comporta da circuito aperto

della caratteristica di uscita

$$i_{D,ss} \approx g_{DSS} v_{GS,ss} + g_m v_{DS,ss}$$

dimensioni di una conduttanza
transconduttanza

variazione dello corrente di drain sulla uscita
 variazione di tensione applicate al drain e al gate

Parametri differenziali in regione di saturazione

$$g_{DSS} = \frac{\partial i_D}{\partial v_{DS}}$$

= derivata della corrente di drain rispetto alla tensione v_{DS}

transconduttanza g_m

$$g_m = \frac{\partial i_D}{\partial v_{GS}}$$

è sempre proporzionale al valore di $v_{GS} - V_{th0}$ nel p.d. di riposo

v_{DS}, v_{GS}

derivata valutata nel punto di funzionamento a riposo

Dispositivi a canale n con canale in serie con, g_{DSS} è abbastanza $\neq 0$ in alcuni casi

sarebbe 0 se $\frac{d}{dx}$ ma è $\frac{d}{dx}$ con v_{GS} costante indipendente dalla tensione

≈ 0 perché la pendenza è finita in effetto di modulazione di canale, tanto più forte quanto più corto è il canale MOS, come per dispositivi a canale n

v_{DS}, v_{GS}

derivata valutata nel punto di punto a riposo

$$\approx \beta_n (v_{GS} - V_{th0})$$

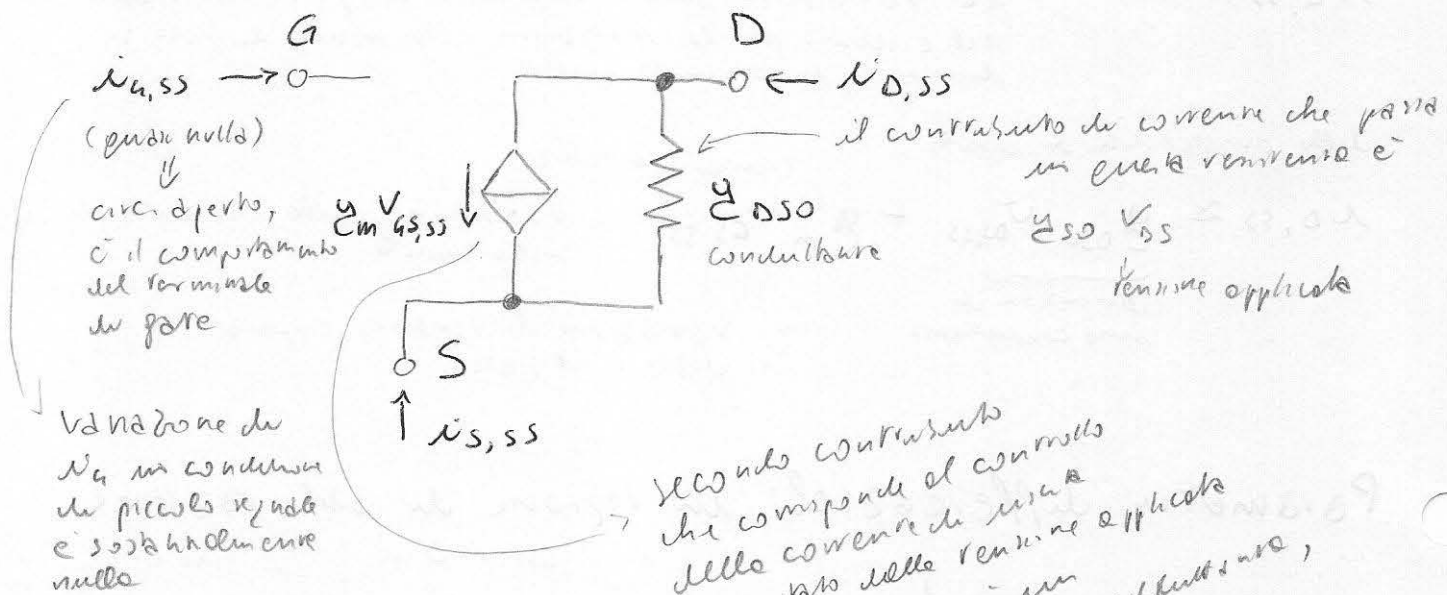
derivata di $\frac{1}{2} \beta_n (v_{GS} - V_{th0})^2$

$v_{GS} - V_{th0}$ è $>$ zero del in. la gate overdrive, cioè la quantità di tensione applicata al gate che supera la tensione di soglia, nella regione di saturazione.

Il modello stativo per la variazione corrente anche una interpretazione circuitali.

CIRCUITO per le VARIAZIONI, modello per $V_{BS} = 0$

Si ricava dalle due equazioni precedenti, delle caratteristiche di ingresso e delle caratteristiche di uscita.

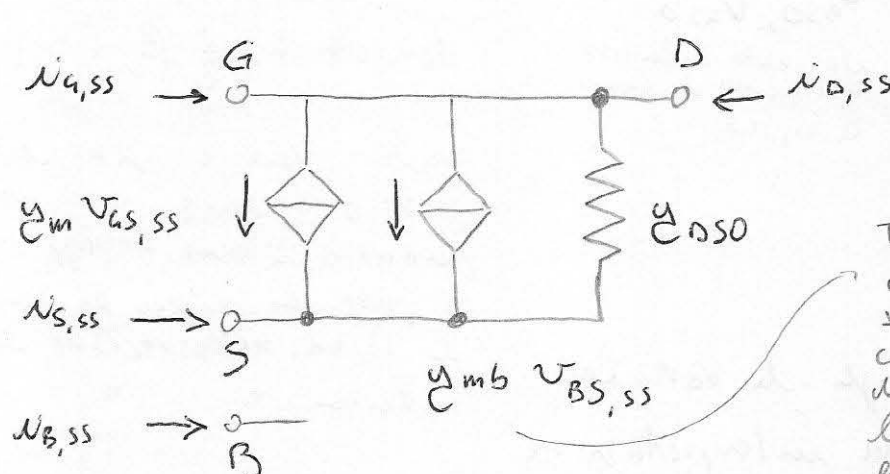


Questo circuito è la rappresentazione di $i_{D,ss} \approx g_{DSO} V_{DS,ss} + g_m V_{GS,ss}$

Secondo contributo che compone il controllo delle correnti di uscita e derivato dalla tensione applicata all'ingresso, e un generatore di transconduttanza, e il secondo addendo della corrente i_D per Q .

Se abbiamo anche il terminale di bulk che non è collegato in c.c. con il source

Abbiamo il Modello a quattro terminali condiz. stat. che



Condizioni statiche \Rightarrow le due condizioni più buone una polarizzazione inverte \Rightarrow contributo capacitivo trascurabile

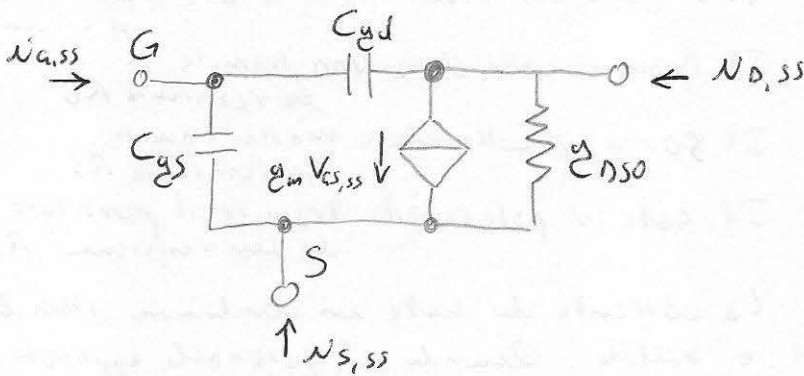
Terzo contributo additivo che è la conduttanza transconduttanza di substrato; è un contributo di corrente che dipende dalla variazione della corrente di drain sia anche legata alle variazioni di tensione legata al bulk tramite una transconduttanza di substrato.

La corrente di Bulk nel punto di funzionamento è in fase e zero, lo è anche $i_{B,ss}$ cioè la variazione della corrente di Bulk e il terminale di Bulk si comporta come c.d. per le variazioni.

Completando il circuito equivalente per le variazioni con il comportamento dinamico abbiamo il circuito per le variazioni dinamiche.

Dobbiamo aggiungere dei termini capacitivi che collegano tra loro i vari terminali.

In un circuito per le variazioni a tre terminali, il più significativo in un circuito di tipo discreto, dobbiamo aggiungere una capacità tra gate e source e una capacità tra gate e drain; in alcuni casi si aggiunge anche una capacità tra drain e source ma già le altre due sono sufficienti per dire come a frequenze sufficientemente elevate i tre terminali del transistore MOS siano tra loro in corto circuito, quindi questo è dimostrazione del peggioramento delle prestazioni elettriche del dispositivo al crescere della frequenza. La capacità tra gate e source è il componente principale capacitivo per le variazioni.



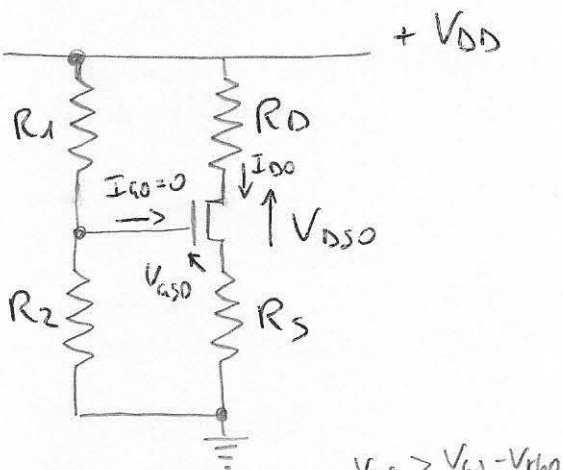
CIRCUITO DI POLARIZZAZIONE del transistore MOS

È il circuito con cui viene fissato il punto di funzionamento a riposo per il transistore nelle applicazioni di tipo analogico.

Nelle applicazioni analogiche il punto di funzionamento a riposo è nella regione di saturazione e la scelta del p.d.f. è fatta per garantire la massima linearità (amplificazione) e la massima dinamica di uscita e di ingresso ovvero dello stadio amplificatore. Per dinamica si intende la massima escursione che può assumere la tensione applicata all'ingresso e alla uscita del circuito amplificatore.

Supponendo di aver scelto il p.d.f. il circuito che realizza la polarizzazione del transistore MOS è l'approssimativo il circuito a quattro resistenze.

CIRCUITO A QUATTRO RESISTENZE



V_{DD} generatore di tensione che alimenta il circuito

Il Drain è collegato a V_{DD} tramite la resistenza R_D

Il Source è collegato a massa tramite la resistenza R_S

Il gate è polarizzato tramite il partitore di due resistenze, R_1 e R_2

La corrente di gate in condizioni statiche è nulla. Quindi il potenziale applicato al gate rispetto a massa è la partizione via le due resistenze R_1 e R_2 di V_{DD} .

In saturazione, fissato p.d.f.

$$I_D = \frac{1}{2} \beta_n (V_{GS} - V_{th0})^2$$

Per valutare il p.d.f. in un dato caso si applica il teorema di Thevenin ottenendo un circuito equivalente.

In pratica Thevenin viene applicato al partitore di ingresso ed è come se tagliassimo il circuito tra gate e mosfet [vd. slide 20]

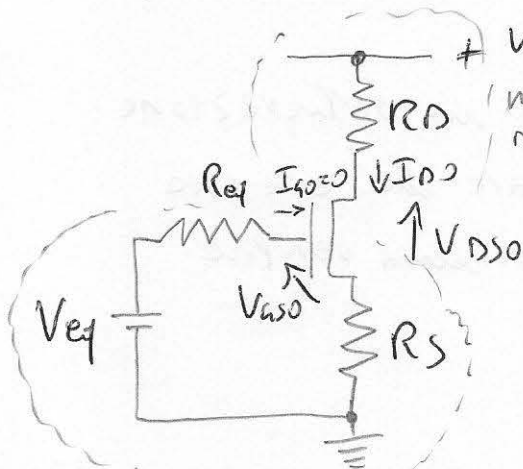
Equivalente di Thevenin

$$V_{eq} = V_{DD} \frac{R_2}{R_1 + R_2}$$

$$R_{eq} = R_1 \parallel R_2$$

slide 20

Abbiamo dunque un circuito equivalente con due maglie



maglia di uscita:
drain, R_D , source,
 R_S

Equazione alle
maglia di ingresso

Retta di
carico della

$$V_{eq} = R_{eq} I_{D0} + V_{GS0} + R_S I_{D0}$$

$$R_S I_{D0} = V_{GS0} + R_S I_{D0}$$

Maglia di ingresso:
circuitto di Thevenin,
il gate e la resistenza
 R_S

$$V_{GS} < V_{th0} \Rightarrow V_{eq} > V_{th0}$$

condizione non solo di saturazione
ma che sia almeno in conduzione

Retta di
carico della

maglia di uscita

$$V_{DD} = R_D I_{D0} + V_{DS0} + R_S I_{D0}$$

Sostituendo le caratteristiche nell'equazione delle
maglia di ingresso

$$V_{eq} = V_{GS0} + \frac{1}{2} R_S \beta_n (V_{GS0} - V_{th0})^2$$

$$V_{GS0} = V_{th0} + \frac{\sqrt{1 + 2 R_S \beta_n (V_{eq} - V_{th0})} - 1}{R_S \beta_n}$$

in $V_{GS0} > V_{th0}$

dependente

Una volta nota V_{GS} , della caratteristica statica calcoleremo I_{DQ} :

$$I_{DQ} = \frac{1}{2} \beta_n (V_{GS} - V_{th0})^2$$

E una volta nota la corrente di uscita è sufficiente entrare e prendere l'eq. della maglia di uscita e ricavare V_{DS} :

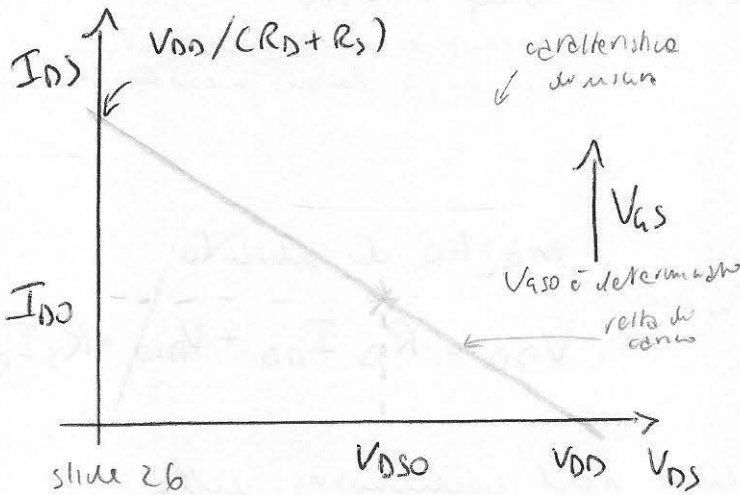
$$V_{DS} = V_{DD} - \underbrace{(R_D + R_S)}_{\text{caduta di potenziale sulle due resistenze, entrambi attraversate da } I_{DQ}}$$

caduta di potenziale sulle due resistenze, entrambi attraversate da I_{DQ} .

Si può verificare che il p.d.f. sia in saturazione perché calcolata V_{DS} si può verificare che essa sia maggiore di $V_{GS} - V_{th0}$, che è una verifica fondamentale.

INTERPRETAZIONE GRAFICA

33:13



Si prendono le caratteristiche di uscita del transistor MOS, che ci danno la corrente I_{DS} in funzione della tensione applicata V_{DS} .

Tra I_{DS} e V_{DS} esiste una relazione lineare che è la retta di carico della maglia di uscita.

Le distanze tra — aumentano

Se $V_{DS} = 0$ tutta la tensione V_{DD} è applicata alle due $R_D + R_S$

Il punto di funzionamento a riposo si determina andando a scegliere tra tutte le curve che rappresentano la caratteristica di uscita quella che è fissata dal valore V_{GS} , V_{GS0} ricavabile dal

sistema di equazioni della maglia di ingresso e delle caratteristiche statiche in condizioni di saturazione e ponendo il sistema con la retta di carico ovvero il p.d.f. è l'intersezione tra le due curve, le caratteristiche di uscita e la retta di carico.

Il punto di funzionamento a riposo fornisce il valore della tensione V_{DS} e la corrispondente corrente I_{DQ} .

Notare che i calcoli sarebbero più complessi venendo usato della pendenza finita delle caratteristiche di uscita che a quel punto dipenderebbero anche da V_{GS} .

VANTAGGI DEL CIRCUITO A QUATTRO RESISTENZE

La presenza di R_S tende a compensare le variazioni di I_{DQ} . Un aumento di corrente I_D dovuto a una variazione dei parametri del transistor tende a essere contrastato dalla caduta di potenziale sulla resistenza R_S cas $I_D > \text{valore nominale}$ $V_{th0} < \text{valore nominale}$ e quindi $V_{th0} > \text{valore nominale}$ allora si avrebbe una corrente I_D più piccola e quindi una caduta di potenziale sulla resistenza R_S più piccola e quindi nella equazione della maglia di ingresso un valore di V_{GS} più grande.

Quindi in entrambi i casi R_S tende a stabilizzare il p.d.f. rispetto a variazioni della corrente e dei parametri in genere del transistor.

note:

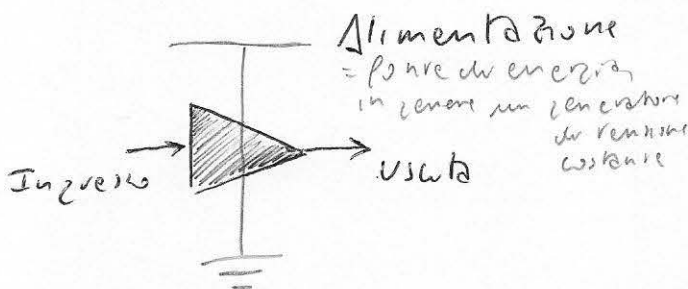
p.d.f. = punto di funzionamento a riposo

Lez. 11 I CIRCUITI AMPLIFICATORI

- Definizione di amplificatore circuito analogico
- Parametri caratteristici delle fonti di un d.
- Classificazione degli amplificatori in funzione dei parametri di NIV
- Collocazione in cascata di amplificatori lineari

DEFINIZIONE DI AMPLIFICATORE

Il modulo amplificatore è un sistema elettronico che prende un segnale al suo ingresso e ne restituisce in uscita una replica il più possibile fedele ma con una potenza maggiore rispetto a quella di ingresso.

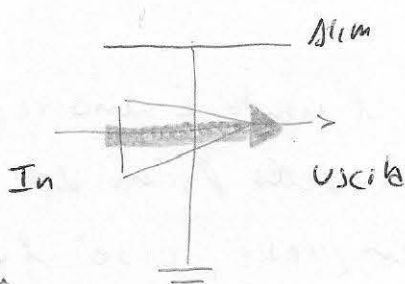


L'alimentazione serve a fissare, oltre al punto di funzionamento e rispetto alla terra, i

modulo amplificatore
scopo: segnale in uscita replica dell'ingresso con guadagno di potenza

componenti del circuito che costituiscono l'amplificatore, e ha una funzione energetica

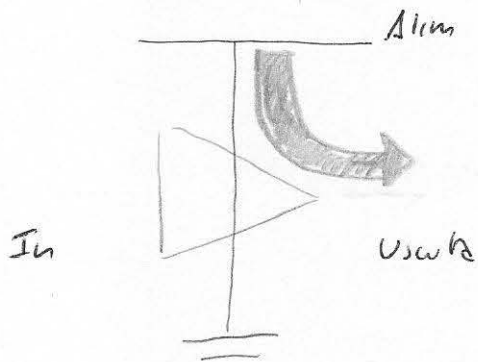
Flusso del segnale è identificabile nell'amplificatore:



tal flusso è costante del generatore di ingresso (tensione o corrente), del modulo amplificatore e del terminale di uscita da cui è prelevato un segnale che può essere in termini di tensione o di corrente.

Flusso di segnale
Generatore di ingresso ($V_o I$)
Amplificatore
Uscita ($V_o I$)

Flusso di potenza elettrica fornita al segnale del modulo amplificatore arriva dalla alimentazione.



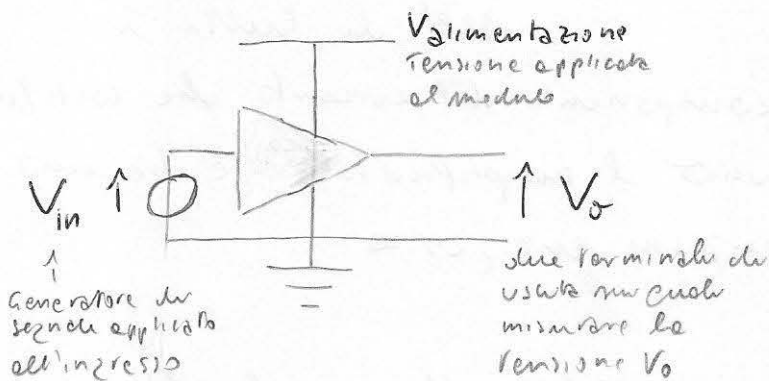
La potenza del segnale di uscita viene fornita dalla alimentazione

Si è quindi in presenza di una conversione di potenza del generatore in continua verso l'uscita dello stadio amplificatore.

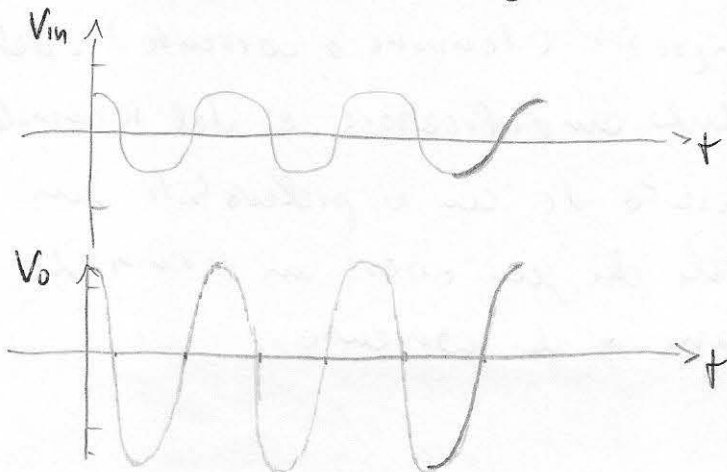
Amplificatore di tensione come esempio di valutazione dei parametri in generale. Questo vuol dire che sia l'ingresso che l'uscita del modulo amplificatore sono tensioni.

Ingresso : tensione V_{in}

Uscita : tensione V_o



L'andamento dei segnali è del tipo :



cioè l'uscita è una replica fedele della forma del segnale di ingresso, cioè l'amplificatore è lineare con l'ampiezza del segnale di uscita maggiore di quella del

segnale di ingresso. Questo ci garantisce il trasferimento di potenza dall'alimentazione verso il segnale di uscita. La linearità consiste nel fatto che V_o sia proporzionale a V_i con un coefficiente di proporzionalità significativamente maggiore di 1.

Nelle realtà qualunque stadio non è perfettamente lineare per cui nello stadio di amplificazione devono essere individuati dei limiti entro i quali dobbiamo restare per garantire il più possibile la linearità. Linearità che sarà approssimata anche entro tali limiti.

PARAMETRI CARATTERISTICI di un amplificatore

Amplificazione e guadagno

Amplificazione di potenza $K_p = \frac{\text{Potenza di uscita}}{\text{Potenza di ingresso}}$

Guadagno di potenza ^{in pratica (combinazione di dB di misura)} $G_p = 10 \log_{10} K_p \text{ [dB]}$ <sub>↓
decibel</sub>

K_p	$G_p \text{ [dB]}$
1	0
2	3
10	10
100	20
1000	30

Amplificazione di tensione (in particolare)

$$A_v = \frac{V_o}{V_{in}} \quad A_v \text{ è l'amplificazione di tensione}$$

Guadagno di tensione in dB

$$P_{in} \propto V_{in}^2$$

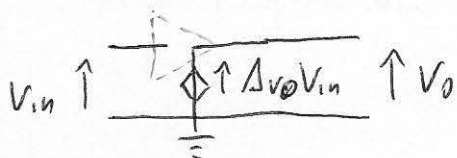
$$P_o \propto V_o^2$$

$$G_p = 10 \log_{10} \frac{P_o}{P_{in}} = 20 \log_{10} A_v \quad \text{[dB]} \quad \text{decibel}$$

Rappresentazione come doppio bipolo

Amplificatore a vuoto e carico di perdita

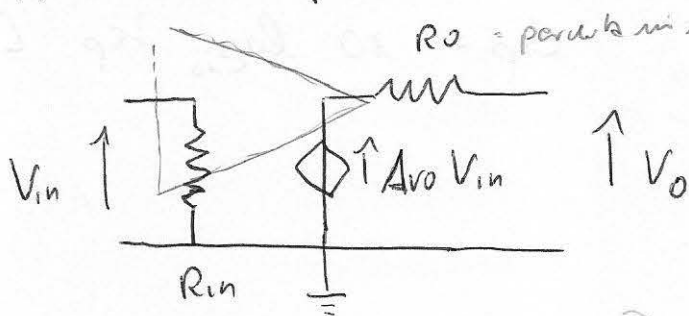
l'amplificatore
come il circuito
d'ingresso



Il circuito di ingresso è un c.c. a cui applico tensione V_{in}

Il circuito di uscita è un generatore di tensione pilotato dalla tensione di ingresso e il coefficiente che definisce l'amplificatore pilotato si chiama amplificazione a vuoto dell'amplificatore.

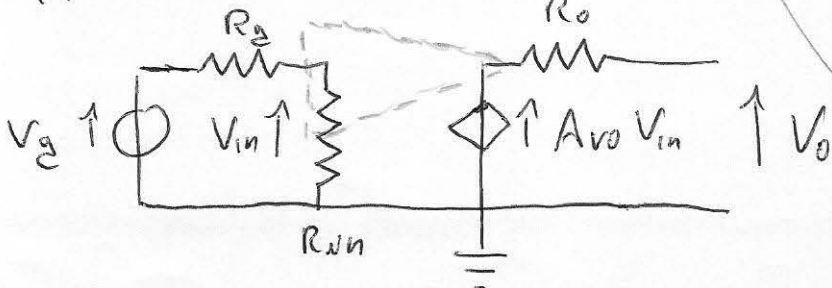
Effetto delle perdite: Resistenza di ingresso e resistenza di uscita



R_o = perdita in uscita

Fondamentalmente la rappresentazione equivalente di uno stadio amplificatore è costituito dalla resistenza di ingresso e da quella di uscita e da un generatore pilotato che definisce la capacità che ha l'amplificatore di amplificare il segnale e nel caso di un amplificatore di tensione è un generatore pilotato da tensione. Il coefficiente che definisce il generatore pilotato è il parametro fondamentale a vuoto dell'amplificatore nel caso di tensione.

Effetto di R_{in}



$$V_{in} = V_g \frac{R_{in}}{R_{in} + R_g}$$

$$V_o = A_{vo} V_{in}$$

e sostituendo

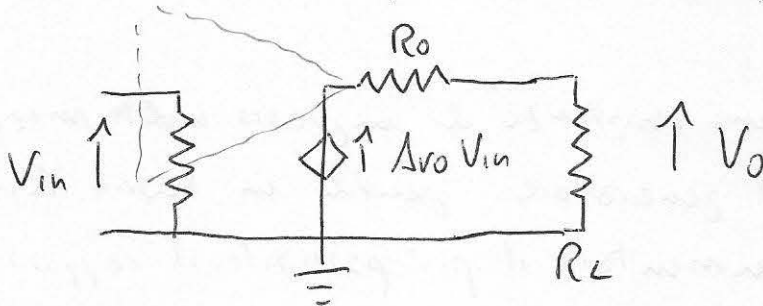
Amplificatore a vuoto

$$A_v = \frac{V_o}{V_g} = A_{vo} \frac{R_{in}}{R_g + R_{in}} \leq A_{vo}$$

amplificazione
dello stadio completo

$$e \leq 1, e \approx 1 \text{ se } R_{in} \gg R_g$$

Effetto di R_o in presenza di un carico R_L

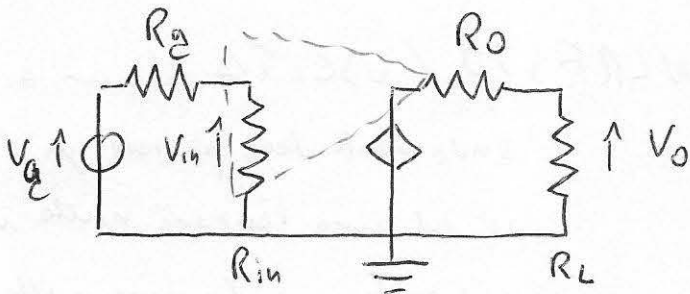


$$V_o = A_{vo} V_{in} \frac{R_L}{R_L + R_o}$$

partitore

$$A_v = \frac{V_o}{V_{in}} = A_{vo} \frac{R_L}{R_L + R_o} \leq 1$$

Effetto combinato della resistenza di ingresso e della resistenza di uscita



$$A_v = \frac{V_o}{V_g} = A_{vo} \frac{R_{in}}{R_g + R_{in}} \cdot \frac{R_L}{R_o + R_L}$$

A_{vo} è ridotta dai due coefficienti che sono il rapporto di ripartizione tra la resistenza interna del generatore e la resistenza di ingresso dello stadio e tra la resistenza di uscita dello stadio e la resistenza di carico.

Si trova che Δv è equivalente ad Δv_0 ridotta dei suoi coefficienti.

Dobbiamo verificare le condizioni per un amplificatore di tensione per avere una amplificazione la più possibile vicina al massimo ottenibile dall'amplificatore, quando il più possibile vicino alla amplificazione a vuoto:

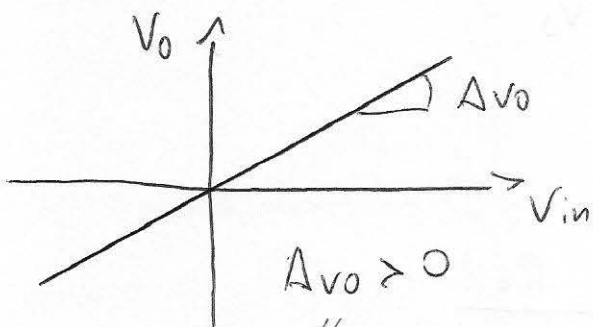
$$R_{in} \gg R_g \quad \text{e} \quad R_o \ll R_L \Rightarrow \Delta v \approx \Delta v_0$$

Occorre quindi avere una resistenza di ingresso molto maggiore della resistenza interna del generatore, quindi in regime $R_{in} \rightarrow \infty$.

Analogamente per aumentare il più possibile il rapporto di ripartizione sull'uscita occorre avere una resistenza di uscita più piccola possibile, idealmente nulla.

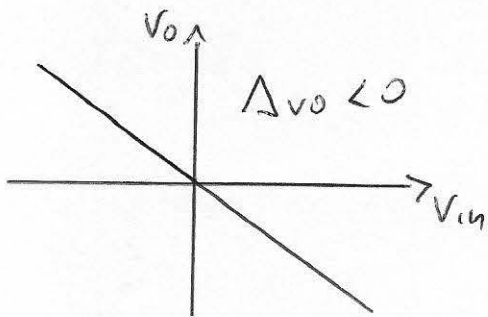
Queste due condizioni fanno tendere a ∞ e sopra i suoi rapporti per cui l'amplificazione complessiva dell'amplificatore caricato sia la più vicina possibile alla amplificazione a vuoto.

CARATTERISTICA INGRESSO / USCITA di un a. di tensione

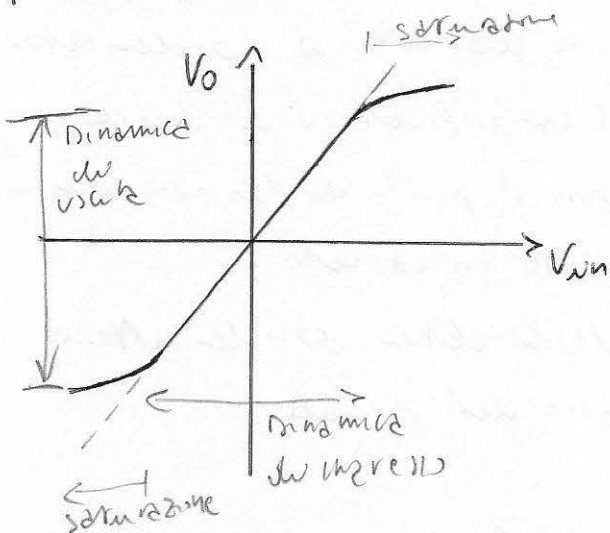


Amplificatore non invertente, non introduce slittamento tra ingresso e uscita

L'andamento deve passare per l'origine, cioè ad una tensione nulla in ingresso corrisponde una tensione nulla in uscita. È una retta perché l'a. è lineare. La pendenza della retta è l'amplificazione e questo rende univoca tale retta.



Amplificatore invertente, il segnale di uscita V_o presenta uno spostamento di 180° rispetto al segnale di ingresso V_{in} , questo perché $A_{vo} < 0$



Dinamica di uscita: massima escursione possibile della tensione di uscita V_o , restando all'interno della linearità.

Dinamica di ingresso: massima escursione della tensione all'ingresso V_{in} , senza portare lo stadio amplificatore fuori della sua condizione di linearità.

Sulle caratteristiche ingresso/uscita è possibile verificare la linearità dell'amplificatore; in un amplificatore reale essa è ragionevolmente lineare per tensioni di ingresso molto piccole, al crescere di queste la tensione di uscita non può superare un certo valore massimo e si ha quello che si chiama il fenomeno della saturazione dello stadio amplificatore.

Analizzando nel dettaglio le curve reali delle caratteristiche ingresso/uscita è possibile andare a definire le cosiddette dinamiche di uscita e dinamica di ingresso dello stadio amplificatore.

Abbiamo dunque una escursione massima tra la tensione di ingresso e la tensione di uscita. Le due dinamiche non sono indipendenti ma sono legate dall'amplificazione dello stadio. La dinamica di uscita e la dinamica di ingresso moltiplicate per l'amplifi-

cazione di tensione.

COMPORTAMENTO DINAMICO

Nel circuito sono sempre presenti elementi reattivi che possono essere dovuti sia alle risposte dinamiche intrinseche dei dispositivi e semiconduttore che è limitata dagli effetti capacitivi sia alle presenza di circuiti di accoppiamento in serie al flusso del segnale (amplificatori di disaccoppiamento) che hanno la funzione di separare il punto di funzionamento e ripro dei vari stadi possibilmente in cascata.

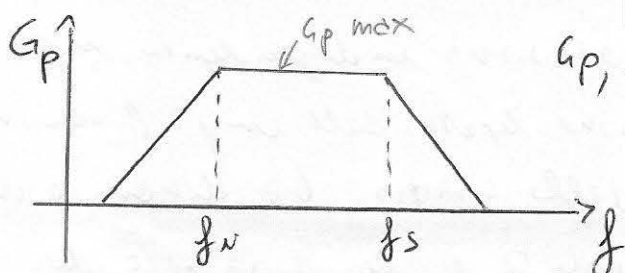
Oppure possono essere presenti degli altri condensatori non direttamente in serie al flusso del segnale.

La conseguenza di questo è che la risposta dinamica dei dispositivi e semiconduttore limita la massima frequenza del segnale che si può applicare.

La presenza di condensatori in serie (di disaccoppiamento) fa sì che un segnale costante, a frequenza zero, non può attraversare lo stadio amplificatore.

In entrambi i casi si tratta di limitazioni alle frequenze dei segnali che possono essere amplificati.

BANDA PASSANTE



Frequenze di taglio: f_0, f_3

Banda passante: $B = f_2 - f_1$

L'andamento del guadagno di potenza G_p , in funzione della frequenza f del segnale applicato, che è sinusoidale, è del tipo mostrato a lato.

Abbiamo una regione centrale per valori intermedi di frequenza nelle quale il guadagno di potenza G_p è sostanzialmente costante e tale regione corrisponde alla banda passante dell'amplificatore ed è la regione di normale funzionamento.

Per frequenze superiori ad un valore critico detto di taglio superiore f_s il guadagno di potenza tende a ridursi e, analogamente, per frequenze inferiori ad un valore detto di taglio inferiore f_i per cui l'ottimo funzionamento dello stadio di amplificazione sarà solo nella regione intermedia di frequenza detta regione di funzionamento normale.

Si possono realizzare amplificatori con $f_i = 0$; mentre f_s ha comunque un suo valore.

Questo implica non avere il condensatore di accoppiamento in serie

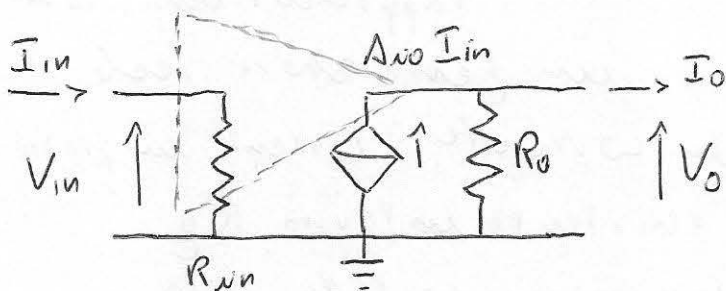


25/10

CLASSIFICAZIONE degli AMPLIFICATORI

È basata sul tipo di segnale in ingresso e in uscita che ad essi vengono applicati o da essi estratti. Ci sono quattro possibilità in quanto ingresso e uscita possono essere tensione o corrente.

Amplificatore come doppio bipolo con una uscita in corrente: il circuito equivalente dello stadio amplificatore è di tipo Norton, quindi è un generatore di corrente pilotato (da I_{in} in figura) con in parallelo una resistenza equivalente che è la resistenza di uscita dello stadio secondo la rappresentazione Norton.



A_{vo} : amplificazione

di corrente a vuoto
well che definisce l'amplificazione
con l'uscita in corrente

A_{vo} è detta amplificazione di corrente a vuoto perché è il valore della corrente quando è cortocircuitata l'uscita

I tipi di amplificatori sono quattro

$$A_{vo} = V_o / V_{in}$$

Amplificazione di tensione a vuoto

Amplificatore di tensione

$$A_{io} = I_o / I_{in}$$

Amplificazione di corrente a vuoto

Amplificatore di corrente

$$A_{ro} = V_o / I_{in}$$

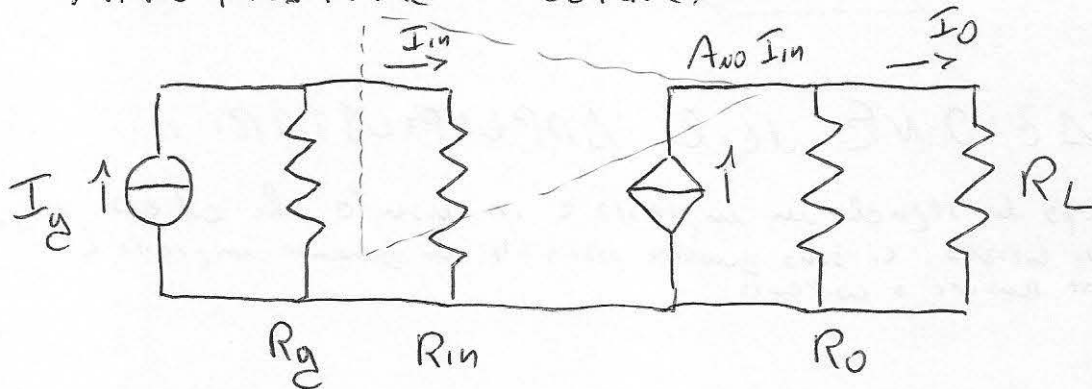
Amplificatore di transresistenza
Il coefficiente di proporzionalità ha le dimensioni di una resistenza

$$A_{go} = I_o / V_{in}$$

Corrente di corto circuito

Amplificatore di transconduttanza

AMPLIFICATORE DI CORRENTE



All'ingresso applichiamo un segnale in termini di corrente e quindi lo

rappresenteremo come

un generatore reale

di corrente: corrente impressa

I_g e la resistenza interna R_g .

L'ingresso dello stadio amplificatore è rappresentato dalla corrispondente resistenza di ingresso R_{in} .

L'uscita dello stadio amplificatore è rappresentata con

l'equivalente Norton caratterizzato da una amplificazione a vuoto A_{io} e la corrente di ingresso I_{in} , da una resistenza di uscita R_o e da un carico di resistenza R_L . La corrente di uscita I_o sarà quella fornita al carico R_L .

Abbiamo due partizioni di corrente e quindi:

$$I_{in} = I_g \frac{R_g}{R_g + R_{in}}$$

$$I_o = \underbrace{A_{io} I_{in}}_{\substack{\text{corrente di} \\ \text{uscita del generatore} \\ \text{pilota}}} \frac{R_o}{R_o + R_L}$$

Amplificazione di corrente a vuoto

$$A_i = \frac{I_o}{I_g} = A_{io} \frac{R_g}{R_g + R_{in}} \cdot \frac{R_o}{R_o + R_L}$$

Amplificazione di corrente effettiva

riduzione del rapporto di partizione di ingresso tra R_g e R_{in}

riduzione del rapporto di partizione di uscita tra R_o e R_L

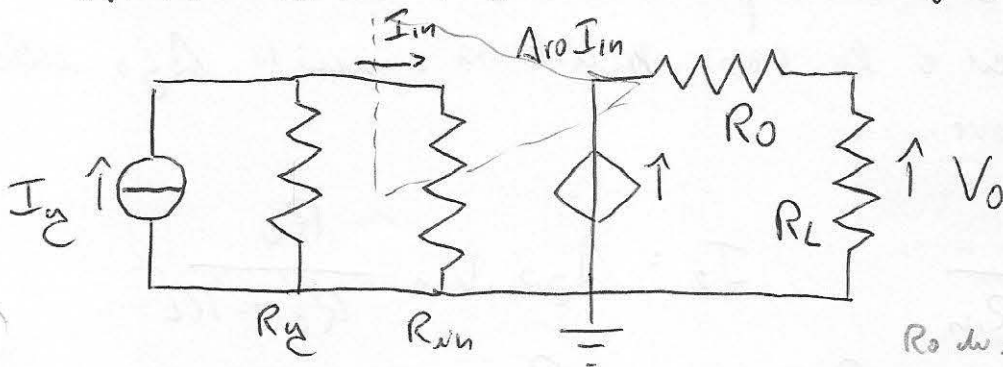
Le riduzioni sono quelle dell'a. di tensione

I vincoli di massimizzazione dell'amplificazione, un riferimento alle resistenze di ingresso e di uscita sono:

$$R_{in} \ll R_g \text{ e } R_o \gg R_L \Rightarrow A_i \approx A_{io}$$

idealmente zero idealmente infinita

AMPLIFICATORE di TRANSRESISTENZA



All'ingresso applichiamo un segnale in termini di corrente.

R_o di uscita e in partizione con R_L

A_{ro} è la transresistenza a vuoto

Sulla resistenza di carico R_L misurare la tensione di uscita V_o

I parametri fondamentali

$$I_{in} = I_g \frac{R_g}{R_g + R_{in}}$$

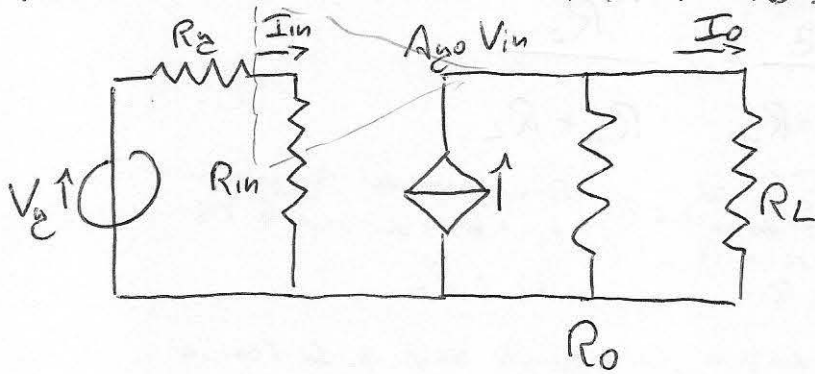
$$V_o = A_{ro} I_{in} \frac{R_L}{R_o + R_L}$$

$$A_r = \frac{V_o}{I_g} = A_{ro} \frac{R_g}{R_g + R_{in}} \cdot \frac{R_L}{R_o + R_L}$$

Le due riduzioni sono le resistenze all'ingresso e all'uscita

$$R_{in} \ll R_g \text{ e } R_o \ll R_L \Rightarrow A_r \approx A_{ro}$$

AMPLIFICATORE di TRANSCONDUZZANZA



Abbiamo un ingresso applicato in tensione con un generatore reale di tensione compreso V_g e resistenza interna R_g . Il generatore reale alimenta la resistenza di ingresso R_{in} .

Transconduttanza \Rightarrow mette in un segnale in corrente e prende lo stato di uscita dell'amplificatore e rappresentato secondo un equivalente Norton con un generatore pilotato di corrente in cui la tensione all'ingresso ne è il pilota e il coefficiente che definisce il generatore pilotato ha le dimensioni di una conduttanza ed è la transconduttanza e questo A_{go} dello stato amplificatore

$$V_{in} = V_g \frac{R_{in}}{R_g + R_{in}}$$

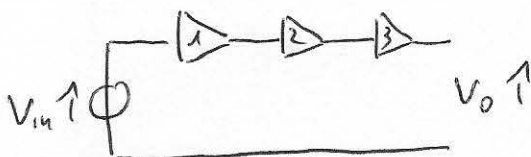
$$I_o = A_{go} V_{in} \frac{R_o}{R_o + R_L}$$

$$A_{gy} = \frac{I_o}{V_g} = A_{go} \frac{R_{in}}{R_g + R_{in}} \cdot \frac{R_o}{R_o + R_L}$$

Transconduttanza complessiva

$$R_{in} \gg R_g \text{ e } R_o \gg R_L \Rightarrow A_g \approx A_{g0}$$

COLLEGAMENTO IN CASCATA di AMPLIFICATORI LINEARI



Si trasforma in un solo
doppio bipolo equivalente

Possiamo studiare la
cascata dei doppi bipoli
trasformando in un
unico doppio bipolo

$$A_{v, eq} \quad R_{in, eq} = R_{in, 1} \quad R_{o, eq} = R_{o, 3} \quad \text{equivalente.}$$

La resistenza di ingresso complessiva coincide con la
resistenza di ingresso del primo stadio.

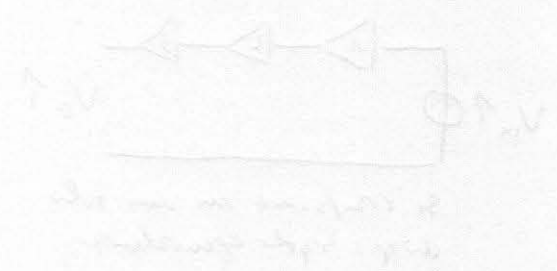
La resistenza di uscita dello stadio equivalente coincide con
la resistenza di uscita dell'ultimo stadio.

L'amplificazione equivalente si ottiene combinando
le amplificazioni dei vari stadi tenendo conto dei vari
rapporti di ripartizione

$R_1 > R_2 > R_3 > R_4 > R_5 > R_6 > R_7 > R_8 > R_9 > R_{10}$

COLLETTAMENTO IN SERIE DEI CONDENSATORI

Possono essere collegati in serie i condensatori di cui il valore di capacità è maggiore di quello dei singoli condensatori.



La capacità equivalente è data da:

La capacità equivalente di un sistema di condensatori collegati in serie è data dalla relazione:
$$\frac{1}{C_{eq}} = \frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3} + \dots + \frac{1}{C_n}$$

La capacità equivalente è sempre minore della capacità del condensatore a minore capacità.

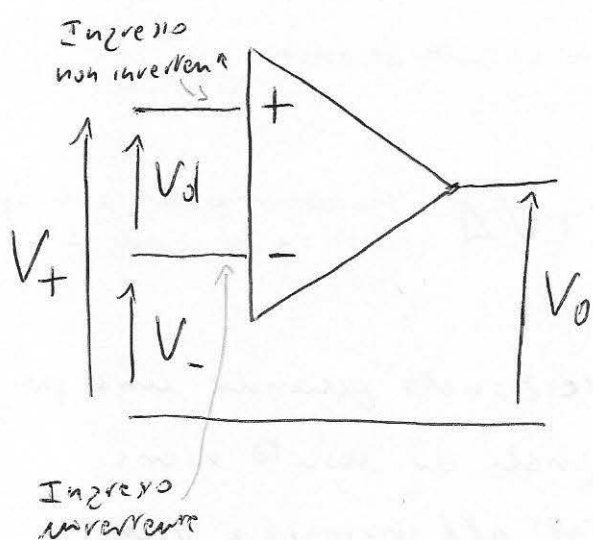
LEZ. 12 L'AMPLIFICATORE OPERAZIONALE IDEALE

- Definizione di amplificatore operazionale
- La versione negativa concetto importante nelle applicazioni di elettronica analogica
- sta di amplificatori elementari

DEFINIZIONE di AMPLIFICATORE OPERAZIONALE

L'a.o. è una particolare implementazione di una classe più generale di amplificatori che vanno sotto il nome di amplificatori differenziali.

L'AMPLIFICATORE DIFFERENZIALE ha due morsetti di ingresso



ed uno di uscita. I due morsetti di ingresso si trovano rispettivamente ingresso non invertente e ingresso invertente con un segno + al primo e un segno - al secondo, come identificatore.

Il valore in uscita è proporzionale alla differenza tra i due segnali applicati

$$V_o = A_d V_d = A_d (V_+ - V_-)$$

potenziali applicati all'ingresso non invertente

Un AMPLIFICATORE OPERAZIONALE IDEALE è un circuito che realizza un amplificatore ^{differenziale} ~~differenziale~~ con alcune caratteristiche

$R_{in} \rightarrow \infty$
$A_d \rightarrow \infty$
$R_o = 0$

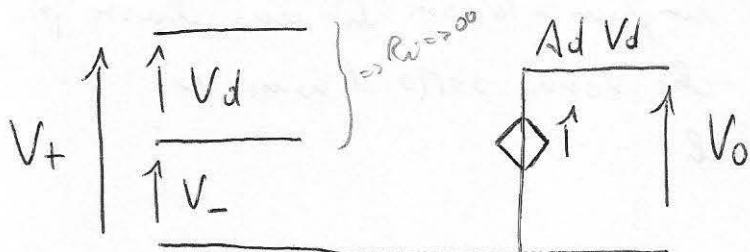
Correnti di ingresso nulle $\Rightarrow R_{in} \rightarrow \infty$
 $\Rightarrow V_o$ finita per $V_d = 0$
 deve avere una uscita in tensione ideale

o due morse + e -

$$\left. \begin{matrix} R_{in} \rightarrow \infty \\ A_d \rightarrow \infty \end{matrix} \right\} \Rightarrow V_d = 0 \text{ e } I_+ = I_- = 0 \Rightarrow \text{condizione di:} \\ \text{Messa virtuale}$$

ABBIAMO UN CIRCUITO APERTO DA CIRCUITO APERTO RISPETTO AI FLUSSI DI CORRENTE E DA UNO CIRCUITO PER LE TENSIONI, IL SEGNALE DIFFERENZIALE APPLICATO ALL'INGRESSO.

CIRCUITO EQUIVALENTE dell'amplificatore operazionale ideale



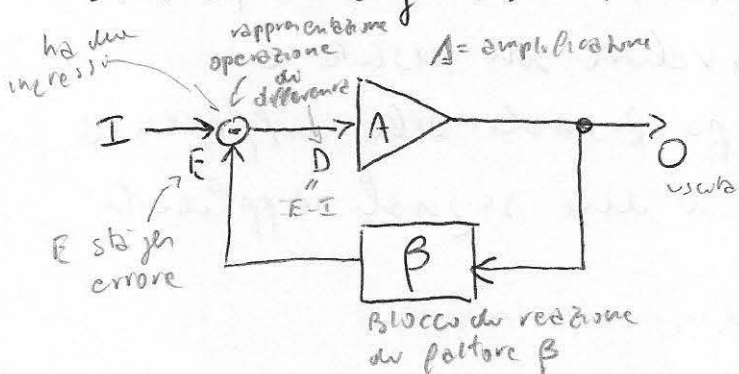
Generatore ideale di tensione in uscita con resistenza interna zero

$A_d \rightarrow \infty$ condizione che porterebbe ad un circuito degenere

LA REAZIONE NEGATIVA

concetto importante per le applic. elettroniche analitiche in parte

Si ha e che fare con un sistema regolato quando una parte



del segnale di uscita viene riportato all'ingresso e viene sommato al segnale di ingresso I.

Le equazioni di base dello schema a blocchi sono:

$$D = E - I \quad E = \beta O \quad O = A \cdot D = A(\beta O - I)$$

$$O = \frac{A}{1 + \beta A} I \approx \frac{1}{\beta} I \quad \text{se } A \rightarrow \infty$$

Se A è indipendente da A , ma dipende da β Amplificazione del blocco amplificatore

Un effetto della reazione negativa è quello di stabilizzare il valore dell'amplificazione equivalente del blocco complessivo del valore puntuale dell'amplificazione nel blocco amplificatore stesso.

Per contro un sistema reazionato può diventare instabile, quando il blocco reazionato (A_r) tende a infinito

$$A_r = \frac{O}{I} = \frac{A}{1 + \beta A} \rightarrow \infty \quad \text{e} \quad \beta A \rightarrow -1 \quad \text{condizione di oscillare.}$$

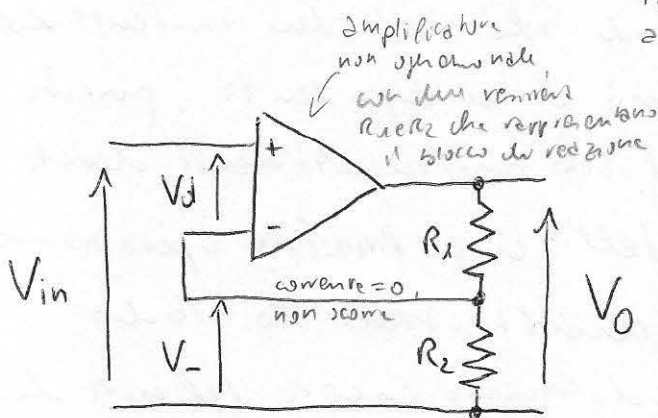
NON REAZIONARE SUL PORTO NON INVERTENTE!

Cioè non portare il segnale sul morsetto non invertente dello stadio differenziale. Viceversa avremmo la condizione che si porta al fenomeno della instabilità.

Notare che tale fenomeno ha comunque delle possibili applicazioni importanti come i circuiti oscillatori (generatori di segnali periodici nel tempo) che lavorano in condizioni di instabilità.

Esempio applicativo di amplificatore operazionale reazionato; lo stadio amplificatore non invertente.

rimane in vista in base al segnale all'ingresso \Rightarrow amplificazione positiva in questo stadio.



Amplificatore non operazionale con due resistenze che rappresentano il blocco di reazione

corrente = 0, non scorre

STADIO NON INVERTENTE massa

Il segnale di ingresso è applicato all'ingresso non invertente

$$V_- = V_0 \frac{R_2}{R_1 + R_2}$$

rimane in vista in base al segnale all'ingresso \Rightarrow amplificazione positiva in questo stadio.

La corrente distribuita dall'ingresso invertente è zero.

$$V_d = V_{in} - V_-$$

$$V_{in} = V_d + V_-$$

segnale differenziale applicato all'amplificatore operazionale

Sostituendo V_- ed esprimendo V_o come $Ad V_d$ abbiamo

$$V_o = Ad V_d = Ad \left(V_{in} - V_o \frac{R_2}{R_1 + R_2} \right)$$

Relazione lineare che collega V_o , V_{in}

È una relazione lineare; esplicitando la tensione di uscita otteniamo l'amplificazione del blocco redonato A_r :

$$A_r = \frac{V_o}{V_{in}} = \frac{Ad}{1 + Ad \frac{R_2}{R_1 + R_2}}$$

questa è la forma della amplificazione ed è nello stesso modo di un sistema redonato con come rappresentato nello schema e blocchi precedenti

Identificando la funzione di trasferimento del blocco β e con $Ad \rightarrow \infty$ abbiamo

$$\beta = \frac{R_2}{R_1 + R_2}$$

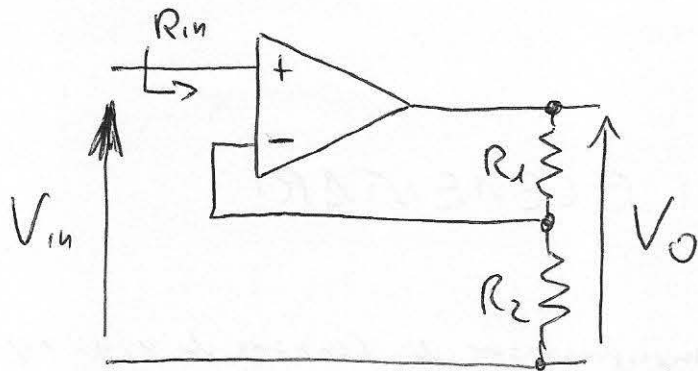
$$A_r \approx \frac{R_1 + R_2}{R_2} = \frac{1}{\beta} \quad \text{per } Ad \rightarrow \infty$$

nello schema e blocchi dell'ideale

Questo dimostra chiaramente che questo è un' ^{ideale} amplificazione di tipo non invertente, ^{infatti} l'amplificazione redonata A_r è un numero positivo che dipende solo delle due resistenze collegate all'amplificatore operazionale ma è indipendente, purché l'amplificazione differenziale Ad sia sufficientemente elevata, dalle caratteristiche specifiche dell'amplificatore operazionale. Questo non è sufficiente per caratterizzare lo stadio amplificatore completamente; dobbiamo ancora definire le sue resistenze di ingresso e di uscita.

Per quanto riguarda la resistenza di ingresso, si calcola facilmente che la resistenza di ingresso R_{in} vede il

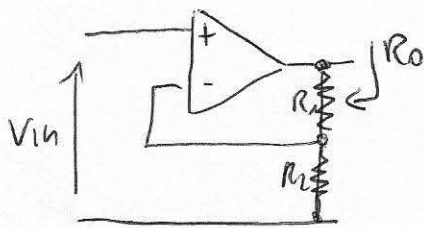
generatore che applica il segnale V_{in} . Tale generatore è collegato al morsetto non invertente quindi la resistenza di ingresso R_{in} è quella che si vede da questo terminale.



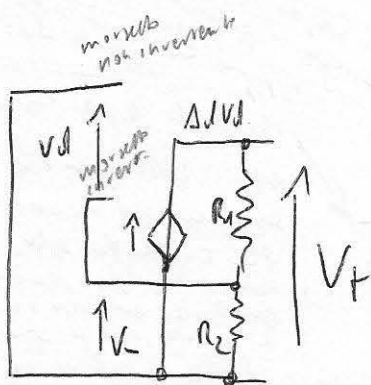
Poiché siamo nel caso di un amplificatore operazionale ideale sappiamo che la corrente che scorre è nulla, nel morsetto non invertente e quindi la resistenza di ingresso in questo stato è sostanzialmente infinita, ovvero

$$\text{Corrente di ingresso nulla} \Rightarrow R_{in} \rightarrow \infty$$

L'ultimo parametro da valutare è la resistenza di uscita, quella che si vede dal terminale su cui andiamo a misurare la tensione V_o . Per calcolare la resistenza di uscita R_o



si applica V_{in} , si applica un segnale di prova V_T e sostituiamo allo stadio amplificatore il suo circuito equivalente e quindi abbiamo i due circuiti aperti che rappresentano il morsetto, non invertente ed invertente e alla uscita un generatore di tensione pilotato.

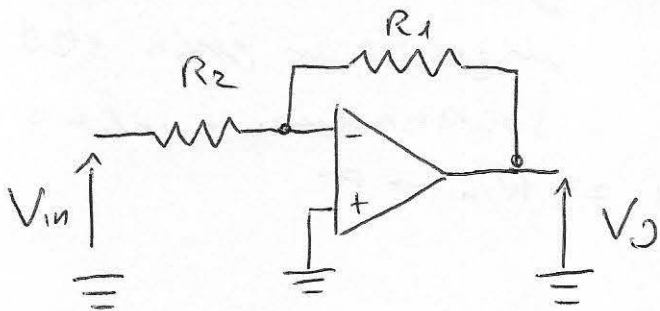


Poiché abbiamo a che fare con un ~~operatore~~ amplificatore operazionale ideale la sua resistenza di

uscita $R_0 = 0$ e quindi il morsetto di uscita V_0 è collegato a massa tramite un generatore di tensione ideale. Quindi la resistenza di uscita di questo stadio coincide con la resistenza di uscita di tensione e cioè coincide con zero.

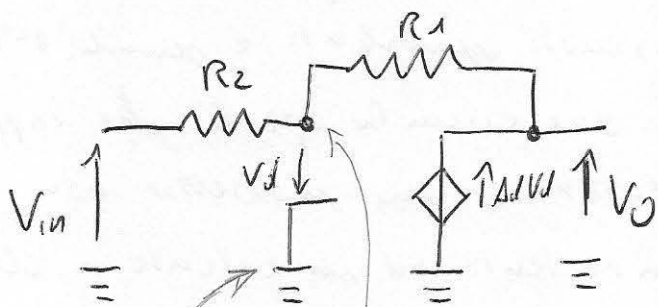
STADI AMPLIFICATORI ELEMENTARI

STADIO INVERTENTE \Rightarrow amplificazione di tensione di segno negativo.



Reazione sul morsetto invertente (-)

Per l'analisi si sostituisce all'amplificatore operazionale il suo circuito equivalente e si calcola la relazione tra tensione di uscita e tensione di ingresso



$R_0 = 0$

costruisco elemento di spunto
il generatore pilotato di uscita $\Delta Ad V_d$
con un generatore di tensione V_{in}
e un generatore di tensione di uscita V_0
pilato R_2 e massa

$$V_d = 0 - \left(V_{in} \frac{R_1}{R_1 + R_2} + \Delta Ad V_d \frac{R_2}{R_1 + R_2} \right)$$

Segnale applicato al morsetto invertente, costruisco secondo la forma del circuito spuntando alternativamente il generatore di tensione, quello di ingresso e quello pilotato di uscita, così per sovrapposizione degli effetti

\hookrightarrow Segnale differenziale, di ingresso che va e pilotato il generatore di segnale pilotato di uscita

\hookrightarrow Segnale applicato al morsetto non invertente, che in questo caso è collegato a massa, quindi tensione zero

Si ottiene

$$V_d = - \frac{V_{in} \frac{R_1}{R_1 + R_2}}{1 + A_d \frac{R_2}{R_1 + R_2}}$$

e, poiché la tensione di uscita V_o coincide con $A_d V_d$, possiamo immediatamente calcolare l'amplificazione

del segnale venendo chissà

l'amplificazione di tensione μ e l'amplificazione reazionata e abbiamo:

$$A_r = \frac{V_o}{V_{in}} = \frac{A_d V_d}{V_{in}} = - \frac{A_d \frac{R_1}{R_1 + R_2}}{1 + A_d \frac{R_2}{R_1 + R_2}} \longrightarrow - \frac{R_1}{R_2}$$

numeratore
denominatore
proporzionali
a A_d

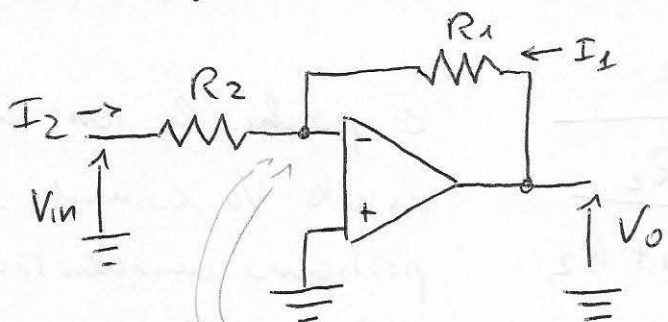
Espressione generale dell'amplificazione reazionata A_r con A_d finita, e $A_d \rightarrow \infty$ per ottenere l'amplificazione in forma ideale per l'operazionale allora $A_r \rightarrow - \frac{R_1}{R_2}$. Per cui:

L'effetto della reazione, combinato con l'idealità dell'amplificatore operazionale è quello di realizzare un blocco la cui amplificazione è legata esclusivamente al rapporto delle due resistenze collegate in reazione sull'amplificatore operazionale.

Il segno - giustifica essere invertente lo stadio.

Per la caratterizzazione completa dello stadio mancano le resistenze di ingresso e di uscita, ma prima analisi preferiamo lo stesso risultato di prima usando l'amplificatore ideale senza passare per le loro intermedia nelle quali l'amplificatore operazionale ha amplificazione ideale finita, utilizzando il concetto di massa virtuale.

ANALISI con AO IDEALE \Rightarrow utilizzo del concetto di massa virtuale



$$I_2 = \frac{V_{in}}{R_2}$$

il terminale e^- è di massa virtuale, e' allo stesso potenziale del morsetto non intervenente e quindi e' a potenziale zero.

$$I_1 = \frac{V_o}{R_1}$$

il terminale di R_1 è di massa virtuale, quindi e' a potenziale zero.

Le due correnti I_1 e I_2 sono uguali ed opposte; visto che nel morsetto intervenente dell'operazionale entra una corrente zero vale:

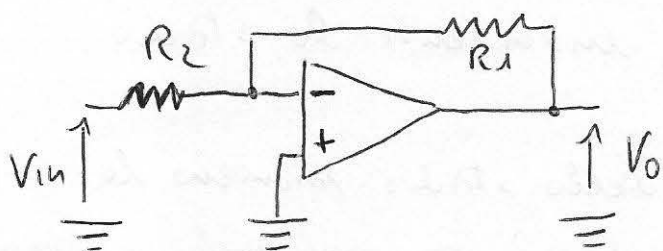
$$I_2 + I_1 = 0$$

$$I_2 = -I_1 \quad \text{e da tutto ci\o}$$

$$\frac{V_{in}}{R_2} = \frac{V_o}{R_1} \quad \text{e quindi } A_v = \frac{V_o}{V_{in}} = -\frac{R_1}{R_2}$$

Questo e' un esempio di come si usa il concetto di massa virtuale per valutare direttamente l'amplificazione ad anello chiuso

STADIO INVERTENTE



La resistenza di ingresso R_{in} e'

$$R_{in} = R_2$$

di questo stadio invertente

La resistenza di uscita R_o e

$$R_o = 0$$

perche' l'uscita inverte nulla del stadio operazionale

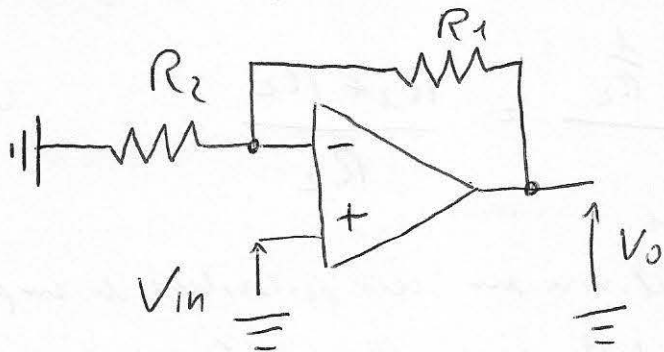
Fine

STADIO INVERTENTE

STADIO NON INVERTENTE

Analisi dello stadio non invertente

• con uso del concetto di massa virtuale



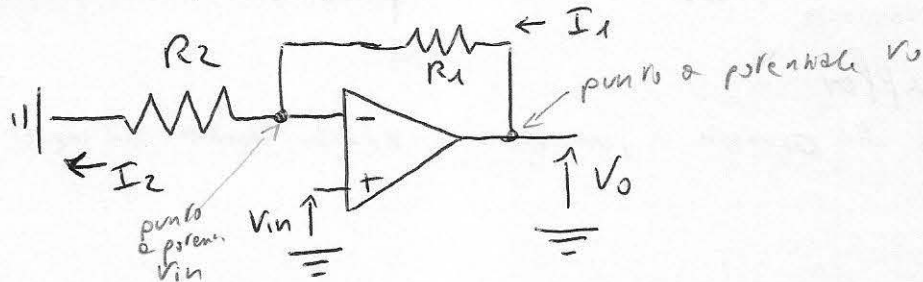
$$A_v = 1 + \frac{R_1}{R_2}$$

$$R_{in} = \infty$$

$$R_o = 0$$

STADIO
NON INVERTENTE

Analisi con A_o ideale



(-) modello invertente

(+) modello non invertente

$$I_2 = \frac{V_{in}}{R_2}$$

LA CORRENTE I_2 CHE SCORRE NELLA RESISTENZA R_2 INDICATA NEL CIRCUITO INVERTENTE VERTICALE VERTICALE È LA TENSIONE AI CAPI DI R_2 DIVISO R_2 , MA LA TENSIONE AI CAPI DI R_2 , PER IL CONCETTO DI MASSA VIRTUALE CORRISPONDE CON V_{in} PERCHÉ V_d È UGUALE A ZERO PER UN OPERAZIONALE IDEALE

$$I_1 = \frac{V_o - V_{in}}{R_1}$$

LA CORRENTE I_1 CHE SCORRE NELLA RESISTENZA R_1 È UGUALE ALLA TENSIONE APPLICATA A R_1 DIVISO R_1 , MA PER IL CONCETTO DI MASSA VIRTUALE ABBIAMO AI CAPI V_{in} E V_o

$$I_1 = I_2$$

PERCHÉ NEL MODELLI INVERTENTE NON ENTRA CORRENTE IN QUANTO ABBIAMO UN OPERAZIONALE IDEALE

per cui, moltiplicando le espressioni, otteniamo:

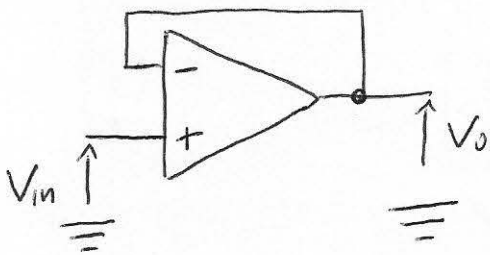
$$\frac{V_{in}}{R_2} = \frac{V_o - V_{in}}{R_1}$$

per cui

$$A_v = \frac{V_o}{V_{in}} = \frac{\frac{1}{R_1} + \frac{1}{R_2}}{\frac{1}{R_1}} = \frac{R_1 + R_2}{R_2} \quad (*)$$

Questo ci permette di definire un caso particolare di amplificatore non invertente che è detto invertere di tensione.

INSEGUITORE DI TENSIONE



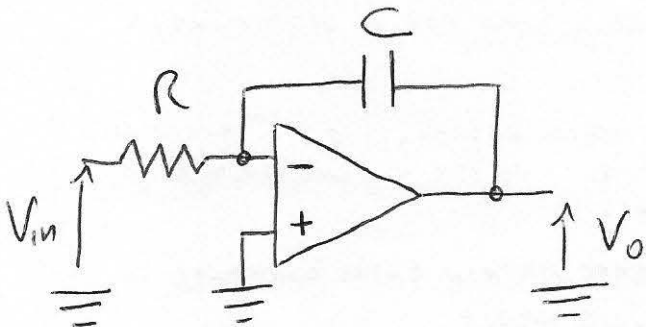
$A_v = 1$ $R_{in} = \infty$ $R_o = 0$
amplificazione ed ingresso
uscita chiuso dello stadio

Uso come buffer

È un blocco ideale che connette il generatore di segnale (fonti) di ingresso con il carico in uscita.

Esso è un amplificatore operazionale in cui l'uscita è direttamente collegata al morsetto invertente ed è quindi come un overvoltage unitizzato $R_2 = 0$ nelle relazioni precedenti (*).

STADIO INTEGRATORE

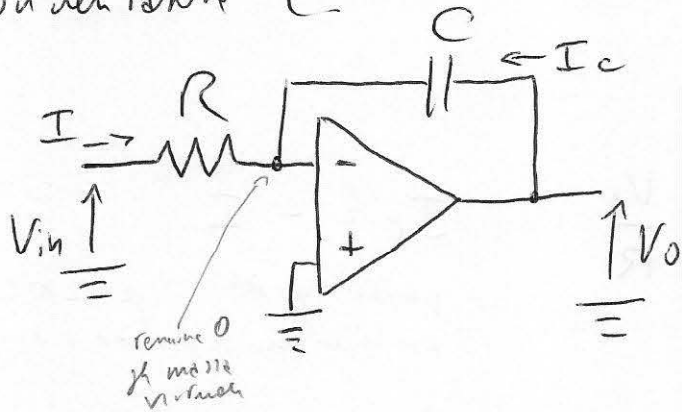


STADIO AMPLIFICATORE BASATO SULL'AMPLIFICAZIONE OPERAZIONALE CON CONDENSATORI PERMANENTI REATTIVI. Primo esempio, con condensatore

Lo stadio integratore è uno stadio invertente in cui la resistenza di reazione ^{effettiva} è sostituita da un condensatore di capacità C.

Vedremo quali e le caratteristiche di uscita di questo stadio

amplificatore ad anello chiuso, calcolando le due
 correnti, una quella che scorre in R e una quella nel
 condensatore C usando il concetto di mano virtuale



$$I = \frac{V_{in}}{R}$$

$$I_c = C \frac{dV_o}{dt} \Rightarrow \frac{C dV_o}{dt} = -\frac{V_{in}}{R} \quad \text{e quindi}$$

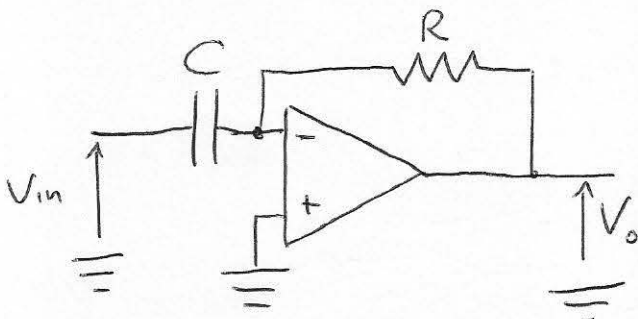
$$I = -I_c \quad \left. \vphantom{I = -I_c} \right\} V_o(t) = -\frac{1}{RC} \int_0^t V_{in} dt + V_o(0)$$

costante arbitraria

LA TENSIONE DI USCITA È PROPORZIONALE
 ALL'INTEGRALE RISPETTO AL TEMPO DEL SEGNALE DI INGRESSO

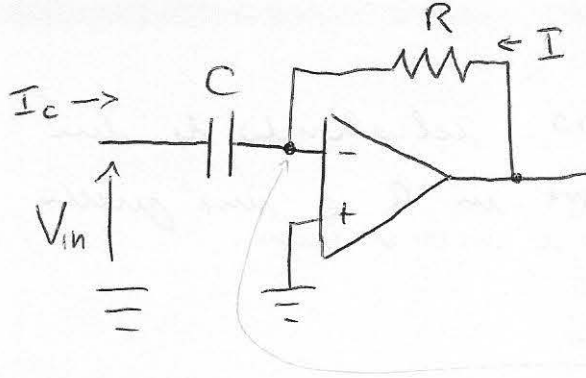
LA CARATTERISTICA È QUINDI LINEARE,
 COME IL PROSSIMO.

STADIO DERIVATORE



La resistenza di ingresso
 in uno stadio invertente è
 sostituita, in questo caso,
 con un condensatore di
 capacità C .

Calcoliamo, come da solito, le correnti che scorrono nei due rami
 del circuito che costituiscono il blocco di reazione



Il morsetto invertente è a potenziale zero grazie al circuito di massa virtuale

$$I_C = C \frac{dV_{in}}{dt}$$

$$I = \frac{V_o}{R}$$

$$I_C = -I$$

perché $I_C + I = 0$ per KCC @ punto in cui si ha una massa virtuale

e quindi

$$C \frac{dV_{in}}{dt} = -\frac{V_o}{R}$$

e da cui si ricava immediatamente

$$V_o = -RC \frac{dV_{in}}{dt}$$

↳ tensione di uscita dello stadio derivatore

$\Delta x_{no} - \Rightarrow$ opposizione di fase tra il generatore di ingresso e il generatore di uscita.

Deriva dal fatto che l'ingresso è applicato ad un morsetto invertente e quindi lo stadio ha un comportamento di tipo invertente.

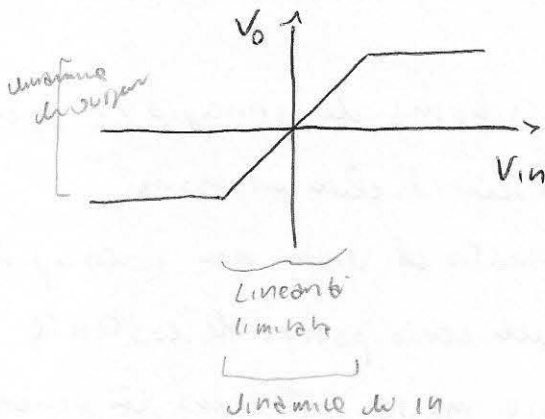
LEZ. 13 L'USO DEL MOSFET

come AMPLIFICATORE : stadio a source comune

- caratteristiche di uno stadio amplificatore reale
- lo stadio a source comune : scelta del punto di lavoro e riposo
- parametri dello stadio a source comune
- carico ottimo : Tecnica per ottimizzare le prestazioni di uno stadio amplificatore

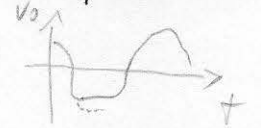
CARATTERISTICHE di uno STADIO AMPLIFICATORE REALE

Qualunque stadio amplificatore presenta il fenomeno della saturazione di uscita



• V_{in} dentro la dinamica di ingresso \Rightarrow V_o replicato di V_{in} con eventuale amplificazione

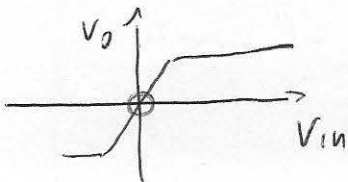
• V_{in} fuori della dinamica di ingresso \Rightarrow V_o , il segnale di uscita non sarà perfettamente proporzionale al segnale di ingresso ma presenterà il fenomeno del taglio al valore minimo dato dalle saturazioni e creato approssimando una distorsione



Il segnale di un ingresso V_{in} deve essere mantenuto entro la dinamica di ingresso.

Scelta del punto di funzionamento a riposo, che definisce V_o in

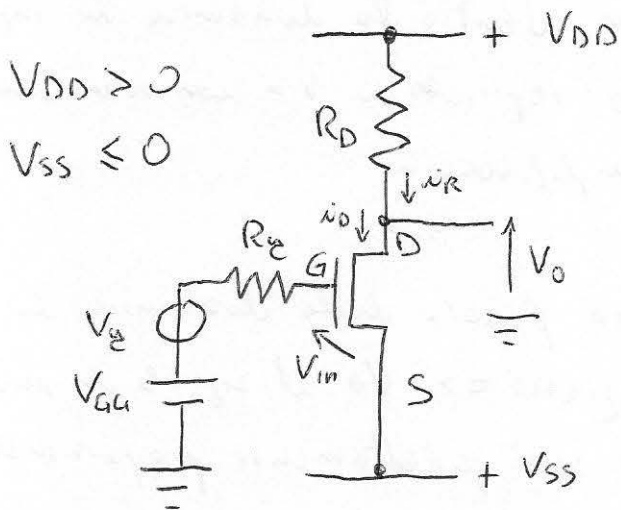
assenza di segnale di ingresso, in modo da massimizzare la dinamica di ingresso e quindi anche di uscita dello stadio amplificatore.



Se il valore massimo dell'uscita è uguale ed opposto al valore minimo di uscita il p.d.f. è $V_0 = 0$. Saturazione simmetrica.
 Se la saturazione è dissimetrica tra il valore positivo e quello negativo il punto di funzionamento a riposo (p.d.f.) è tale per cui per $V_{in} = 0$, V_0 è un valore a metà tra i due valori max e min della tensione di uscita corrispondenti alle saturazioni.

LO STADIO A SOURCE COMUNE: SCELTA DEL PUNTO DI LAVORO A RIPOSO

Lo stadio a source comune secondo lo schema di principio in figura,



in cui l'alimentazione applicata al drain non è compresa tra un certo potenziale costante V_{DD} e massa ma viene in presenza di una alimentazione bilanciata, con due generatori di tensione collegati alle maglie di uscita; uno dei due è collegato al terminale di drain (V_{DD}) e l'altro è collegato al terminale di source (V_{SS}).

Essendo lo stadio a source comune, il terminale di source è quello in comune tra la maglia di ingresso e la maglia di uscita e quando l'ingresso sarà applicato tra gate e source, l'uscita sarà misurata sul drain rispetto al source.

Per garantire il corretto funzionamento di questo stadio la tensione V_{SS} è di norma di segno negativo e pari a V_{DD} .

Il generatore di tensione costante V_{GH} serve a fornire la polarizzazione al terminale di gate.

Per $V_G = 0$, segnale applicato nullo $\Rightarrow V_G$ è chiuso su c.c., in R_G non scorre corrente

$$V_{GS} = V_{in} = V_{GH} - V_{SS}$$

$$V_{DS} = V_O - V_{SS}$$

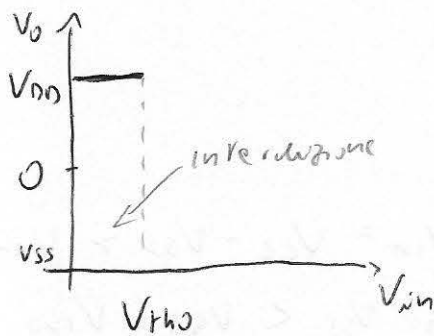
Tensione di uscita del p. MOS

Abbiamo tre possibilità ^{del p.c. di lavoro del p. MOS = 3 possibili regioni di lavoro} a seconda del valore di V_{GS} e V_{DS}

- ↳ interdizione
- ↳ condizione di regione cui si dice
- ↳ condizione di regione di saturazione

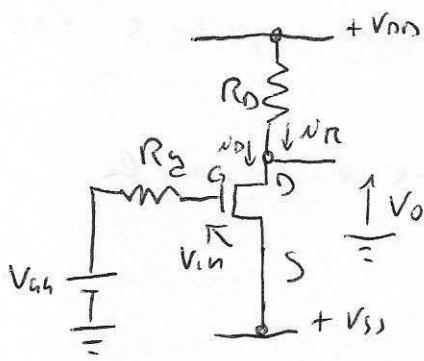
1) MOSFET in interdizione: $V_{GS} = V_{GH} - V_{SS} < V_{th0}$ per cui
 $i_D = i_S = 0$ il MOS si comporta come un c.c.
 $V_O = V_{DD}$

Caratteristica ingresso-uscita



seconda possibile ^{regione} ~~regione~~ di funzionamento

2) MOSFET in saturazione



$$V_{GS} = V_{in} = V_{GG} - V_{SS} > V_{th0}$$

regione di saturazione

$$e \quad V_{DS} = V_o - V_{SS} > V_{GS} - V_{th0}$$

"V_{in}"

e quindi

$$V_o > V_{in} + V_{SS} - V_{th0} \Rightarrow \text{MOS in saturazione}$$

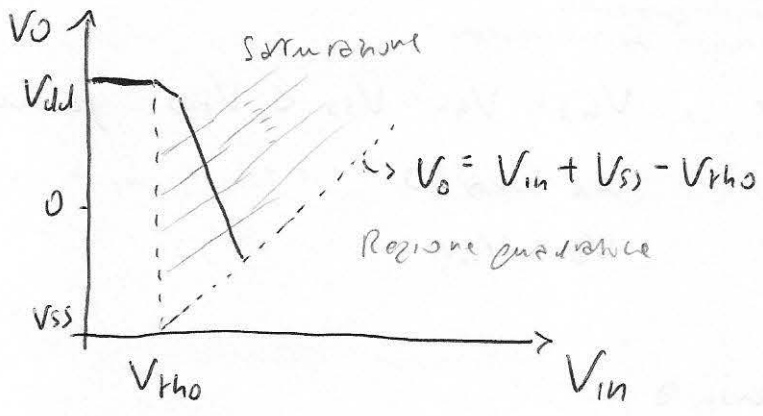
e $V_o > 0$

$I_R = I_D$
 caratteristiche statiche in saturazione

$$\frac{V_{DD} - V_o}{R_D} = \frac{1}{2} \beta_n (V_{in} - V_{th0})^2$$

che è una relazione quadratica tra V_o e V_{in} , la cui rappresentazione grafica è:

caratteristiche ingresso uscita



Terza Regione di funzionamento

3) MOSFET in regione quadratica

$$V_{GS} = V_{in} = V_{GG} - V_{SS} > V_{th0}$$

$$e \quad V_{DS} = V_o - V_{SS} < V_{GS} - V_{th0}$$

e quindi

$$V_o < V_{in} + V_{SS} - V_{th0}$$

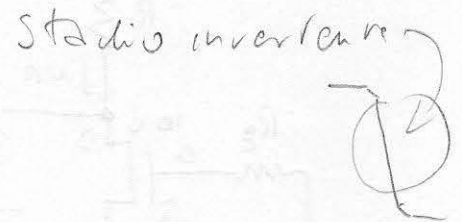
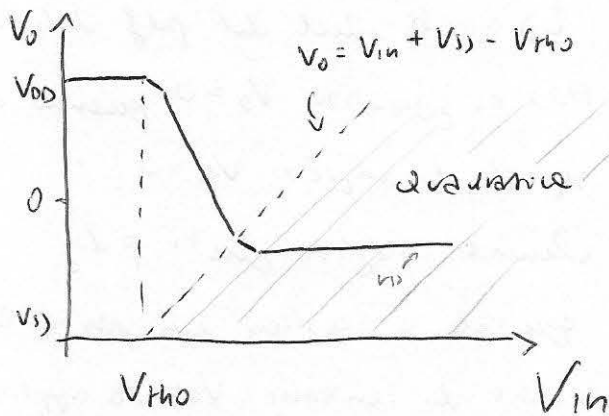
$$I_R = I_D$$

$$\underbrace{\frac{V_{DD} - V_o}{R_D}}_{I_D} = \beta \left[\underbrace{(V_{in} - V_{th0})}_{V_{GS}} \underbrace{(V_o - V_{SS})}_{V_{DS}} - \frac{1}{2} \underbrace{(V_o - V_{SS})^2}_{V_{DS}^2} \right]$$

I_D : caratteristico statico del MOS in regione quadratica

Questa è necessariamente una relazione quadratica tra la tensione di uscita V_o e la tensione di ingresso V_{in} .

Caratteristica ingresso-uscita

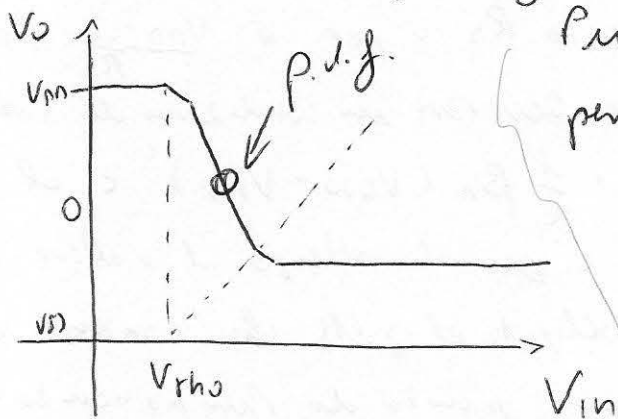


Conseguenze

Lo stadio a source comune è un amplificatore invertente

La regione massimamente lineare della caratteristica ingresso-uscita è dove il mosfet lavora in saturazione

SELETTA del p.d.f.



Punto medio della dinamica di uscita; per massimizzare la dinamica di uscita

$$V_o |_{p.d.f.} = \frac{V_{DD} + V_{SS}}{2}$$

o.e. $V_{in, max}$

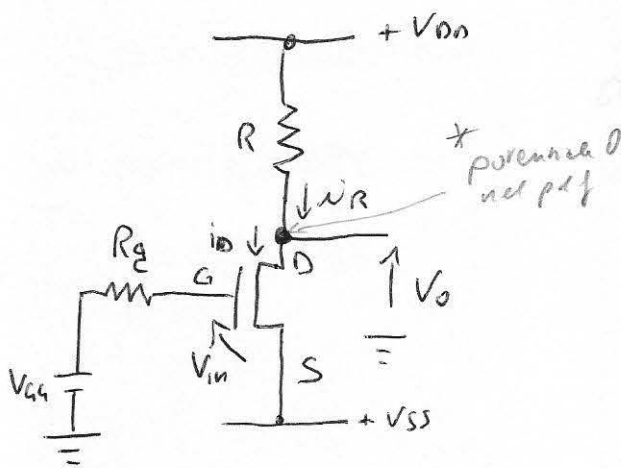
$$V_o |_{p.d.f.} = 0 \text{ se } V_{DD} = -V_{SS} \text{ (rd. bilanc.)}$$

↳ ottiene approssimazione del punto ideale

Allo scendere $V_o |_{p.d.f.} = 0$ verifichiamo le equazioni del circuito.

POLARIZZAZIONE

Alimentazione bilanciata



$$V_{DD} = -V_{SS} \Rightarrow V_o |_{p.d.f.} = 0$$

alimentazione bilanciata

La scelta ideale del p.d.f. del transistor MOS ci garantisce $V_o = 0$ quando nel segnale di ingresso $V_g = 0$.

Quando scegliamo questo p.d.f. equivale a scegliere un particolare valore di tensione V_{g1} da applicare al gate e quando progettare la

rete di polarizzazione in modo che il generatore di ^{alimentazione} ~~segnale~~ V_{g1} dia un valore tale da garantire questa condizione.

Sapendo che $V_{GSO} = V_{G1} - V_{SS}$ occorre scegliere il valore di V_{g1} per imporre questa condizione.

Se siamo in condizioni di p.d.f. il punto sopra* è a potenziale zero e la corrente che scorre nella resistenza R_D è pari a $\frac{V_{DD} - 0}{R_D}$, ovvero $I_{D1} = \frac{V_{DD}}{R_D}$. Il transistor deve lavorare in condizioni di saturazione e quindi la corrente $I_{D1} = \frac{1}{2} \beta_n (V_{GSO} - V_{th0})^2$ e al posto di V_{GSO} ci mette $V_{G1} - V_{SS}$ e quindi ottengo il valore V_{g1} del generatore di alimentazione collegato al gate che consente di imporre al transistor MOS un punto di funzionamento e n.p.o. che fa in modo che la tensione di uscita V_o sia pari

è 0 volt, tale valore è $V_{GS} = \sqrt{\frac{2V_{DD}}{\beta_n R_D}} + V_{SS} + V_{th0}$.

Quando occorre questo valore di V_{GS} affinché nel p.d.f. il valore di V_o sia 0V che è la condizione ideale di lavoro del MOSFET, quella in regione di saturazione. Ricapitolando, nell'ipotesi che il transistore lavori in saturazione, con alimentazione bilanciata, abbiamo

$$V_{DD} = -V_{SS} \Rightarrow V_o |_{p.d.f.} = 0$$

$$V_{GS0} = V_{GS} - V_{SS}$$

$$R_D = \frac{V_{DD}}{I_D}$$

$$I_D = \frac{1}{2} \beta_n (V_{GS0} - V_{th0})^2$$

$$V_{GS} = \sqrt{\frac{2V_{DD}}{\beta_n R_D}} + V_{SS} + V_{th0}$$

Dobbiamo ancora verificare che il valore di V_{GS} ottenuto sia maggiore di $V_{GS} - V_{th0}$.

Facilmente, avendo scelto il p.d.f. in cui $V_o = 0$, V_{GS} coincide

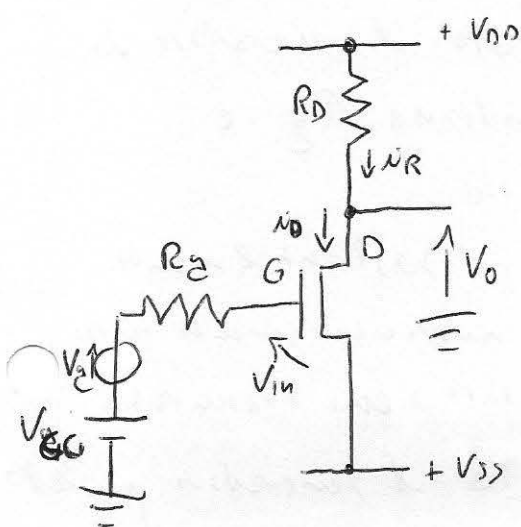
con $-V_{SS}$ e quindi basta verificare che $-V_{SS}$ sia maggiore di $V_{GS0} - V_{th0}$.

Fine tecnica di scelta e progettazione delle reti di alimentazione affinché p.d.f. massima la dinamica 20:32

PARAMETRI dello STADIO a SOURCE COMUNE

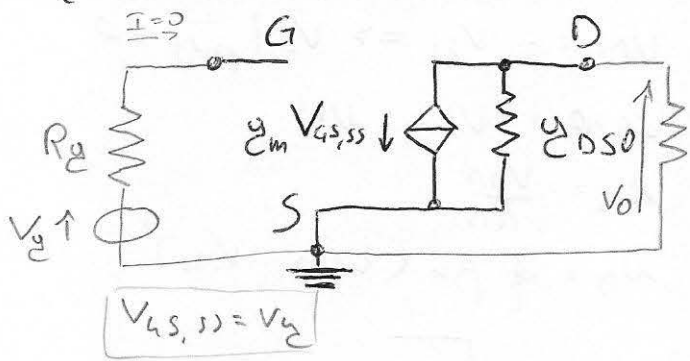
sotto le condizioni di p.d.f. che massimizza la dinamica, ovvero $V_o |_{p.d.f.} = 0$!

Si ricavano dal circuito equivalente per le variazioni, in cui si spengono tutti i generatori di tensione continua, cioè V_{DD} , V_{SS} e V_{GS} , dello stadio amplificatore.



Questo vuol dire sostituirli con dei corto circuiti: il terminale di $+V_{SS}$ verrà cortocircuitato a massa, come il terminale della resistenza R_D in alto. Il terminale negativo del generatore V_{GS} viene cortocircuitato a massa.

Poi, per costruire il circuito equivalente per le variazioni del MOSFET, bisogna sostituire ad ogni elemento circuitale il suo circuito per le variazioni e quindi gli elementi lineari sono sostituiti con loro stessi (le resistenze non hanno particolare variazione) e con l'unico elemento significativo rimane il transistore MOS, da cui partiamo:



Abbiamo a tre terminali di gate, source e drain e i due parametri fondamentali g_m , la transconduttanza e y_{os0} , la conduttanza di uscita.

IN ASSENZA DI EFFETTI DI MODULAZIONE DI CANALE E CARATTERISTICHE DI USCITA ORTOGONALI E IN REGIONE DI SATURAZIONE $y_{os0} \neq 0$, IDEALMENTE, nel p.d.f. scelto.

Il terminale di source è collegato direttamente a massa per le variazioni perché collegato direttamente al generatore V_{SS} .

Al terminale di drain è collegata la resistenza R_D che ha all'altro capo collegato V_{DD} , ma per le variazioni V_{DD} è un cortocircuito e quindi l'altro capo di R_D è collegato a massa.

Ai capi di R_D , inserite, cioè tra drain e massa è misurata la tensione di uscita V_o .

Per completare il circuito per le variazioni manca il circuito di ingresso: al gate è collegato il generatore di segnale V_g con la sua resistenza interna R_g e l'altro capo di V_g è collegato a massa.

Poiché le correnti che entrano nel gate è sostanzialmente nulle in quanto lavoriamo a frequenza sufficientemente alta affinché gli effetti capacitivi del transistore siano trascurabili allora la tensione V_{gs} che pilota il generatore pilotato

winata con V_g , ovvero

$$V_{GS,ss} = V_g$$

Quindi, ora è facile calcolare la tensione di uscita V_o che è la caduta di potenziale sul parallelo tra R_D e la conduttanza g_{DSS} . Tale caduta di potenziale è dovuta alle corrente che fa circolare il generatore pilotato. Il verso di tale corrente è antiorario, μ un

$$V_o = - \underbrace{g_m V_{GS,ss}}_{\substack{\text{la corrente} \\ \text{del gen pilotato}}} \underbrace{\frac{R_D}{R_D + \frac{1}{g_{DSS}}}}_{\substack{R_D \parallel g_{DSS}}} = - g_m V_g \frac{R_D}{1 + g_{DSS} R_D}$$

\downarrow
 perché $V_{GS,ss} = V_g$

\downarrow
 variabile di V_{GS} in piccolo segnale

Questo risultato ci consente di valutare immediatamente la amplificazione di tensione dello stadio amplificatore a source comune come

$$A_v = \frac{V_o}{V_g} = - \frac{g_m R_D}{1 + g_{DSS} R_D}$$

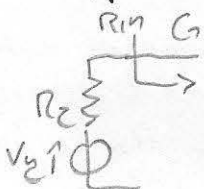
L'amplificazione di tensione è invertente e proporzionale a $g_m R_D$.

Possiamo approssimare A_v se il transistor è polarizzato in regione di saturazione; \downarrow transistor polarizzato in regione di saturazione

$$A_v \approx -g_m R_D \quad \text{se } g_{DSS} \approx 0$$

DAVANO DA DEFINIRE LA RESISTENZA DI INGRESSO e quella di uscita

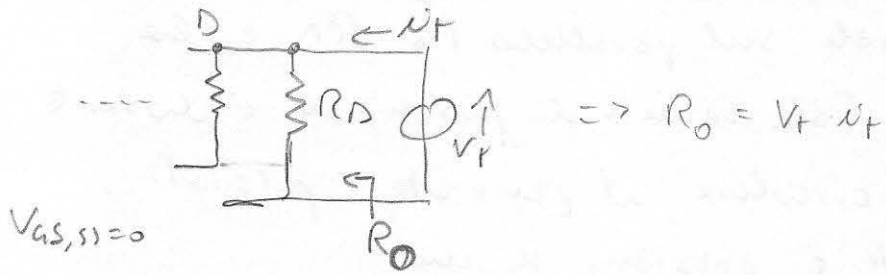
La resistenza di ingresso, che è misurata e vale del generatore applicato: è la resistenza che si vede al terminale di gate che è dotato in circuito aperto



$$V_{GS,ss} = 0 \Rightarrow R_{in} = \infty$$

\downarrow
 variazione di corrente di gate in condizioni di piccolo segnale

La resistenza di uscita è calcolata con il principio di sovrapposizione degli effetti, spegnendo V_{gs} e applicando un generatore di prova V_T e calcolando così la corrente i_T .



Il generatore pilotato può scendere una corrente zero se $V_{GS,SS} = 0 \Rightarrow$ la corrente che si vede in uscita è il parallelo tra R_D e $g_{m,SS}$.

Si può calcolare analiticamente, tramite LKCC.

$$i_T = \frac{V_T}{R_D} + g_{m,SS} V_T$$

$$R_0 = \frac{V_T}{i_T} = R_D \parallel \frac{1}{g_{m,SS}} \approx R_D \text{ se } g_{m,SS} \approx 0$$

CARICO ATTIVO

La resistenza R_D vista, definisce esattamente il valore della amplificazione di tensione dello stadio a source comune.

Effetto di R_D su A_v , trascurando $g_{m,SS}$, ossia

$$A_v \approx -g_m R_D \quad \text{e, considerando } g_m \text{ nel p.d.f., come}$$

$$g_m = \beta_n (V_{GS} - V_{th0}) = \sqrt{2\beta_n I_{D0}} \quad I_{D0} = \frac{V_{DD}}{R_D}$$

gate overdrive

corrente I_{D0} nel p.d.f., \Rightarrow \uparrow guadagno massimo

e, allo fine, otteniamo (e pare il xho?)

$$A_v \propto \sqrt{R_D}$$

Aumentando R_D cresce A_v

Amplificazione di tensione dello stadio a source comune è proporzionale a $\sqrt{R_D}$, con R_D la resistenza sul drain.

Quando più elevata è la resistenza R_D che colleghiamo al drain più alta sarà la sua amplificazione di tensione A_v , in valore assoluto.

V_{GS} costante \rightarrow V_{DS} costante

Effetto di R_D sul p.d.f. \int : Aumentando R_D e parità di tensione al gate V_{GS} diminuisce V_{DS} riducendo la dinamica di uscita.

Cioè aumentando R_D mantenendo V_{GS} costante manteniamo costante V_{GS} e quindi manteniamo costante I_{D0} .

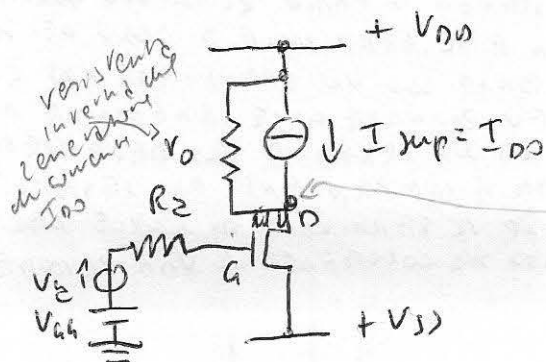
Se quindi aumenti R_D a parità di I_{D0} aumenta la caduta di potenziale sulla resistenza R_D e allora diminuisce la tensione V_{DS} .

Ma ridurre la tensione V_{DS} può portare a lavorare fuori della regione di saturazione del transistor MOS e quindi usciamo dalla regione di massima linearità delle caratteristiche ingresso-uscita dello stadio.

Inoltre ridurre V_{DS} sposta I_{D0} rispetto al punto di ottimo che garantisce la massima dinamica di uscita y , con la seconda conseguenza peggiore della prima è che la dinamica di uscita risulta essere ridotta.

Occorre una scelta di compromesso: tra R_D la più alta possibile e la dinamica di uscita la più alta possibile.

La soluzione è sostituire la resistenza R_D con un generatore di corrente (carico attivo).



Tale generatore ha una corrente impressa che coincide con la corrente I_{D0} che fa in modo che il punto sia a potenziale zero

quando il segnale applicato all'ingresso è nullo.
 I_{D0} è calcolata in modo che la tensione V_{DS} sia tale da portare il potenziale dell'uscita a zero nel p.d.f. e questo ci fa lavorare in condizioni di massimo linearità e dinamica di uscita.

Per le variazioni della generatore di corrente costante si comporta da circuito aperto ed infatti vediamo una resistenza che è quella interna del generatore di corrente che non sarà idealmente infinita ma sarà molto elevata.

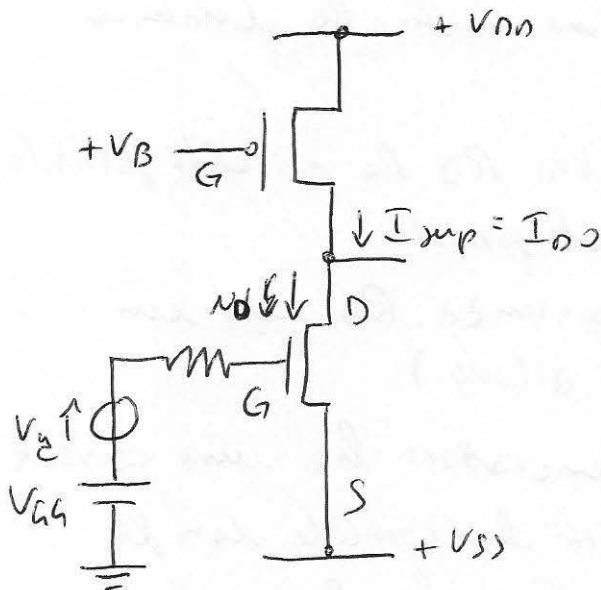
I_{D0} ottimizza la dinamica di uscita. } ottimizzazione
 Per le variazioni, r_o aumenta Δv } della din. condiz. di

$$\Delta v \approx -g_m r_o$$

CARICO ATTIVO: IMPLEMENTAZIONE

35/41

CIO È COME SI PUÒ REALIZZARE UN GENERATORE DI CORRENTE QUASI IDEALE



$$V_{GS,p} = V_B - V_{DD}$$

Il PMOSFET lavora in saturazione e $V_{GS,p}$ costante

IL CARICO ATTIVO VIENE IMPLEMENTATO SOSTITUENDO LA RESISTENZA DI PULL-UP DEL BIPOLARE COLLEGATO TRA V_{DD} E IL TERMINALE DI DRAIN DEL MOS. ANCHE SE NON VIENE FUNZIONARE CON CARICHI DI CORRENTE QUANDO LA SUA TENSIONE V_{GS} DEVE ESSERE COSTANTE E INDIPENDENTE DAL SEGNALE

ALL'INCRESCO QUANDO IL TERMINALE DI SOURCE DEL COSTANTE TRANSDUTTORE DI PULL-UP DEL CIRCUITO SIA COLLEGATO A V_{DD} PERCHÈ

IN QUESTA MANIERA, SE MANTENGO COSTANTE LA TENSIONE V_B TRAMITE UN OPPORTUNO GENERATORE DI TENSIONE ALLORA LA TENSIONE V_{GS} SARÀ $V_B - V_{DS}$ E V_{GS} SARÀ UNA TENSIONE COSTANTE E INDIPENDENTE DAL SEGNALE.

SE SCELGO IL P.M.J. IN REGIONE DI SATURAZIONE EHO LA VOM COME UN GENERATORE DI CORRENTE.

L'UTILIZZO DEL TRANSISTORE MOS A CANALE P NEL CIRCUITO È GIUSTIFICATO DALL'ESISTERE UNO DEI DUE TERMINALI DA UTILIZZARE COME TERMINALE DI SOURCE QUELLO SUPERIORE E COME TERMINALE DI DRAIN QUELLO INFERIORE.

PER POTER AMPLIFICARE CORRETTAMENTE, IL TRANSISTORE A CANALE N SOTTO DEVE AVERE LA CORRENTE DI DRAIN I_D POSITIVA ENTRANTE E QUINDI IL MOS COLLEGATO SOPRA DEVE AVERE UNA CORRENTE CHE FLUIRÀ DAL TERMINALE SOTTO, QUELLO DI DRAIN E QUINDI TALE CORRENTE, IN REGIONE DI SATURAZIONE, NEL PUNTO DI FUNZIONAMENTO A RIPOSO, DEVE ESSERE NEGATIVA E L'UNICO TRANSISTORE MOS CON CORRENTE DI DRAIN NEGATIVA È QUELLO A CANALE P.

Quando il transistore Mos a canale p è stato utilizzato poiché la corrente di drain era negativa.
In questa topologia il transistore è detto di pull-up.

IN ORDER TO BE ABLE TO...
ON THE OTHER HAND...
AND...
...

...
...
...

...
...
...

...
...
...
...
...
...
...
...
...
...

...
...
...
...

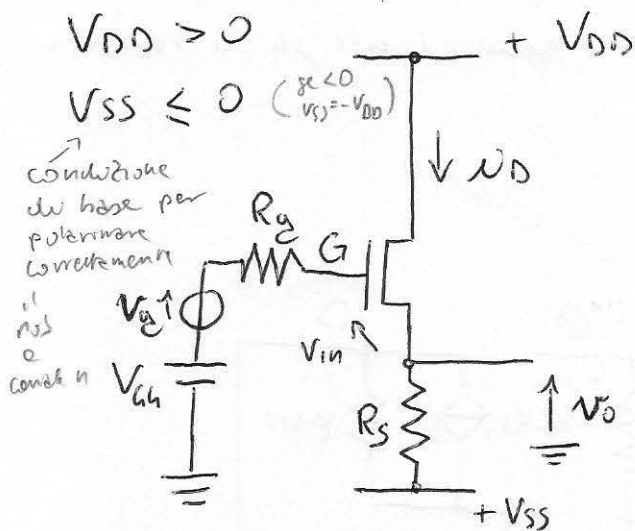
LEZ. 14 ALTRI STADI AMPLIFICATORI

A MOSFET cioè ≠ di quelli a source comune

- Lo stadio a drain comune
- Lo stadio a gate comune
- Riassunto delle caratteristiche degli stadi a MOSFET

LO STADIO A DRAIN COMUNE

Schema di principio, con scelta di alimentazione bilanciata MOS e cond. n



Sia il drain, sia il source, sono collegati a dei generatori di tensione; alimentazione bilanciata. La polarizzazione del canale di gate è fornita dal generatore di tensione V_{GG} che ha in serie il generatore di segnale V_g caratterizzato dalla sua resistenza interna R_g . stadio a drain comune \Rightarrow drain in comune tra maglia di ingresso e maglia di uscita.

L'ingresso è applicato al terminale di gate e l'uscita dovrà essere presa sul terminale di source attraverso i capi della resistenza R_s . L'uscita v_o è misurata tra il terminale di source e massa.

Nelle condizione di segnale applicato nullo, $v_g = 0$, le tensioni applicate sono V_{GG} , V_{DD} e V_{SS} , quelle dei generatori che forniscono la polarizzazione al circuito; vale:

$$V_{GS} = V_{GG} - V_{SS} - \underbrace{R_s I_D}_{\text{caduta di potenziale sulle resistenza } R_s}$$

$$V_{DS} = V_{DD} - v_o$$

STUDIO DEL PUNTO DI FUNZIONAMENTO A RIPOSO

p.d.f.

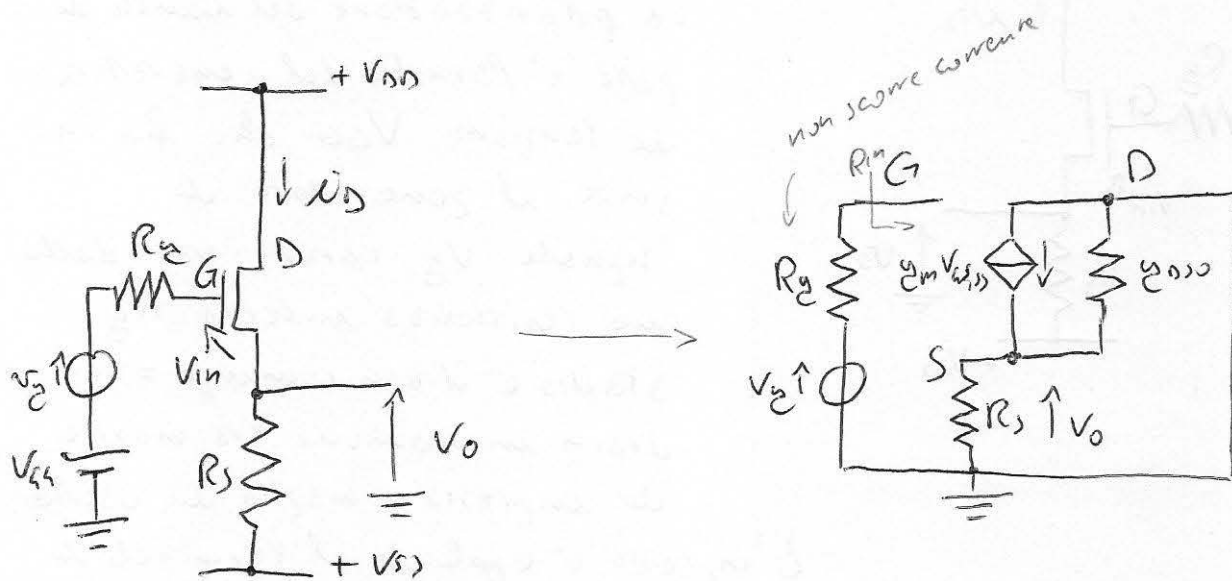
Analogo a quanto visto in lo studio a source comune.

Risultare simili: caratteristica lineare in il p.d.f. e in saturazione; scelta basata sulle dinamiche del uscita che deve essere massimizzata.

CIRCUITO EQUIVALENTE PER LE VARIAZIONI Analisi di piccolo segnale

si ottiene con le solite tecniche: si spezzano i generatori di tensione costante, quindi si cortocircuita V_{DD} , V_{SS} e V_{GS} e si sostituisce ogni elemento con il suo circuito equivalente in le variazioni.

In questo caso l'unico elemento non lineare che deve essere sostituito dell'appropriato circuito equivalente in le variazioni è il transistor MOS.



nel circuito equivalente il gate si trova in circuito aperto. Possiamo trascurare gli effetti capacitivi e quindi le capacità tra gate e drain, tra gate e source si comportano da circuiti aperti. Tra drain e source abbiamo il parallelo di due elementi che sono il generatore pilotato che rappresenta l'effetto di transconduttanza nel transistor e quindi la caratterizzazione principale dell'effetto del transistor e la conduttanza g_m che corrisponde alla pendenza molto piccola, idealmente zero delle caratteristiche nel punto di funzionamento a riposo.

Il terminale di drain, quello comune, è collegato a massa grazie ad aver cortocircuitato V_{DD} .

Al terminale di source è collegata la resistenza R_S che, nella variazione, è collegata a massa grazie ad aver cortocircuitato V_{DD} .
Al terminale di gate è collegato il generatore di resistenza R_G .

Si esprime il pilota del generatore in funzione delle quantità note

$$V_{GS,SS} = V_G - V_0 \quad \text{perché in } R_G \text{ non scorre corrente}$$

$$V_0 = g_m V_{GS,SS} \frac{R_S}{g_{DSS} R_S + 1} = g_m (V_G - V_0) \frac{R_S}{1 + g_{DSS} R_S}$$

n.s.:
($R_S || g_{DSS}$)
questo parallelo è percorso dalla corrente totale fornita dal generatore pilotato

Relazione lineare tra V_G e V_0

$$\Delta v = \frac{V_0}{V_G} = \frac{g_m R_S}{1 + (g_m + g_{DSS}) R_S} \approx \frac{g_m R_S}{1 + g_m R_S} \quad \text{se } g_{DSS} \approx 0$$

Amplificazione di tensione dello stadio amplificatore in esame

↓
potenzialmente del MOS in regione di saturazione

Possiamo osservare che lo stadio amplificatore è di tipo non invertente ($\Delta v > 0$)

Inoltre $\Delta v \leq 1$, perché il denominatore è sempre maggiore del numeratore. Δv è tanto più vicino a 1 quanto più è elevato $g_m \cdot R_S$. Transconduttanza del transistor MOS

verini due parametri

La resistenza di ingresso e la resistenza di uscita

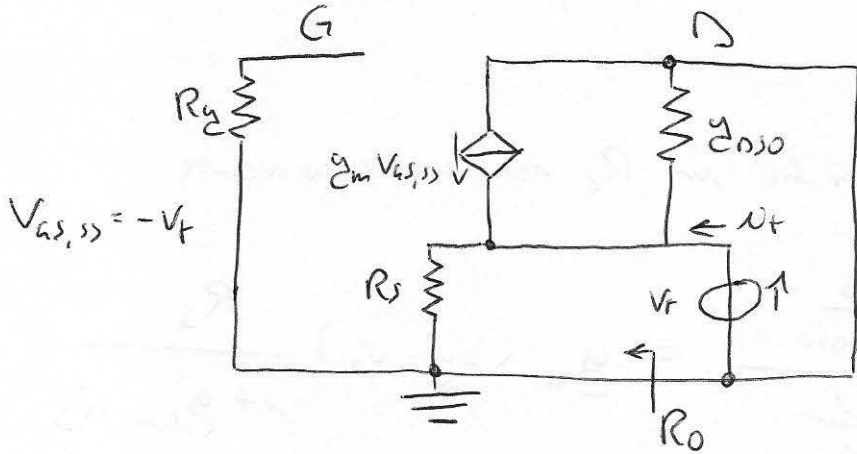
$$V_{GS,SS} = 0 \Rightarrow R_{in} = \infty$$

Resistenza che si vede tra gate e massa. Il gate è in c.d. perciò la corrente che scorre nel terminale di gate è zero.

Per quanto riguarda la resistenza di uscita il calcolo è un po' più complesso perché per la sua valutazione occorre

Spengere il generatore di ingresso ($V_{AS,SS}$ sostituito con un cortocircuito), poi occorre applicare all'uscita, cioè al terminale da cui vogliamo calcolare la tensione, il segnale di prova V_t , tensione impressa, poi occorre calcolare la corrente i_t che tale generatore fa circolare e quindi valutare R_0 come rapporto fra V_t e i_t . ($V = R \cdot i$)

Resistenza di uscita



In R_g scorre una corrente nulla perché il gate è in un circuito aperto quindi il potenziale di gate è coincidente con massa. Quindi la variazione di tensione V_{AS} coincide con $-V_t$, poiché V_t è applicata direttamente fra source e massa, ovvero

$$V_{AS,SS} = -V_t$$

Quanto ci dice subito il valore della corrente che viene condotta dal generatore di corrente pilotato.

$$i_t = \underbrace{\left(\frac{V_t}{R_S}\right)}_{\text{corrente in } R_S} + \underbrace{g_{DSS} V_t}_{\text{corrente nella conduttanza di uscita } g_{DSS}} - \underbrace{g_m V_{AS,SS}}_{\text{corrente portata nel nodo del generatore pilotato}} = \frac{V_t}{R_S} + (g_{DSS} + g_m) V_t$$

↳ somma dei tre contributi

Da cui si ricava subito che

$$R_0 = \frac{V_t}{i_t} = \frac{1}{g_{DSS} + g_m + R_S^{-1}} \approx \frac{1}{g_m + R_S^{-1}} \quad \text{se } g_{DSS} \approx 0$$

Resistenza di uscita è tanto piccola quanto g_m è elevata

EFFETTO di R_S su A_v e sulla dinamica

Anche in questo caso, R_S elevata aumenta A_v .

Se aumenta troppo riduce la dinamica.

Soluzioni: carico attivo sul source. $\Rightarrow R_S$ molto elevata, idealmente infinita, serve a limitare e modellare I_D , il p.d.f., la dinamica

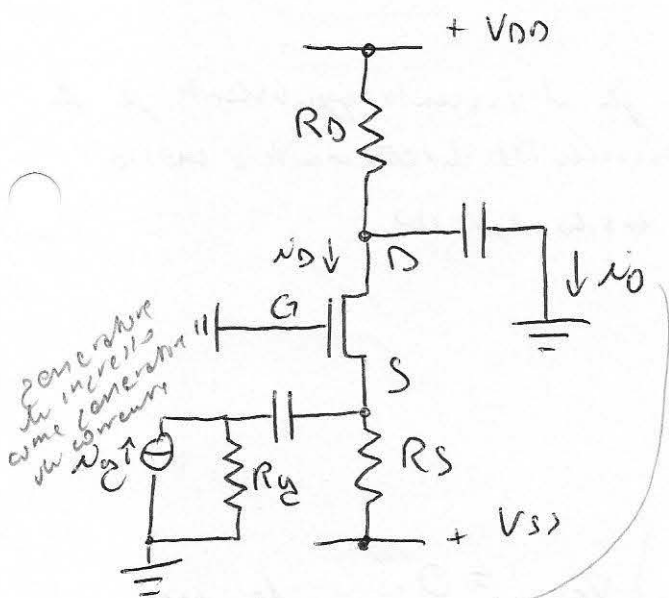
STADIO CON CARICO ATTIVO

I_{D0} ottimizza la dinamica di uscita

Per la variazione v_o aumenta A_v

$$A_v = \frac{g_m r_o}{1 + g_m r_o}$$

LO STADIO A GATE COMUNE



potenziale di ingresso
come tensione di comando

Il segnale di ingresso applicato

Il terminale di gate è in comune tra le maglie di ingresso e la maglia di uscita.

Il segnale di ingresso è applicato al terminale di source e il segnale di uscita è prelevato dal terminale di drain.

Ingresso = source; Uscita = drain

• Corrente di uscita di corto circuito

• Condensatori di disaccoppiamento ideali

\hookrightarrow per non andare fuori p.d.f.

capacità elevatissime

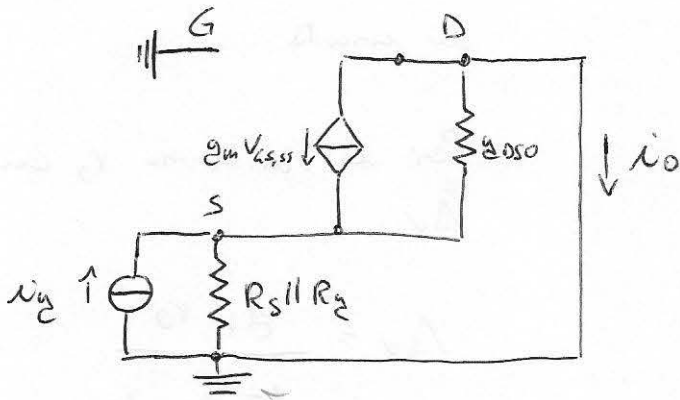
\hookrightarrow si comportano come C.C. a frequ. del segnale in ingresso

Un segnale debole non può essere amplificato.

Quando i condensatori sono dei circuiti aperti per il p.d.f. e sono dei cortocircuiti per l'analisi di segnale. 20:07

CIRCUITO EQUIVALENTE PER LE VARIAZIONI DELLE STAMME GATE COMUNE

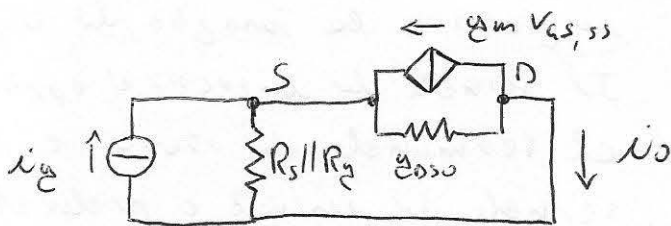
Il p.d.f. è scelto nella regione di saturazione per il transistor MOS e in particolare nel punto che massimizza la dinamica di uscita.



Gate o massa. L'ingresso è applicato al terminale di source, esso è i_g con $R_S || R_g$ in parallelo, per avere quello è già stato detto che il condensatore di disaccoppiamento di ingresso sia un cortocircuito per le variazioni. V_{SS} è cortocircuitato per le variazioni perché il terminale relativo nel circuito equivalente è collegato a massa.

Il terminale di drain è collegato all'uscita che è cortocircuitata tramite il condensatore

di disaccoppiamento ideale e quindi per il circuito equivalente per le variazioni il terminale di drain è cortocircuitato direttamente a massa. Lo stesso circuito, ridisegnato in modo diverso



LKC al nodo di source

$$i_g + g_m V_{GS,SS} + \left(g_{D,SO} + \frac{1}{R_S || R_g} \right) V_{GS,SS} = 0 \quad \text{da cui}$$

↑
relazione lineare fra questi due parametri

$$V_{GS,SS} = - \frac{i_g}{g_m + g_{D,SO} + (R_S || R_g)^{-1}}$$

Quindi, una volta valutato il pilota $v_{as,ss}$, possiamo calcolare la corrente di uscita i_o :

$$i_o = - (g_m + g_{D50}) v_{as,ss} = \frac{g_m + g_{D50}}{g_m + g_{D50} + (R_S \parallel R_D)^{-1}} i_g$$

\uparrow
 variazione di
 tensione
 applicata al gate

Quindi possiamo calcolare l'amplificazione di corrente A_{io} :
(in condizioni di corto circuito)

$$A_{io} = \frac{i_o}{i_g} = \frac{(g_m + g_{D50}) R_S \parallel R_D}{1 + (g_m + g_{D50}) R_S \parallel R_D} \approx \frac{g_m (R_S \parallel R_D)}{1 + g_m (R_S \parallel R_D)}$$

Se $g_{D50} \approx 0 \Rightarrow$ l'amplicatore è non invertente e la corrente di uscita è indipendente dalla tensione v_{DS}

Si osserva che l'amplificatore di corrente è non invertente e che l'amplificazione è minore o uguale a 1, cioè:

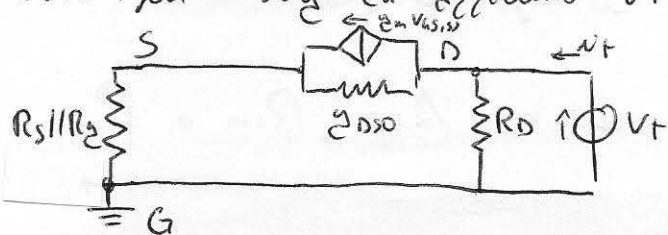
$$A_{io} \leq 1, \text{ e' uguale a } 1 \text{ se } g_m (R_S \parallel R_D) \text{ e' elevato.}$$

Gli altri parametri caratteristici per quantificare il comportamento dello stadio a gate comune sono le resistenze di ingresso e le resistenze di uscita.

Resistenza di ingresso

$$R_{in} = R_S \parallel \left(- \frac{v_{as,ss}}{i_o} \right) = R_S \parallel \frac{1}{g_m + g_{D50}}$$

Resistenza di uscita, essa deve essere calcolata dopo aver spento i_g ed aggiunto V_t



$$v_{as,ss} = - R_S \parallel R_D [g_m v_{as,ss} + g_{D50} (v_{as,ss} + V_t)]$$

che è una relazione lineare tra $v_{as,ss}$ e V_t

Cioè $V_{GS,SS}$ è la caduta di potenziale sul parallelo $R_S \parallel R_g$ moltiplicata per la corrente che scorre in questa resistenza equivalente.

Tale corrente è la corrente portata dal generatore pilotato e quindi $g_m V_{GS,SS}$ più la corrente che scorre in g_{DSSO} che è data da $g_{DSSO} (V_{GS,SS} + V_T)$.

Dalla equazione, relazione lineare tra $V_{GS,SS}$ e V_T , si ricava $V_{GS,SS}$:

$$V_{GS,SS} = - \frac{g_{DSSO} (R_S \parallel R_g)}{1 + (g_m + g_{DSSO}) R_S \parallel R_g} \cdot V_T$$

Possiamo a questo punto calcolare la corrente i_T :

$$i_T = \underbrace{\frac{V_T}{R_D}}_{\text{contributo della corrente che scorre in } R_D} + \underbrace{g_m V_{GS,SS}}_{\text{corrente del generatore pilotato}} + \underbrace{g_{DSSO} (V_{GS,SS} + V_T)}_{\text{contributo di corrente che scorre nelle conduttenze di uscita } g_{DSSO}}$$

e, sostituendo $V_{GS,SS}$ la sua espressione in funzione di V_T e calcolando la resistenza di uscita come V_T / i_T , abbiamo

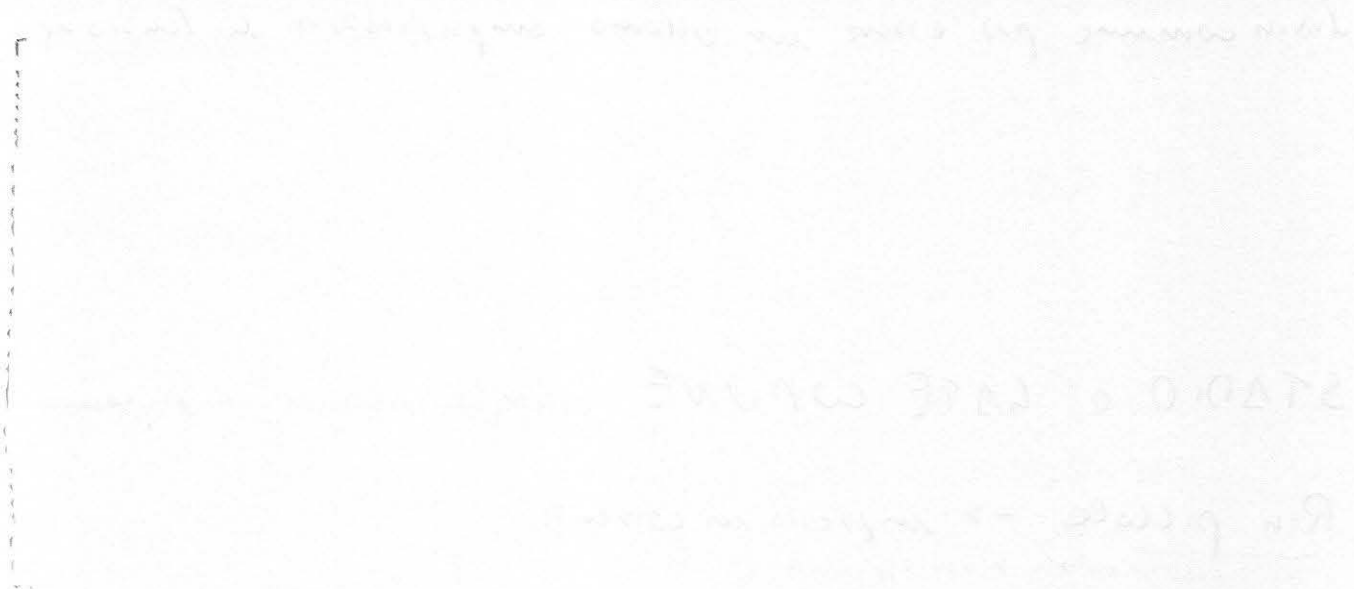
$$R_o = \frac{V_T}{i_T} = R_D \parallel \frac{1 + (g_m + g_{DSSO}) (R_S \parallel R_g)}{g_{DSSO}}$$

Se siamo in condizioni di transistore MOS quasi ideale con $g_{DSSO} \approx 0$ allora R_o coincide quasi con R_D .

Anche per lo stadio a gate comune è possibile incrementare le prestazioni senza modificare il p.d.f. (e quindi implicare lo dinamico di uscita) utilizzando dei canali ottimi, che spesso sono due e sostituiscono la resistenza R_D collegata al drain e la resistenza R_S collegata al source.

Quindi due canali ottimi aumentano A_{vo} , R_{in} e R_o

STADIO e GATE COMUNI CON CARICHI ATTIVI



RIASSUNTO DELLE CARATTERISTICHE DEGLI STADI A MOSFET

gli stadi visti sono 3.

STADIO ^{amplificatore} e SOURCE COMUNE

R_{in} molto elevata ^(ideale) \rightarrow ingresso in tensione

$\approx R_D$ collegata al gate, molto sensibile con carico attivo

R_{out} medio/alta \rightarrow uscita in corrente

ottimo come amplificatore di transconduttanza, accettabile in tensione perché R_{out} è medio/alta

STADIO e DRAIN COMUNE

R_{in} molto elevata \rightarrow ingresso in tensione
 l'ingresso è collegato al gate $\Rightarrow R_{in} \rightarrow \infty$ se le porte di gate e gate di un amplificatore di tensione costano V_{GS}

R_{out} ^{perché misurata sul drain} _{low output} \rightarrow uscita in tensione

ottimo come amplificatore di tensione, ma con $A_v \approx 1 \rightarrow$ stadio buffer (congiuntore di tensione).

La cascata tra uno stadio a source comune e uno stadio a drain comune pu' essere un ottimo amplificatore di tensione.

STADIO a GATE COMUNE eccellente prestazioni in frequenza.

Rin piccola → ingresso in corrente
poche im portanti, e non applicabili pdt

Rin elevata → uscita in corrente

Ottimo come amplificatore di corrente, ma con $A_v \approx 1$ → stadio buffer (in sequenza di corrente).

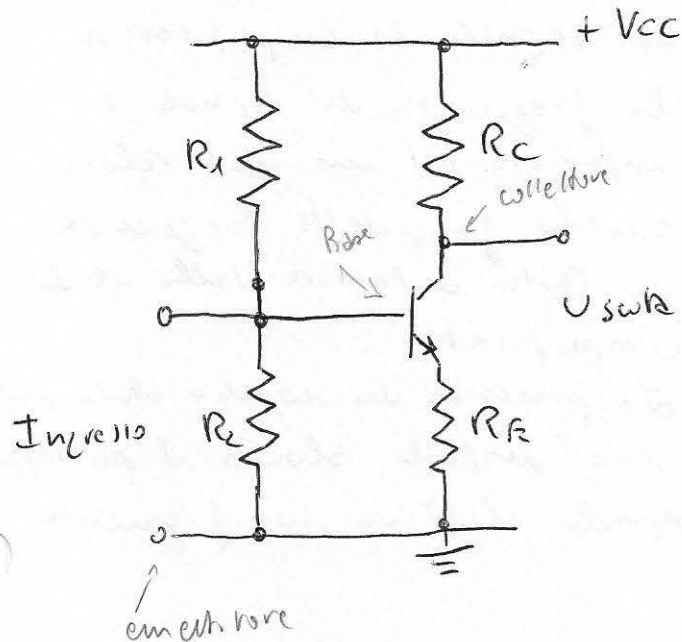
LEZ. 15 L'USO DEL TRANSISTORE BIPOLARE COME AMPLIFICATORE: STADIO A EMIETTORE COMUNE nelle app analogiche

- Punto di funzionamento a riposo
- Parametri dello stadio a emettitore comune (circ. equivalenti)
- Limitazioni in frequenza (condens. di disaccoppiamento)

PUNTO DI FUNZIONAMENTO A RIPOSO

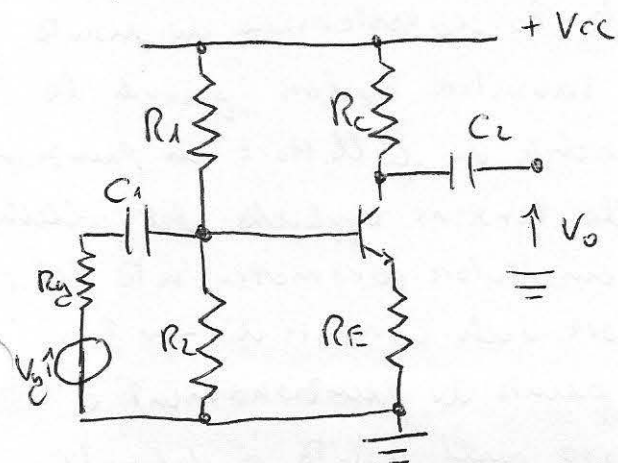
Tecniche di scelta

Stadio a emettitore comune: ha il terminale di emettitore che costituisce il terminale che sta in comune tra la porta di ingresso e la porta di uscita dello stadio amplificatore.



L'ingresso è applicato al terminale di base del transistor bipolare. L'uscita viene presa sul terminale di collettore e quindi il terminale di emettitore costituisce l'elemento comune tra ingresso e uscita.

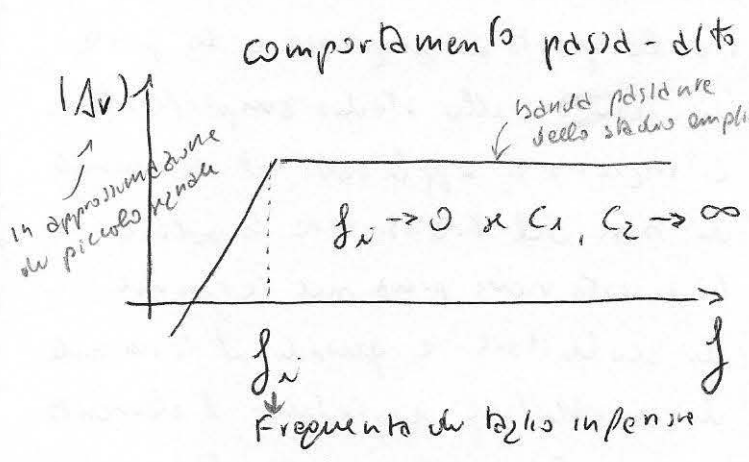
Capacità di disaccoppiamento



Per completare lo stadio amplificatore con il generatore applicato all'ingresso; tipicamente, per lo stadio a emettitore comune con alimentazione singola (non bilanciata), applicare il generatore di ingresso richiede in questo caso l'introduzione di un condensatore di disaccoppiamento all'ingresso. Se non si possiede il valore di tensione del terminale di base verrebbe perturbato dalla presenza del generatore esterno anche il bias punto poiché rimarrebbe

la sua resistenza esterna che andrebbe a mettersi in parallelo alla resistenza R_E e quindi a modificare il partitore di ingresso. Quindi la presenza del condensatore di disaccoppiamento C_A serve proprio a disaccoppiare il punto di funzionamento a riposo, che deve essere definito esclusivamente dalle quattro resistenze del circuito di polarizzazione, dal generatore di ingresso. In molti casi pratici si vuole anche disaccoppiare dal punto di vista del p.d.f. il terminale di collettore dell'uscita e quindi si può anche introdurre un condensatore di disaccoppiamento sull'uscita.

La presenza dei condensatori determina un comportamento passa-alto all'interno dello stadio amplificatore, che in questo caso non consente il passaggio del segnale da amplificare se

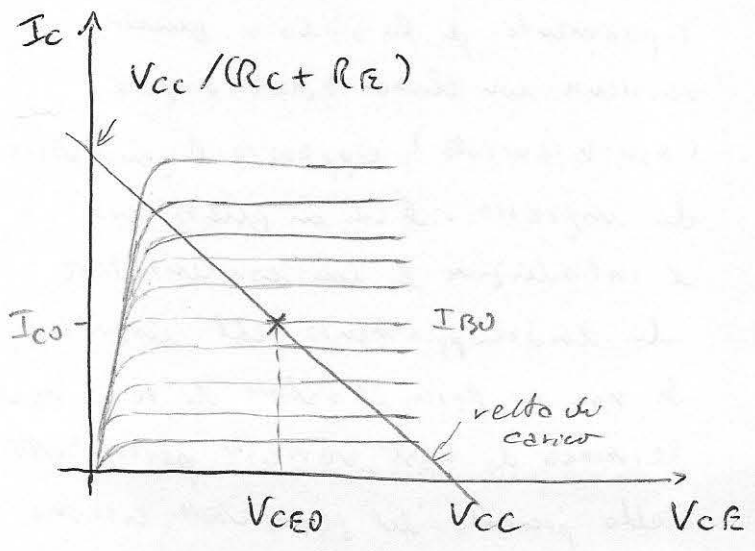


le frequenze del segnale è inferiore ad un certo valore critico f_u , detta frequenza di taglio inferiore dello stadio amplificatore.

La presenza dei condensatori in serie, infatti, blocca il passaggio dei segnali elettronici con frequenze zero.

SCELTA DEL PUNTO DI FUNZIONAMENTO A RIPOSO

07:19



Data le caratteristiche di uscita del transistor bipolare, quindi le correnti di collettore in funzione della tensione applicata del collettore ed emettitore parametrizzata del valore della corrente di base I_{B0} al punto di funzionamento a riposo sull'uscita è definito

della intersezione tra la caratteristica di uscita del transistor e la retta di carico che è la rappresentazione grafica delle equazioni di bilancio delle tensioni sull'uscita del circuito.

Per determinare il p.d.f., la corrente I_{B0} deve essere fissata ed è fissata dalla parte di ingresso del circuito di polarizzazione (punto di partore di ingresso).

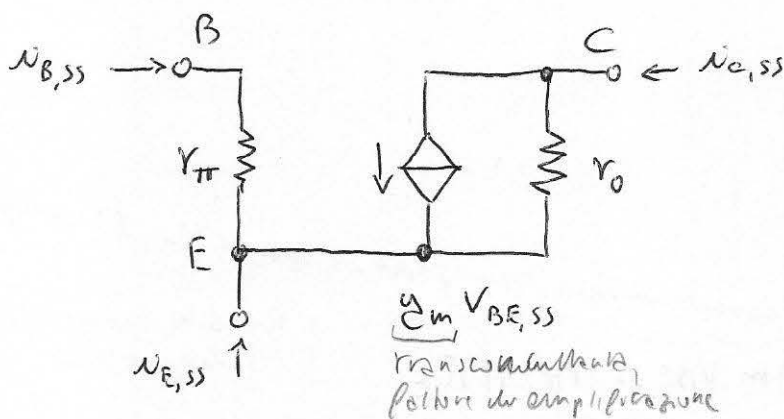
Vengono utilizzati due criteri per la scelta del p.d.f.

Per massimizzare la linearità dello stadio a emettitore comune occorre scegliere il p.d.f. in regione attiva diretta; il valore specifico della tensione V_{CE0} viene scelto per massimizzare la dinamica dell'uscita dello stadio amplificatore.

PARAMETRI dello STADIO a EMETTITORE COMUNE

Parametri di piccolo segnale \Rightarrow lo studio è effettuato considerando il circuito equivalente per le variazioni

Circuito equivalente per le variazioni



Esso è costituito, per l'elemento dinamico, da una resistenza r_{π} tra base B ed emettitore E da un generatore pilotato di corrente pilotato dalla tensione di ingresso $v_{BE,ss}$, esso costituisce la capacità amplificativa del dispositivo. La presenza dell'effetto Early

viene rappresentata dalla resistenza di uscita r_o che è la pendenza della caratteristica statica nel punto di lavoro.

La resistenza r_{μ} tra base e collettore può essere considerata ~~molto~~ infinita, quindi è sostituito da un circuito aperto.

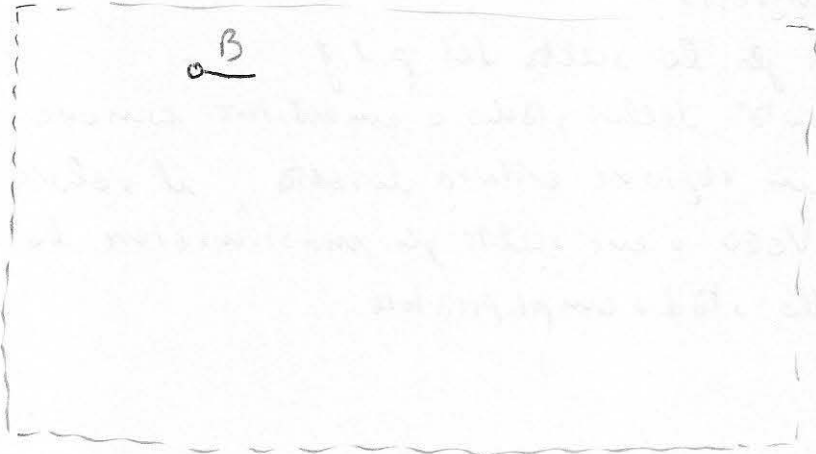
Alle tre terminali del dispositivo colleghiamo gli altri elementi del circuito: all'emettitore è collegata la resistenza R_E ^{tra emettitore e massa}

Al collettore è collegata la resistenza R_C tra collettore e

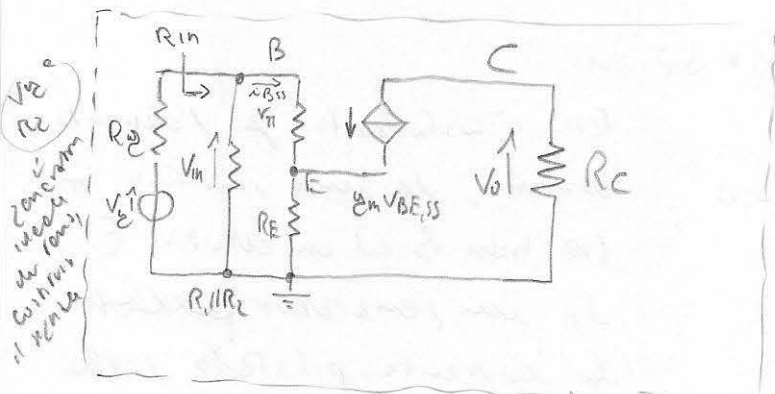
alimentazione V_{CC} , ma per la variazione di generatore deve essere spento quando R_C deve andare a massa.

Al collettore è collegato tramite il condensatore di disaccoppiamento C_2 il carico, quindi un circuito ~~esatto~~ aperto nel nostro caso, giacché il carico è a vuoto.

Al terminale di base sono collegati R_1 e R_2 del partitore di ingresso.



Effetto Early trascurabile \Rightarrow si può eliminare r_o , sostituito con un circuito aperto



Si applica il principio di sovrapposizione degli effetti.

concorrenza impedenza del g. pilotato, e spento V_{in} , il circuito

$$V_{BE,SS} = V_{in} \frac{r_{\pi}}{r_{\pi} + R_E} - \beta_{m} V_{BE,SS} r_{\pi} \parallel R_E$$

} Relazione lineare tra $V_{BE,SS}$ e V_{in}

volendo calcolare V_o in funzione di $V_{BE,SS}$, facciamo un passo intermedio, considerando tutta la corrente V_{in} applicata tra base ed emettitore, giacché è come assumere di avere un generatore di ingresso ideale con una resistenza interna nulla.

In un circuito lineare che contiene un generatore pilotato il passo fondamentale consiste nel determinare il pilota del generatore pilotato e quindi $V_{BE,SS}$ che cade sulla resistenza r_{π} che si trova tra base ed emettitore del circuito equivalente per le variazioni.

Si applica il principio di sovrapposizione degli effetti spendendo il generatore di corrente pilotato (sostituito con un circuito aperto) prima e $V_{BE,SS}$ poi

Dalla relazione precedente ricaviamo $V_{BE,ss}$:

$$V_{BE,ss} = V_{in} \frac{\frac{r_{\pi}}{r_{\pi} + R_E}}{1 + g_m r_{\pi} \parallel R_E}$$

• Amplificazione di tensione

Conoscendo $V_{BE,ss}$ possiamo calcolare V_o , che vale

$$V_o = -g_m V_{BE,ss} R_c \quad \text{in quanto la tensione di uscita è per definizione la caduta di potenziale sulla resistenza } R_c.$$

Sostituendo $V_{BE,ss}$ in funzione di V_{in} possiamo calcolare l'amplificazione A'_v , come V_o / V_{in} e non come V_o / V_b , da questo l'è più:

$$A'_v = \frac{V_o}{V_{in}} = - \frac{g_m r_{\pi} R_c}{r_{\pi} + R_E (1 + g_m r_{\pi})} \approx - \frac{R_c}{R_E} \quad \text{se } g_m r_{\pi} = \beta_F \rightarrow \infty$$

opposizione di fase tra segnale applicato all'ingresso e quello ottenuto sul collettore
trans. bipolare con guadagno di corrente molto elevato

Da ciò notiamo che lo stadio a emettitore comune è uno stadio invertente, infatti l'amplificazione di tensione in banda è a segno -, quindi c'è una opposizione di fase tra segnale applicato all'ingresso e quello ottenuto sul collettore.

Si nota anche che più è elevata l'amplificazione di corrente nel transistor bipolare (β_F , pari a $g_m r_{\pi}$) in r.d.d. e più l'amplificazione di tensione tende ad essere indipendente dalle caratteristiche del transistor bipolare e risulta essere determinata solo dal rapporto tra la resistenza collegata al collettore e quella collegata all'emettitore.

R_E di solito è piccolo perché costituisce una resistenza di reazione in cui tale rapporto è molto maggiore di 1, in valore assoluto.

La resistenza di ingresso misurata tra base ed emettitore quando al circuito applichiamo il segnale, la tensione V_{in} è data da:

$$i_{B,ss} = \frac{V_{BE,ss}}{r_{\pi}} = V_{in} \frac{1}{r_{\pi} + R_E (1 + \beta_F)}$$

↳ corrente di piccolo segnale della variazione della corrente di base che entra nella base del transistor bipolare.

Questo determina il secondo elemento di corrente che entra complessivamente il generatore V_{in} deve far circolare all'interno dello stadio amplificatore. L'altra quantità di corrente è quella che scorre in $R_1 \parallel R_2$ e quindi

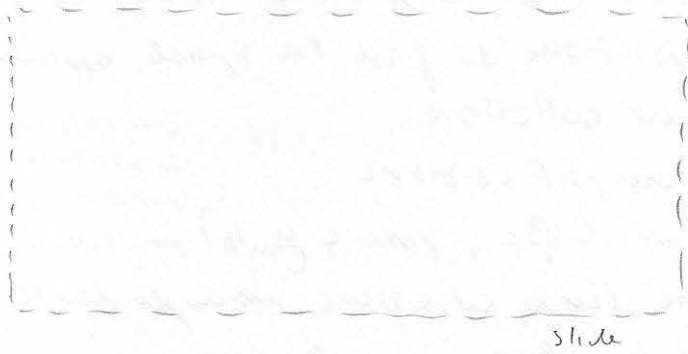
$$R_{in} = R_1 \parallel R_2 \parallel [r_{\pi} + R_E (1 + \beta_F)]$$

parallelo delle due resistenze del partitore di ingresso

$\frac{V_{in}}{i_{B,ss}}$ il costrutto vero e proprio del transistor bipolare, quello della resistenza che si vede dalla base del transistor. Questa resistenza è elevata, tanto più elevato lo è l'amplificazione (β_F)

La presenza di R_E serve a stabilizzare il p.d.f., aumenta anche la resistenza di ingresso presentata dalla base del transistor bipolare.

Possiamo ora calcolare l'amplificazione di tensione vera e propria, cioè V_o / V_g , in quanto è facile calcolare V_{in} , la tensione tra base e massa



$$V_{in} = V_g \frac{R_{in}}{R_g + R_{in}}$$

↓
e-una partitura

e quindi

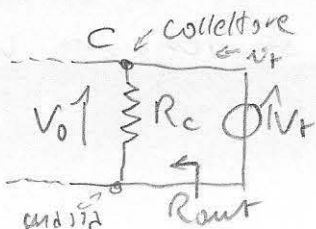
$$A_v = \frac{V_o}{V_g} = A'_v \left[\frac{R_{in}}{R_g + R_{in}} \right]$$

numero molto vicino a 1
nessun approssimazione

↓
Amplificazione di tensione dello stadio amplificatore

ultimo parametro

La resistenza di uscita è la resistenza presentata tra terminali di uscita e massa, quindi tra collettore e massa.

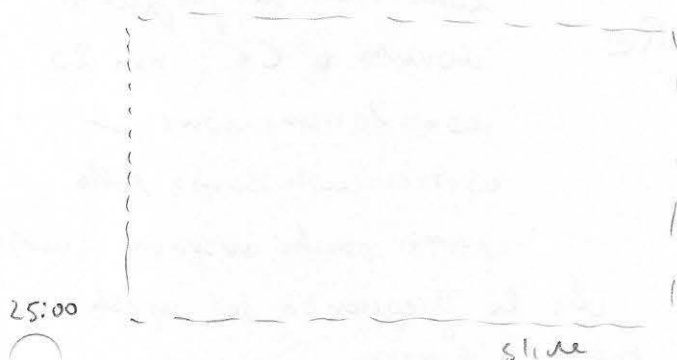


Si calcola spingendosi un generatore V_{in} indipendente e applicando un generatore di prova, che nel nostro caso è un

generatore di tensione V_T tra i due terminali tra cui voglio calcolare la resistenza equivalente e un punto così tra collettore e massa.

Calcolo la corrente i_T che tale generatore fa circolare nel circuito e la resistenza equivalente che voglio calcolare è il rapporto tra V_T e i_T . ($V = Ri \Rightarrow R = V/i$)

Nello studio del circuito, essendo presente un generatore pilotato, dobbiamo per prima cosa determinare il pilota $V_{BE,ss}$ del generatore pilotato. Si applica il p. di s. effetto, come se il generatore fosse indipendente (possibile perché il circuito è lineare).



$$V_{BE,ss} = -\frac{g_m}{C_m} V_{BE,ss} \frac{R_E}{R_E + r_{\pi} + R_1 \parallel R_2 \parallel R_g} v_{\pi} + 0$$

\downarrow d.d.p. tra base ed emettitore, che è il pilota del g.

\downarrow contributo quando è punto VT

contributo quando è punto al pilotato, che è sostituito da una c.d. quindi V_T alimenta solo la resistenza R_C e non porta corrente verso la resistenza r_{π} .

Si nota come il contributo di V_T e $V_{BE,ss}$ sia zero.

Dalla relazione sopra ricaviamo

$$V_{BE,ss} \left[1 + \frac{g_m}{C_m} r_{\pi} \frac{R_E}{R_E + r_{\pi} + R_1 \parallel R_2 \parallel R_g} \right] = 0$$

che è vera per $V_{BE,ss} = 0$, per cui la corrente del generatore pilotato è anch'essa zero e quindi la corrente i_T è la corrente che scorre nella resistenza R_C . Quindi

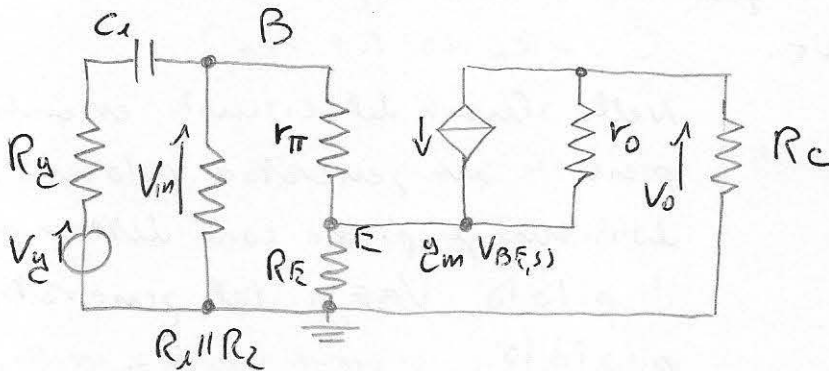
$$V_{BE,ss} = 0 \quad R_o = R_C$$

Cioè la resistenza di uscita R_{out} dello stadio emettitore comune in assenza dell'effetto Early coincide con la resistenza R_C collegata al collettore dello stadio amplificatore.

LIMITAZIONI IN FREQUENZA

dovuta a C_1 .

Capacità di disaccoppiamento



Dobbiamo tener conto dell'effetto delle limitazioni di frequenza dovuta a C_1 : non lo consideriamo come un cortocircuito come fatto prima perché avevamo assunto

che la frequenza del segnale fosse tale da lavorare in banda, ma introduciamo lo suo presente nel circuito equivalente per le variazioni.

Il condensatore C_1 disaccoppia il terminale di base del transistor dal generatore di segnale applicato.

Il condensatore C_2 verrebbe in realtà collegato ad un circuito aperto e quindi possiamo trascurare il suo effetto.

Ora determiniamo l'effetto del circuito condensatore di disaccoppiamento sull'amplificazione: si osserva che la tensione V_{in} applicata tra base ed emettitore al circuito vero e proprio è la partizione di V_g tra la resistenza R_{in} che si vede all'ingresso dello stadio, quindi alla base del transistor, e la resistenza R_g che ha in serie ~~la resistenza~~ la resistenza equivalente che corrisponde al condensatore C_1 . E quindi

$$V_{in} = V_g \frac{R_{in}}{R_g + \frac{1}{j\omega C_1} + R_{in}}$$

In dominio dei fasori

E, semplificando questa espressione ricaviamo A_v come V_o / V_g :

$$A_v = \frac{V_o}{V_{in}} = A'_v \frac{j\omega C_1 R_{in}}{1 + j\omega C_1 (R_2 + R_{in})} = A_v(\omega)$$

$$A'_v = \frac{V_o}{V_{in}} = -\frac{R_c}{R_E}$$

in questo caso, tutta la dipendenza da ω è contenuta in questa parte

Quindi A_v è una funzione della frequenza ω del segnale.

FREQUENZA di TAGLIO INFERIORE dello stadio amplificatore

È definita come frequenza di taglio a 3 dB^{dB}, dove ^{dB} = decibel

$$\omega_c \text{ tale che } |A_v(\omega_c)| = \frac{|A_v(\text{banda})|}{\sqrt{2}} \quad \begin{matrix} \rightarrow \text{20 volte il} \\ \log \sqrt{2} \approx 3 \end{matrix}$$

Si tratta delle frequenze alle quali l'amplificazione si è ridotta di 3 dB rispetto al valore in banda

$$A_v(\omega) = \underbrace{A'_v \frac{R_{in}}{R_2 + R_{in}}}_{A_v(\text{banda})} \cdot \frac{j\omega C_1}{(R_2 + R_{in})^{-1} + j\omega C_1}$$

termine che dipende dalla frequenza

L'amplificazione di tensione in banda, quello che avrai se il condensatore fosse un cortocircuito.

Imponendo che il termine che dipende dalla frequenza sia pari a $\frac{1}{\sqrt{2}}$, in modulo al quadrato è $\frac{1}{2}$, ovvero

$$\left| \frac{j\omega_c C_1}{(R_2 + R_{in})^{-1} + j\omega_c C_1} \right|^2 = \frac{1}{2}$$

ovvero

$$\frac{(\omega_c C_1)^2}{(R_2 + R_{in})^{-2} + (\omega_c C_1)^2} = \frac{1}{2}$$

$$2 (\omega_c C_1)^2 = (R_2 + R_{in})^{-2} + (\omega_c C_1)^2$$

$$f_i = \frac{\omega_c}{2\pi} = \frac{1}{2\pi} \cdot \frac{1}{C_1 (R_{in} + R_2)}$$

↓
frequenza di taglio inferiore

costante di tempo corrispondente al condensatore C_1 moltiplicata per la resistenza equivalente che esso vede cioè la resistenza interna del generatore più la resistenza di ingresso dello stadio amplificatore.

Abbiamo quindi

$$\Delta_v(\omega) = \Delta_v(\text{banda})$$

valore costante in banda

$$\frac{j \frac{\omega}{\omega_c}}{1 + j \frac{\omega}{\omega_c}}$$

Fattore di normalizzazione che dipende dalla frequenza e che è adimensionato

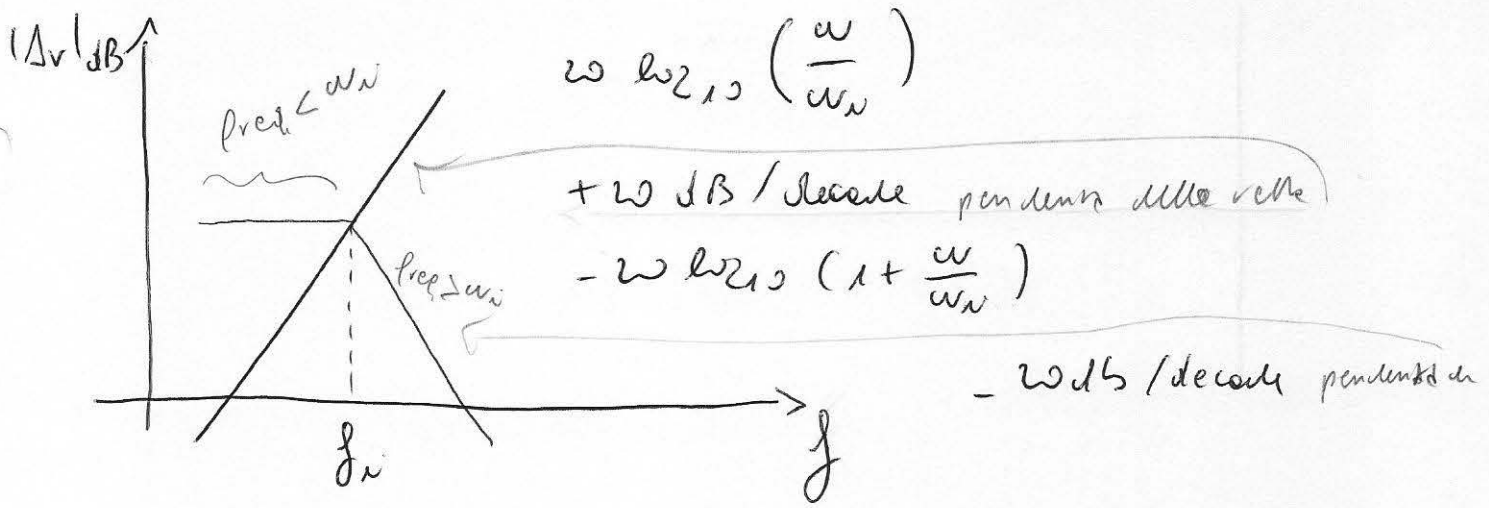
In questo caso la funzione di trasferimento in ingresso usata presenta uno zero nell'origine che fa in modo che l'amplificazione vada a zero a frequenza zero e un polo alla frequenza di taglio inferiore f_i .

DIAGRAMMI di BODE del modulo

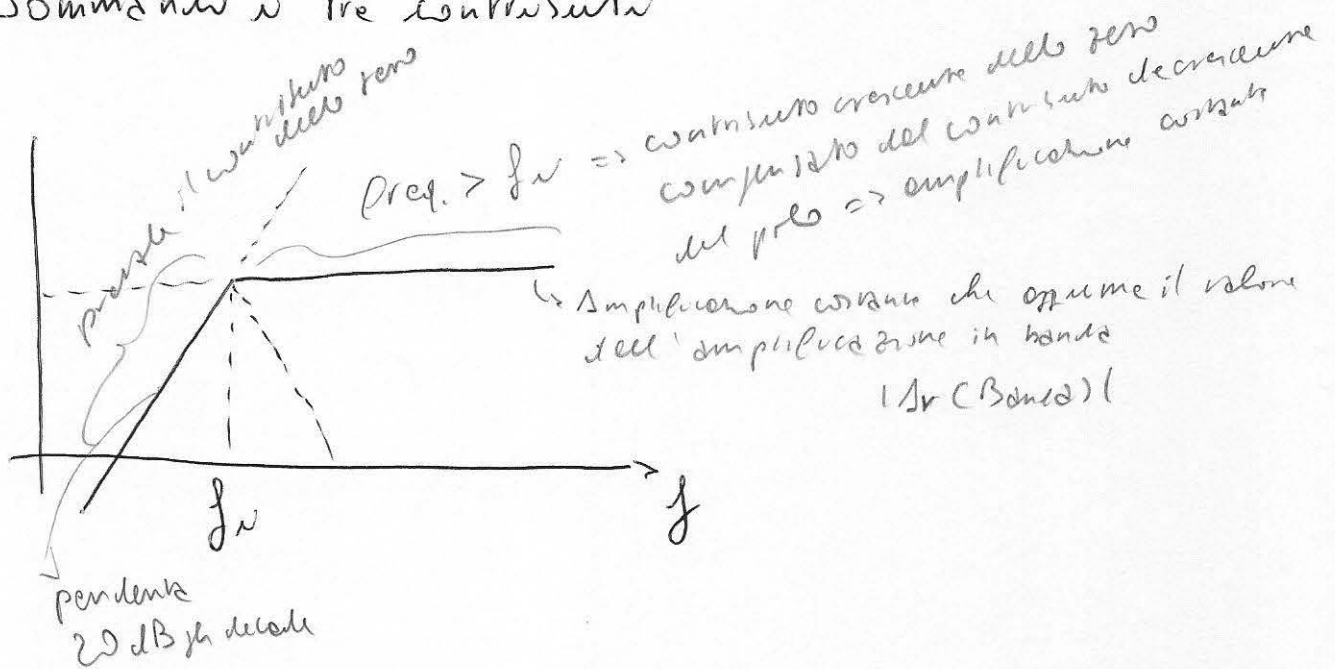
È una rappresentazione grafica di $|\Delta_v(\omega)|$ in dB.

Anche l'asse delle frequenze deve essere in scala logaritmica.

$$\begin{aligned} 20 \log_{10} |\Delta_v(\omega)| &= 20 \log_{10} |\Delta_v(\text{banda})| \\ &+ 20 \log_{10} \left(\frac{\omega}{\omega_c} \right) \\ \text{Polo in } \omega = \omega_c &- 20 \log_{10} \left(1 + \frac{\omega}{\omega_c} \right) \end{aligned}$$



Sommando a tre contributi

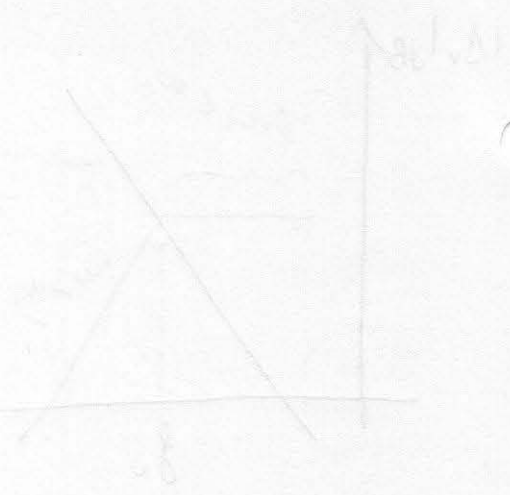
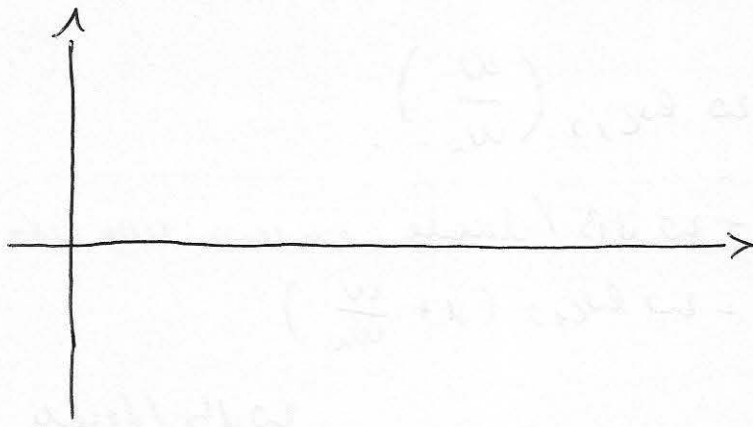


Costruzione dei diagrammi di Bode del modulo

$$A_v(\omega) = C \frac{\prod_i \dots}{\prod_k \dots}$$

$$|A_v(\omega)|_{\text{dB}} = |C|_{\text{dB}} + \sum_i 20 \log_{10} \left(1 + f \frac{\omega}{\omega_{z_i}} \right) +$$

$$- \sum_k 20 \log_{10} \left(1 + f \frac{\omega}{\omega_{p_k}} \right)$$



Handwritten text, possibly a title or description of the graph above.



Handwritten text, possibly a title or description of the graph above.



$$A_2(w) = C \cdot \frac{1}{F_k} + \sum_{i=1}^n (a_i \cdot w_i) + \sum_{j=1}^m (b_j \cdot w_j)$$

LEZ. 16 ALTRI STADI AMPLIFICATORI A TRANSISTORE BIPOLORE

- Lo stadio a collettore comune
- Lo stadio a base comune
- Riassunto delle caratteristiche degli stadi a transistore bipolare

LES. XP. ALTR. 270724 APR 1971
A. TR. 270724 APR 1971

Co. 270724 APR 1971
Co. 270724 APR 1971
Co. 270724 APR 1971

LEZ. 17 INTRODUZIONE

ALL'ELETTRONICA DIGITALE:

L'INVERTER (L'invertitore, il circuito digitale più semplice)

- Il circuito inverter
- I livelli logici e i margini di rumore
- L'inverter CMOS

grandezze elettriche e cui corrispondono i livelli logici e corrispondenti margini di rumore

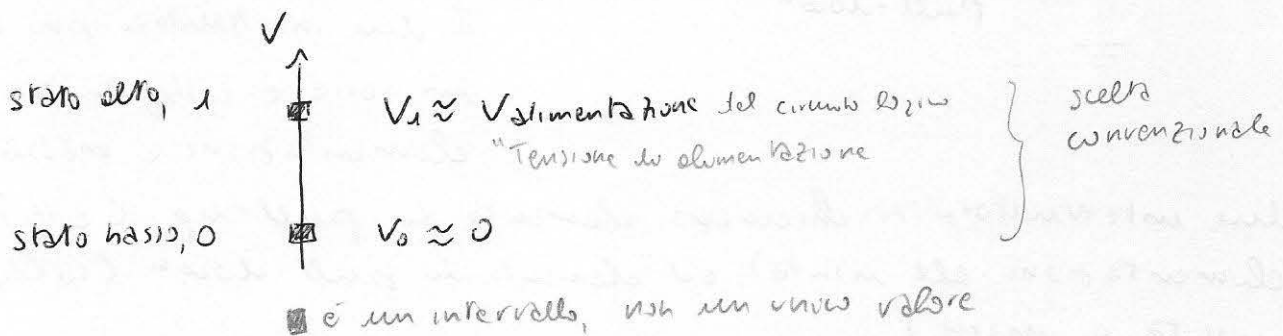
IL CIRCUITO INVERTER (= invertitore)

Un qualunque circuito digitale deve assumere stati logici che possono avere solo due valori che convenzionalmente sono rappresentati con il valore di 0 (basso) e di 1 (alto).

Questo stato logico deve essere tradotto in una corrispondente rappresentazione elettronica, tensione, corrente o qualche altra grandezza che sia trattabile da un circuito elettronico.

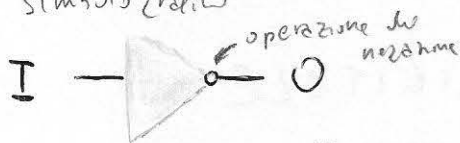
Stato logico	Stato logico: binario (0, 1)
e valore elettronico	Rappresentazione elettronica: tensione, corrente, ecc.

Normalmente, nel caso più comune, allo stato logico è associata una rappresentazione in termini di tensione e quindi i due valori logici sono rappresentati da due valori di tensione.



L'INVERTER IDEALE

simbolo logico



Negazione logica $O = \bar{I}$

Un invertitore è un modulo, e prevede un circuito elettronico che realizza l'operazione di inversione logica, detta anche negazione logica.

L'uscita dell'invertitore è l'ingresso I negato ($O = \bar{I}$)

Tavola delle verità

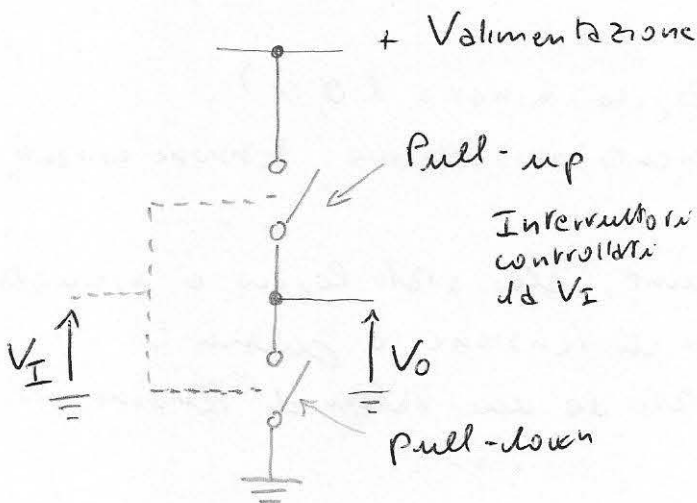
I	O
0	1
1	0

CIRCUITO INVERTER IDEALE

I	O
0	1
1	0

⇒

V_I	V_O
0	V alimentazione
V alimentazione	0



Il circuito inverter ideale è costituito da due interruttori ideali controllati da un segnale elettrico ad essi applicato, che è la tensione di ingresso V_I .

I due interruttori sono disposti in serie e collegati tra alimentazione e massa.

I due interruttori si chiamano elemento di pull-up (collega l'alimentazione all'uscita) ed elemento di pull-down (collega l'uscita a massa).

Il controllo della tensione V_I si deve svolgere nel seguente modo: quando V_I è a livello basso (0V) occorre che l'uscita sia collegata alla V alimentazione e quando l'elemento di pull-up

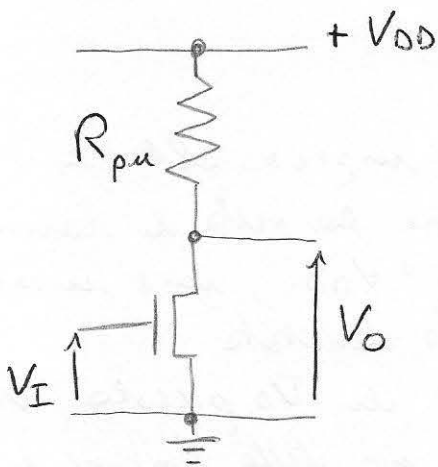
deve essere chiuso e l'elemento di pull-down aperto ^{il valore del punto viene legato al valore di V_{DD}}

V_I a livello basso \Rightarrow pull-up chiuso ^{circuito aperto}; pull-down aperto ^{circuito chiuso}

Ansimente

V_I a livello alto \Rightarrow pull-up aperto ^{circuito aperto}; pull-down chiuso \Rightarrow ^{circuito chiuso}
 "Voluntariamente" il valore di uscita viene legato verso il valore di massa

REALIZZAZIONE: INVERTER CMOS



delto a pull-up passivo, perché l'elemento di pull-up non è più un interruttore ma è una resistenza; l'elemento di pull-down è un transistore MOS a canale N che viene fatto funzionare come interruttore

$$V_{GS} = V_I$$

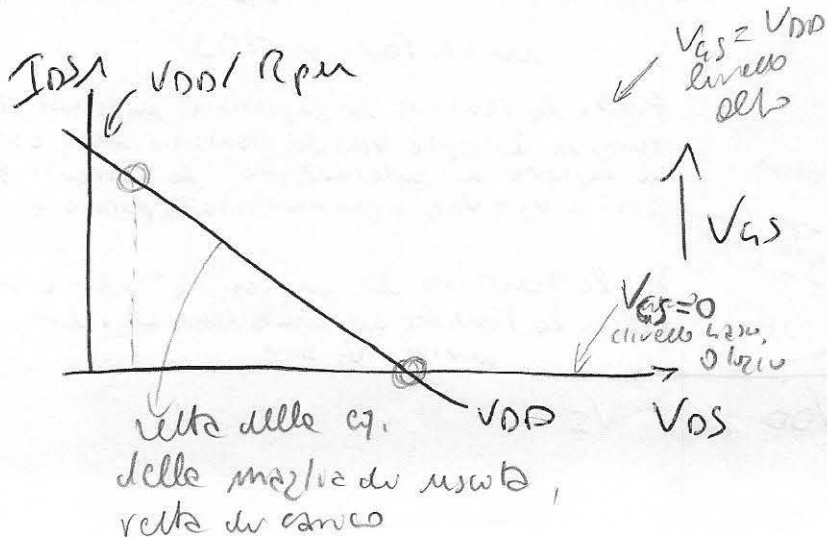
$$V_{DS} = V_O$$

Inverter

La I della maglia di uscita del circuito

$$V_{DD} = V_{DS} + R_{pu} I_D$$

V_{DS} "corrente che scorre nel MOS"



Retta di carico da una interazione con le caratteristiche di uscita del transistore determina il punto di funzionamento e ripete. Le caratteristiche di uscita sono parametrizzate da V_{GS}

che, nel nostro caso, coincide con la tensione di ingresso dell'inverter.

$$\Rightarrow I_{OS} = 0$$

Se applichiamo un ingresso $V_{AS} = 0$ volt andiamo ad identificare le caratteristiche in regione di intersezione e l'unica intersezione possibile è quella in V_{DD} , ma se $V_{AS} = V_{DD}$ allora anche $V_O = V_{DD}$ e questo equivale a dire che il uscita del punto di vista logico è $\bar{1}$, quindi abbiamo realizzato ingresso logico 0 e uscita logico 1

$$V_{AS} = 0 \Rightarrow V_O = V_{DD} \Rightarrow 0 = \bar{1} \quad \left(\begin{array}{l} \text{ingresso } 0 \Rightarrow \\ \text{uscita } 1 \end{array} \right)$$

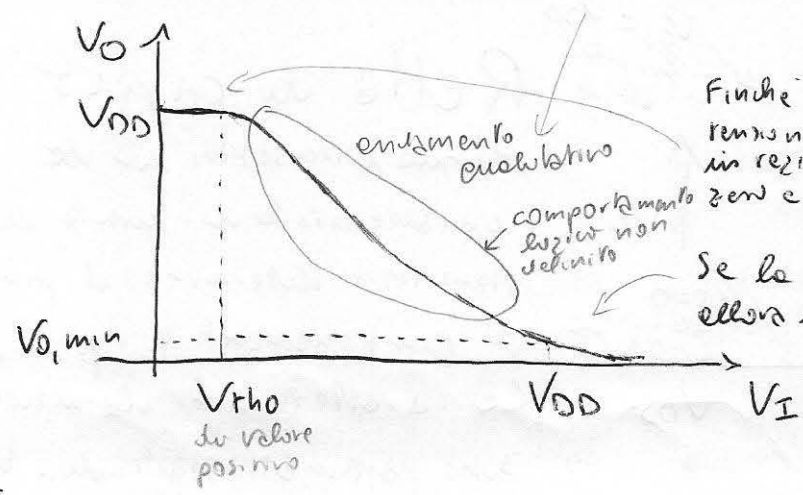
Se invece applichiamo un segnale di ingresso alto e quando $V_I = V_{DD}$ dobbiamo intersecare la retta di carico con la curva parametrata da $V_{AS} = V_{DD}$, una curva che dà una corrente di saturazione molto elevata.

L'intersezione avviene per un valore di V_O piccolo, vicino a zero che dà il valore minimo $V_{O, min}$ della tensione di uscita. Se tale valore è molto vicino a zero allora il circuito inverter lo riconosce come uno zero logico.

$$V_{AS} = V_{DD} \Rightarrow V_O = V_{O, min} \Rightarrow 1 = 0 \quad \left(\begin{array}{l} \text{ingresso } 1 \Rightarrow \\ \text{uscita } 0 \end{array} \right)$$

Sono dunque verificate le condizioni delle tabelle della verità.

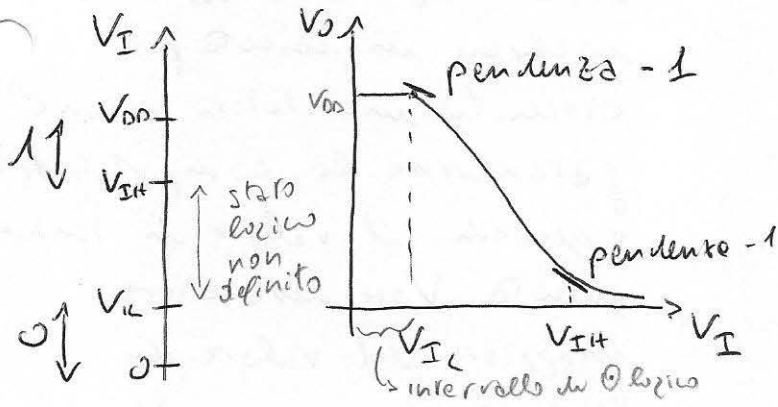
CARATTERISTICA INGRESSO - USCITA del circuito inverter n MOS.



Finché la tensione di ingresso è inferiore alla tensione di soglia V_{Th0} del transistor nMOS esso è in regione di interdizione la corrente I_D è zero e $V_O = V_{DD}$ e quindi uscita pari a 1.

Se la tensione di ingresso è pari a V_{DD} allora la tensione di uscita tende al valore minimo $V_{O, min}$.

I LIVELLI LOGICI e I MARGINI di RUMORE corrispondenti

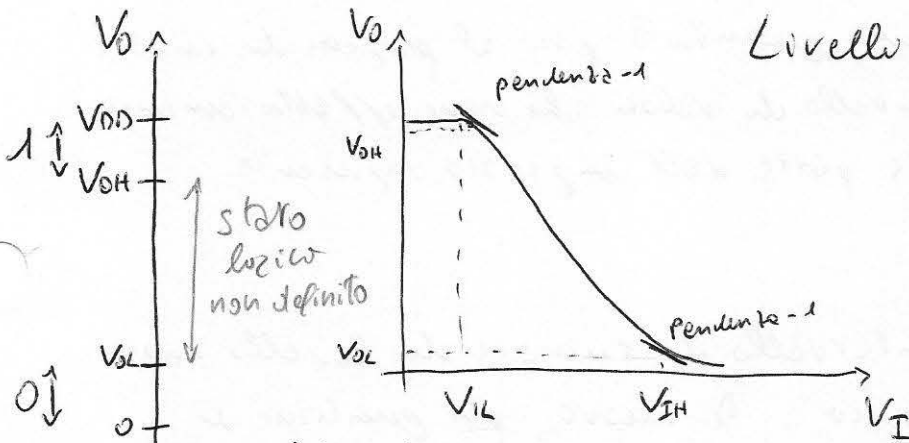


Livelli logici di ingresso

V_{IL} : massima V_I riconosciuta come 0 logico

V_{IH} : minima V_I riconosciuta come 1 logico
 $V_{IH} < V_{DD}$

E, analogamente possiamo definire il valore minimo di tensione di ingresso che viene riconosciuto come 1 logico del circuito invertitore.

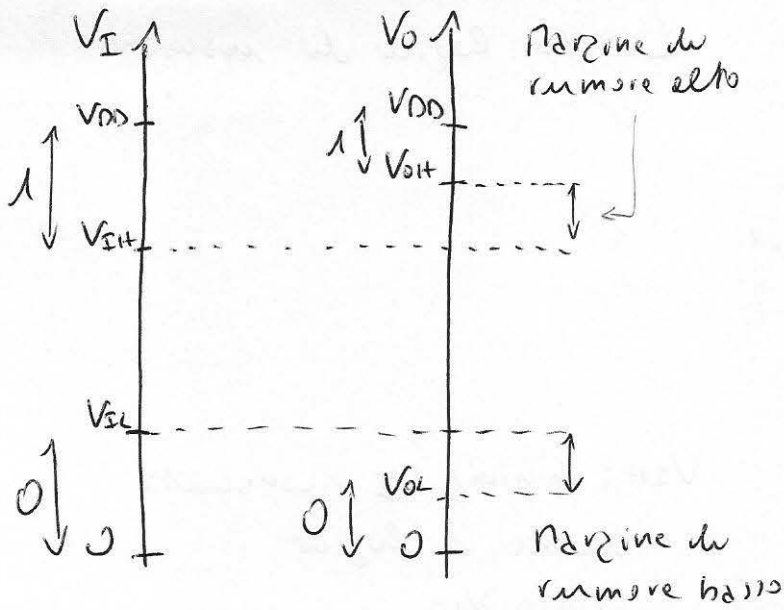


Livelli logici di uscita

V_{OH} : tensione V_O che risulta corrispondente a V_{IL} cioè alla max tensione di ingresso che viene riconosciuta come 0 logico
 → minimo valore di uscita riconosciuto come 1 logico

V_{OL} : tensione V_O corrispondente a V_{IH} → max valore di uscita riconosciuto come 0 logico

MARGINI di RUMORE



$V_{IH} - V_{OH}$ è l'intervallo di compatibilità per collegare in cascata più circuiti invertitori ed è detto margine di rumore di livello alto.

L'uscita può variare da una presunta '1' per il margine di rumore prima di uscire dall'intervallo di valori che viene effettivamente riconosciuto come alto da parte dell'ingresso seguente.

Analizziamolo

$V_{IH} - V_{OL}$ è detto intervallo di rumore di livello basso relativo al valore 0 logico. Di nuovo, per questioni di compatibilità il valore massimo dell'uscita riconosciuta come basso deve essere minore del massimo valore riconosciuto come alto da parte dell'ingresso successivo.

Più è alto il margine di rumore e più è alto il margine di sicurezza nella gestione dei disturbi sui vari segnali collegati ai vari elementi logici collegati in cascata.

Se immaginiamo di voler collegare in cascata più circuiti invertitori occorre garantire la compatibilità e quindi il valore di tensione uscita V_{OH} deve essere maggiore del valore di tensione di ingresso V_{IH} .

L'intervallo di valore riconosciuto come alto sull'uscita deve essere compreso completamente all'interno dell'intervallo del valore di tensione che deve essere riconosciuto come alto dell'ingresso.

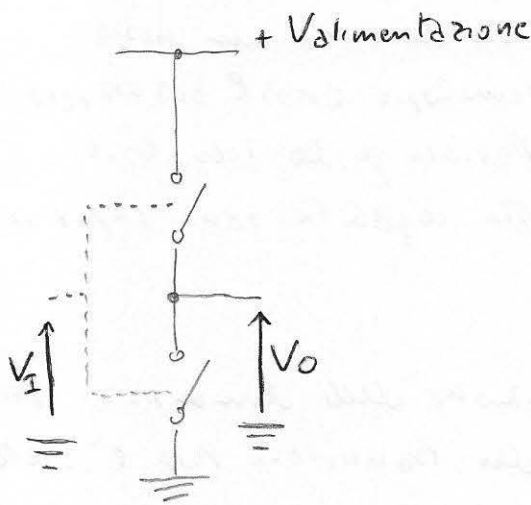
L'INVERTER CMOS ^{complementar}

↳ la tecnologia più importante dei circuiti

Tecnologia a MOS complementari, che realizza nel modo più diretto la situazione ideale di due interruttori controllati dalla tensione di ingresso.

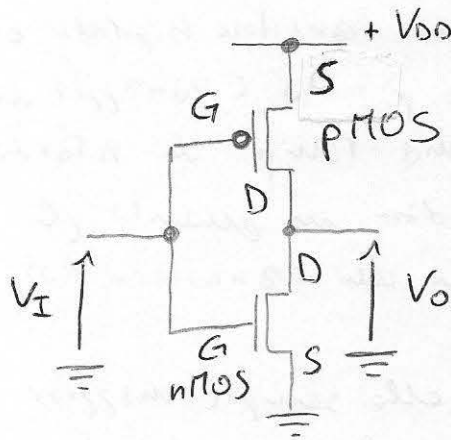
Nella tecnologia CMOS l'elemento di pull-up non è più un resistore come nella tecnologia NMOS, ma è un transistore MOS a canale p, un pMOS.

L'elemento di pull-down è un transistore MOS a canale n, un nMOS.



$$V_{GS,n} = V_I$$

(questa condizione vale sia in questa tecnologia CMOS, sia nella tecnologia NMOS)



$$V_{GS,p} = V_I - V_{DD}$$

↳ è funzione solo di V_I

notare bene

↓
 Con questo tipo di collegamento la tensione V_{GS} del MOS a canale p e la tensione V_{GS} del MOS a canale n sono entrambe direttamente controllate dalla tensione V_I .
 Il confronto tra le tensioni $V_{GS,p}$ e la tensione di soglia è l'elemento che influenza il transistore MOS e in condizione oppure in interdizione.

Caratteristiche della tecnologia CMOS

Quando uno dei due transistori conduce, l'altro deve essere un circuito aperto e inversa perché questa è la condizione per realizzare un invertitore.

Poiché i due interruttori sono disposti in serie questo vuol dire che in condizioni statiche, quando cioè l'ingresso ha un valore ben definito (0 logico, 1 logico), uno dei due interruttori è sempre un circuito aperto, uno dei due transistori MOS è sempre in interdizione e quindi l'assorbimento statico di

corrente è nulla e questo implica che tale tecnologia è a basso consumo. Dunque:

assorbimento statico di corrente nullo; basso consumo.

Inoltre il collegamento in cascata di porte logiche CMOS fa in modo che l'ingresso sia capacitivo (parallelo di gate di due transistor). Ovvero collegamento di porte in cascata con carico capacitivo. Questo garantisce un basso assorbimento di corrente e la presenza di capacità determina dei tempi di ritardo significativi.

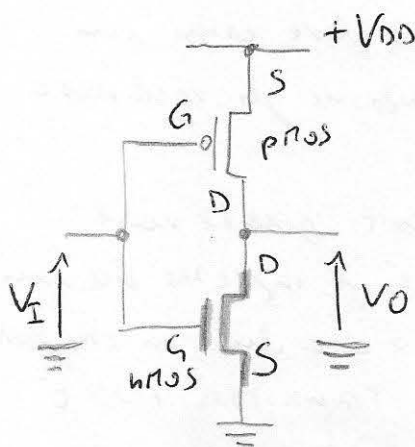
Il tradizionale punto di trade-off tra le tecnologie basate su MOS e quelle basate su transistori bipolari era quello di avere un basso assorbimento di potenza (vantaggio della tecnologia CMOS e svantaggio dell'altra), ma tempi di ritardo inferiori per la tecnologia a transistori bipolari in quanto gli effetti capacitivi sono inferiori rispetto a quelli dei transistori MOS.

Perciò, grazie alla sempre maggior riduzione delle dimensioni fisiche dei dispositivi, la capacità di gate dei transistori MOS è stata ridotta considerevolmente. Quindi anche le tecnologie digitali sono dominate dai transistori MOS.

Analisi statica dell'inverter CMOS

30:00

1. Il comportamento del MOS a canale n, il transistoro di pull-down



$$V_{GS,n} = V_I$$

$$V_{DS,n} = V_O$$

Condizione

$$V_I \geq V_{Th,n}$$

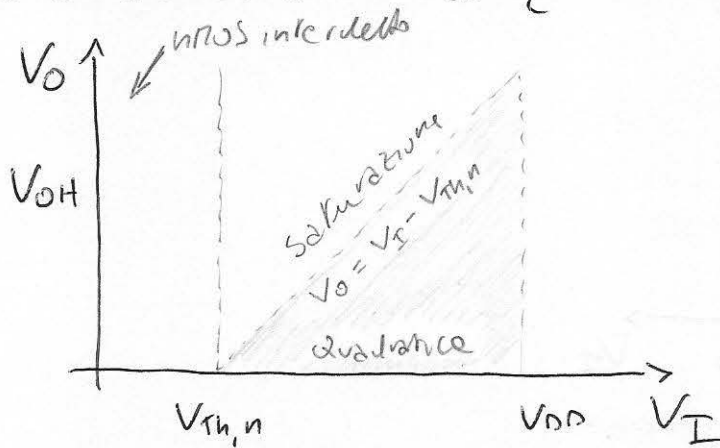
Tensione di soglia

saturation (quando $V_{DS} > V_{GS} - V_{Th,n}$)

$$V_O \geq V_I - V_{Th,n}$$

Con queste informazioni possiamo identificare diverse regioni nel piano delle caratteristiche ingresso-uscita.

Caratteristiche ingresso-uscita nMOS, di pull-down



nMOS, Transistore di pull-down

$V_I < V_{Th,n} \Rightarrow$ regione di interdotta

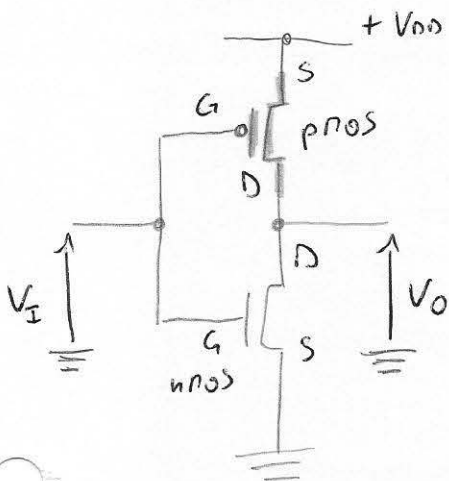
$V_I > V_{Th,n} \Rightarrow$ regione di conduzione

$V_O > V_I - V_{Th,n} \Rightarrow$ regione di saturazione

$V_O < V_I - V_{Th,n} \Rightarrow$ regione quadratica

Analogo ragionamento per MOS a canale p

2. Il comportamento del MOS a canale p, il transistore di pull-up



$$V_{GS,p} = V_I - V_{DD}$$

$$V_{DS,p} = V_O - V_{DD}$$

\Downarrow

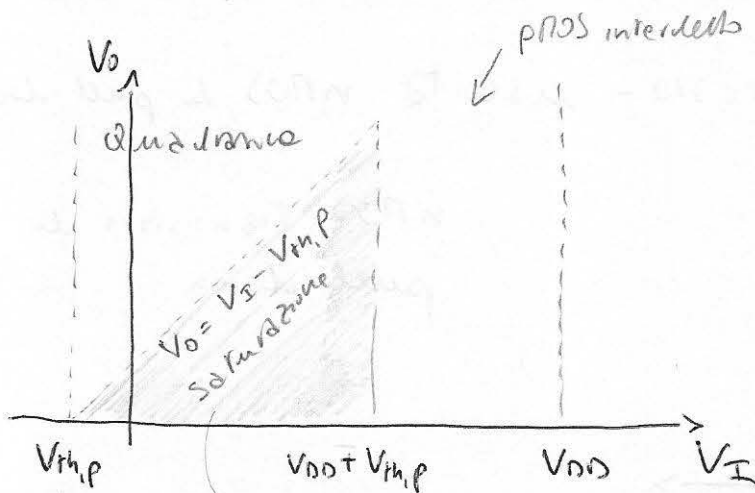
in Condizione se

$$V_I \leq V_{DD} + V_{Th,p}$$

in Saturazione se ($V_{DS} < V_{GS} - V_{Th} \Rightarrow$)

$$V_O \leq V_I - V_{Th,p}$$

Caratteristica ingresso-uscita pMOS, in pull-up



$V_{th,p}$
 ↓
 dove esse
 negativa e buon funzionamento del pMOS.

Possiamo avere anche un circuito con un pMOS e un transistor ad amplificazione.

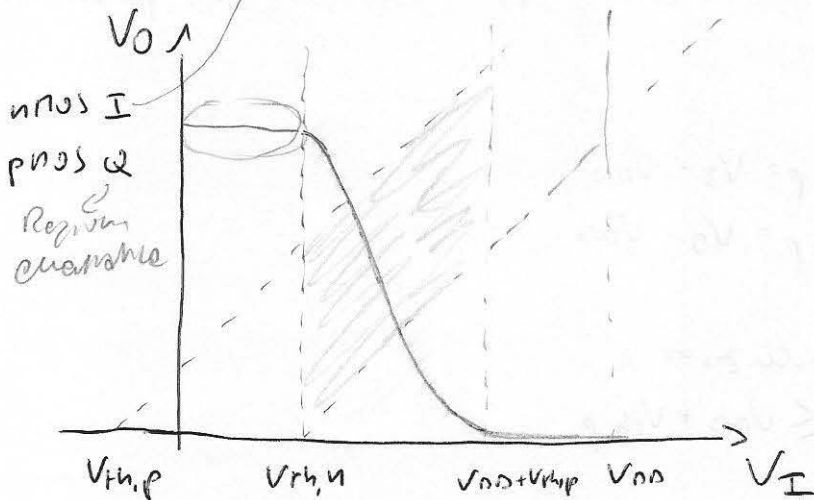
ENTRAMBI I DUE TRANSISTORI MOS, nMOS e pMOS, DEVONO ESSERE AD APPROPRIAMENTO.

PER UN BUON FUNZIONAMENTO DELL'INVERTER, PER SIMMETRIA SI HA $V_{th,p} = -V_{th,n}$.

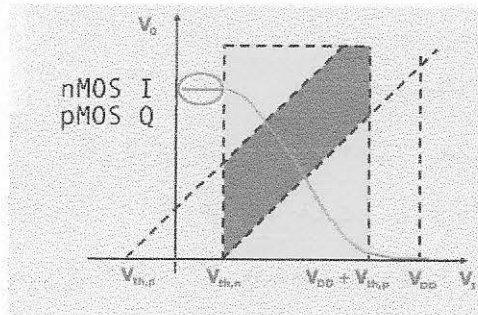
CIOE' LE DUE STRUTTURE DI LOGICA SONO UGUALI ED OPPOSITE

Ritornando a risultati ottenuti

> Regione di interdizione => circuito qk

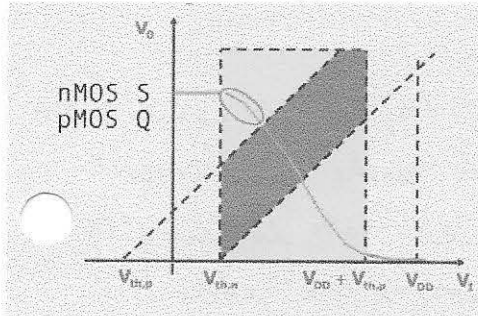


Caratteristica ingresso-uscita, unione dei risultati;
 rappresentazione grafica di tutte le varie regioni del piano che caratterizzano il funzionamento dei vari transistori.

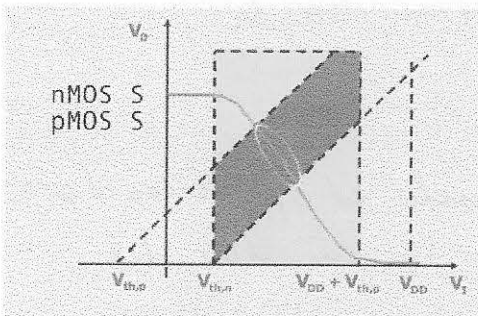


$V_I < V_{th,n} \Rightarrow$ nMOS è in regione di interdizione e quindi è un circuito aperto, pMOS è in regione quadratica. Poiché il transistore di pull-down è in interdizione l'uscita V_O coincide con V_{DD} poiché la corrente che scorre nel circuito è zero.

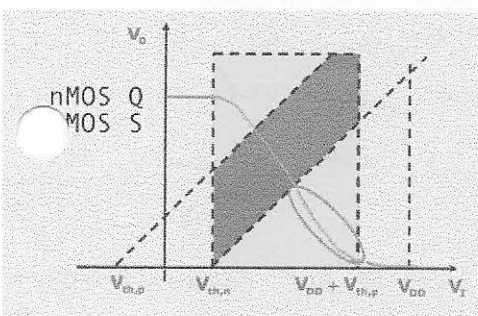
siamo sotto la curva nMOS $V_O = V_I - V_{th,n}$
 siamo sopra alla curva pMOS $V_O = V_I - V_{th,p}$



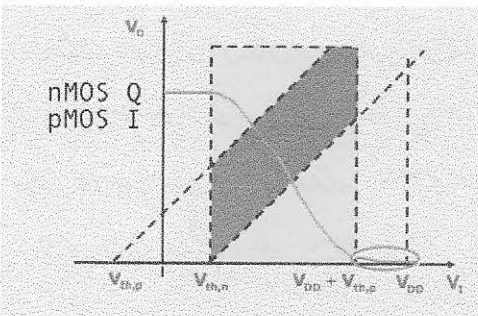
Nel crescere V_I , nMOS comincia a condurre in saturazione, pMOS è in regione quadratica.



Quando V_I cresce ulteriormente entrambi i transistori, nMOS e pMOS, si trovano in regione di saturazione; questa è una regione che contiene la bisettrice del 1° quadrante.



Al crescere ancora di V_I , nMOS esce dalla regione di saturazione ed entra in regione quadratica, pMOS resta in regione di saturazione.

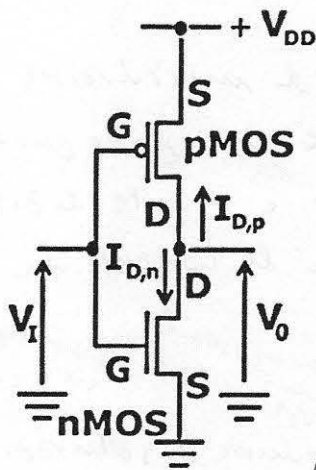


Infine, quando la tensione di ingresso V_I supera la tensione $V_{DD} + V_{th,p}$, il transistore nMOS e canale p, pMOS entra in interdizione e il transistore nMOS e canale n, nMOS resta in regione quadratica.

In questa regione di funzionamento, avendo interdetto pMOS, la sua corrente tende a zero e quindi l'uscita tende a zero.

Questo tipo di analisi consente di ricavare analiticamente le caratteristiche ingresso-uscita dell'invertitore in tecnologia CMOS.

Studio analitico: esempio



$$I_{D,n}(V_I, V_O) = -I_{D,p}(V_I, V_O)$$

$$\beta_n \left[(V_I - V_{th,n}) V_O - \frac{1}{2} V_O^2 \right] = \frac{1}{2} \beta_p (V_I - V_{DD} - V_{th,p})^2$$

esempio V_I con $\left\{ \begin{array}{l} \text{nMOS in reg. quadratica} \\ \text{pMOS in regione di saturazione} \end{array} \right.$
 che è una relazione algebrica tra V_I e V_O

del circuito che implementa l'invertitore in tecnologia CMOS.

Osserviamo che le due correnti di drain del nMOS e canale p e del nMOS e canale n sono uguali ed opposte tra loro.

Si ricorda che in condizioni statiche anche n l'invertitore

è ~~costante~~ carico da un altro

circuito digitale CMOS l'ingresso è un condensatore e quindi in condizioni statiche l'assorbimento è nullo.

Le due correnti statiche devono essere uguali ed opposte tra loro. Esse sono funzione della tensione V_{GS} e della tensione V_{DS} del rispettivo transistor; ma in entrambi i transistor, V_{GS} e V_{DS} sono funzioni rispettivamente di V_I e V_O e quindi l'implicazione delle correnti impliche scrivere una relazione tra le tensioni V_I e V_O , che è quello che stiamo cercando, cioè le caratteristiche ingresso-uscita.

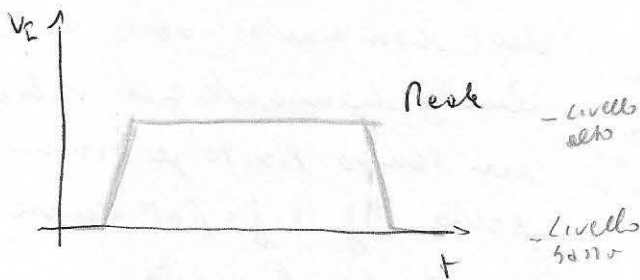
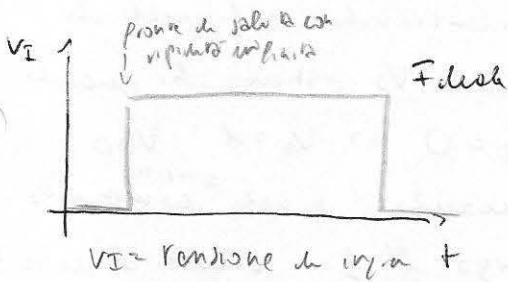
Il problema è sapere la regione di funzionamento del transistor pMOS e nMOS.

Occorre fare delle ipotesi su V_I , confrontarle col grafico nMOS che consente di ripartire il piano $V_O - V_I$ nelle varie regioni di funzionamento e sostituire in la corrispondente espressione delle correnti di drain il valore corrispondente a quella particolare regione di funzionamento.

In figura a valore nMOS e V_I con nMOS in regione quadratica e pMOS in regione di saturazione. La caratteristica ingresso-uscita è dunque costruita a parti, considerando come da prima precedente.

- Il comportamento dinamico di un inverter
- Il consumo di potenza in una porta logica
- Interfacciamento tra porte logiche

IL COMPORTAMENTO DINAMICO DI UN INVERTER



Fronti con pendenza finita

Qualunque sia la forma con cui il segnale digitale V_I (di ingresso, tensione di controllo della porta) ha transizioni tra il livello basso e il livello alto e tra il livello alto e il livello basso avviene in un tempo finito, ovvero occorre un intervallo di tempo finito, sperimentalmente il più rapido possibile, per conseguire al segnale di transire tra i due livelli. Questo si dice che i fronti di salita e di discesa del segnale digitale hanno una pendenza finita.

C'è comunque da considerare che quello che considereremo come segnale reale, e' anch'esso una idealizzazione in quanto la pendenza dei due fronti, di salita e di discesa e' sostanzialmente costante \Rightarrow transizione considerata perfettamente lineare. In realtà il passaggio e' una funzione continua, senza punti angolosi, tra il livello basso e il livello alto.

La porta logica, inoltre non effettua la sua operazione in un tempo nullo.

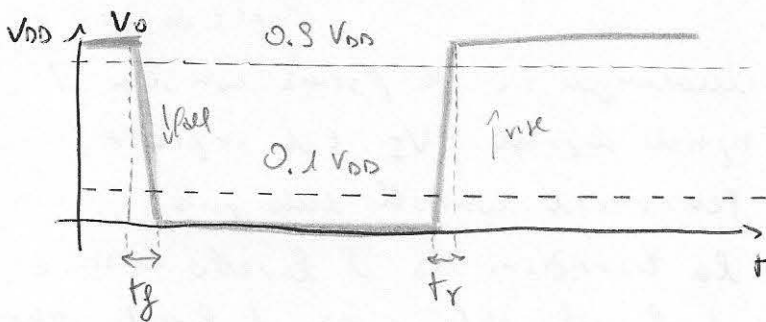
RITARDO DELL' INVERTER

ca. l'effetto capacitivo del transistor

- La dinamica del MOSFET limita la velocità di risposta dell'inverter
 - Ritardo tra ingresso e uscita
 - Limite alla velocità operativa (qualunque porta logica ha un limite)
- (costa commutazione di stato al fine di realizzare l'operazione logica.
Ritardo tra commutazione di stato del transistor e valore della porta di uscita

I segnali non possono variare più rapidamente del tempo richiesto alla singola porta logica per effettuare l'operazione logica, ovvero per effettuare la commutazione.
Disponibili perché sono più veloci => velocità operativa alta

Tempi di salita e discesa



Concentrandosi sul segnale di uscita V_O abbiamo che quando $V_I = 0 \Rightarrow V_O = 1 = V_{OH}$. Quando il segnale di ingresso verso l'1, allora l'uscita deve commutare verso lo 0. Questa commutazione non richiede un tempo finito per avvenire, detto t_f ($f = fall$, discesa).

Tempo di salita t_r (rise)

Tempo di discesa t_f (fall)

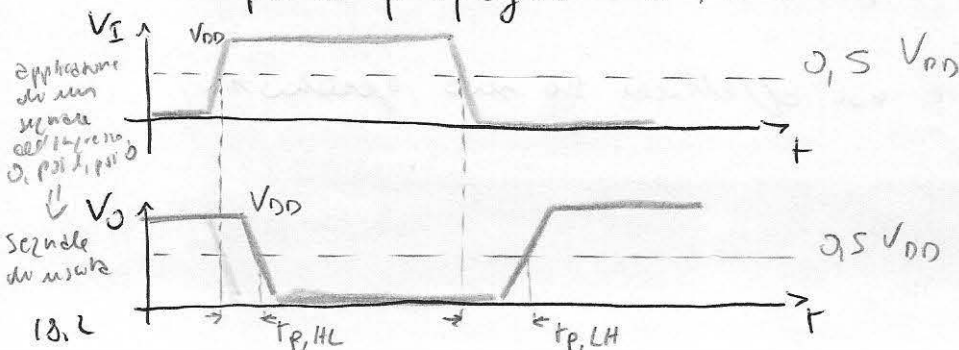
tempo di escursione tra il 10% e il 90% del massimo del segnale di uscita

Tempo di discesa t_f è il tempo necessario affinché l'uscita passi dal 90% del valore iniziale al 10%, in questo caso di V_{OH} .

Tempo di salita t_r è il tempo di transizione tra il livello basso e il livello alto del segnale di uscita V_O ed è il tempo che intercorre tra il 10% del valore picco ($V_O = V_{OH}$) e il 90% del valore picco (di $V_O = V_{OH}$)

La propagazione all'interno della porta logica viene misurata con il cosiddetto tempo di propagazione.

Tempo di propagazione, circuito inverter



Si applica un segnale di ingresso pari a 0, poi 1, poi 0; dal esso comparirà un segnale di uscita. Si notano i tempi. Inverti la polarità poiché essere diverso dai tempi di salita e di discesa non sono necessariamente uguali

Il tempo di propagazione all'interno della porta logica è definito con l'esperimento al 50% dell'escursione.

$t_{p, HL}$ è il tempo di propagazione del livello alto al livello basso, misurato quando in uscita l'ingresso raggiunge il 50% del suo massimo fino e quando in uscita l'uscita raggiunge il 50% del suo massimo.

$t_{p, LH}$ è il tempo di propagazione misurato da quando l'ingresso raggiunge il 50% del suo valore e quando l'uscita raggiunge il 50% del valore di uscita.

In genere si due tempi di propagazione sono diversi tra loro, si calcola il tempo medio di propagazione

$$t_p = (t_{p, HL} + t_{p, LH}) \cdot \frac{1}{2}$$

media aritmetica tra $t_{p, HL}$ e $t_{p, LH}$

↳ parametro che misura i ritardi intrinseci alla propagazione del segnale all'interno della porta

FAN OUT

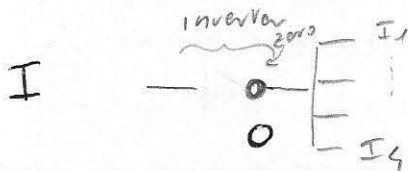
12:59

Una porta logica deve essere in grado di pilotare diversi circuiti e quindi altre porte logiche. (caso di porte logiche)

Il numero di porte che possono essere collegate all'uscita è detto fan out.

NON DIMENTICARE LE PRESSIONI NEI DUE PUNTI RITARDI UN INTERVALLO PREDEFINITO.

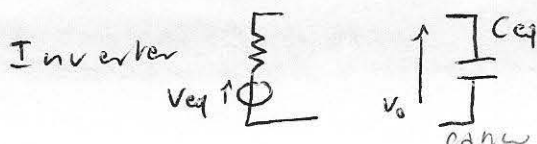
LIMITE al FAN OUT di una PORTA NOT (es. un invertitore)



Ingresso = gate, μ un NOT

Carico: altra porta NOT $\Rightarrow C$ (condensatore) condensatore di capacità C

Uscita: generatore di tensione



carico:

$$C_{eq} = hC$$

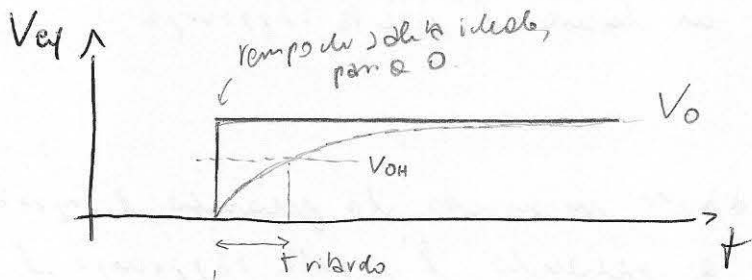
↳ dipende dal numero di cond.

↳ vale la capacità che rappresenta l'ingresso di una singola porta logica

↳ perché sono le cariche,

Al crescere del numero di porte logiche collegate all'uscita aumenterà la capacità equivalente che il generatore che rappresenta l'uscita dell'inverter deve alimentare.

Quindi al crescere del numero di porte collegate, cresce C_{eq} , aumenta la costante di tempo del circuito RC.



Per questo istante la tensione del generatore di tensione passa istantaneamente da 0 a V_{DD} .

Il generatore alimenta un carico, che è una capacità C_{eq} ; un circuito RC presenta la tensione sul condensatore che cresce esponenzialmente nel tempo e, quando la tensione totale applicata al condensatore è uguale al generatore, vede la tensione, salta istantaneamente ad un valore V_{DD} . Il valore esponenziale tende al valore picco V_{DD} .

La costante di tempo che caratterizza l'andamento esponenziale è la costante RC del circuito, in cui R è la resistenza interna del generatore, quella che corrisponde al transistor MOS che è in conduzione, e C è la capacità equivalente, quello che rappresenta il carico, dal quale è indipendente poiché dipende dalla resistenza di canale del transistor MOS che sta conducendo. Aumentando il numero di porte collegate aumenta il valore della capacità e quindi della costante di tempo RC. Questo comporta una diminuzione della rapidità con cui cresce l'esponenziale e questo fa aumentare il tempo di ritardo associato alle porte logiche poiché aumenta il tempo necessario affinché l'uscita raggiunga il 50% del suo valore.

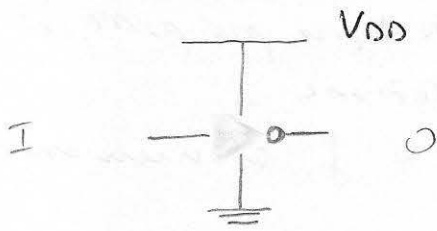
Il numero di carichi in flanco il tempo di propagazione delle porte, quindi il numero di carichi che deve essere limitato al fine di mantenere il tempo di propagazione entro certe limiti.

IL CONSUMO di POTENZA di una PORTA LOGICA

21/54

inverter

BILANCIO ENERGETICO



Energia fornita da V_I (trascurabile) e da V_{DD} .
 In altre parole, perché l'ingresso è capacitivo e l'energia assorbita è in pratica nulla.

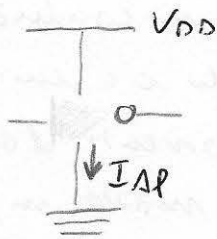
L'energia, fornita sostanzialmente da V_{DD} è ceduta all'uscita, e utilizzata per il funzionamento della porta logica e viene dissipata, cioè trasformata in calore.

Poiché V_{DD} è costante ed è la principale fonte di energia dell'invertitore il consumo è definito dalle correnti fornite dal generatore e corrente assorbita dalla porta logica.

POTENZA STATICA P_S

1° parametro di consumo di porta logica 24/38

Potenza assorbita in assenza di commutazione



$$P_S = V_{DD} \cdot I_{DP}$$

I_{DP} : Alimentazione corrente fornita dall'alimentazione

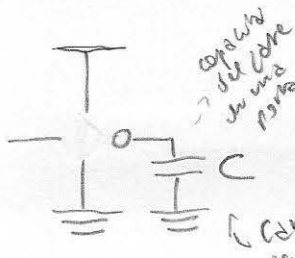
I_{DP} modella l'assorbimento, perché uno dei due è un diodo. μ (CMOS) trascurabile. \downarrow importante pratica modello

In CMOS il transistor che costituisce l'elemento di pull-down è in circuito aperto quando l'uscita è pari a 1, ma è in condizione di conduzione quando l'uscita è pari a 0 e quindi, a seconda dello stato possono avere una potenza statica assorbita $\neq 0$.

POTENZA DINAMICA P_D

in condizione di commutazione

Potenza assorbita per eseguire una commutazione dell'uscita (da 0 a 1 o da 1 a 0)



$$Q = C V_{DD}$$

Q = carica, questo

$$I = f Q = f C V_{DD}$$

è elemento variabile: cioè la carica del conduttore varia da uno stato all'altro per $0 \rightarrow C \cdot V_{DD}$

f sono il numero di commutazioni al sec. \downarrow corrispondenti corrente, f sono il numero di commutazioni al sec.

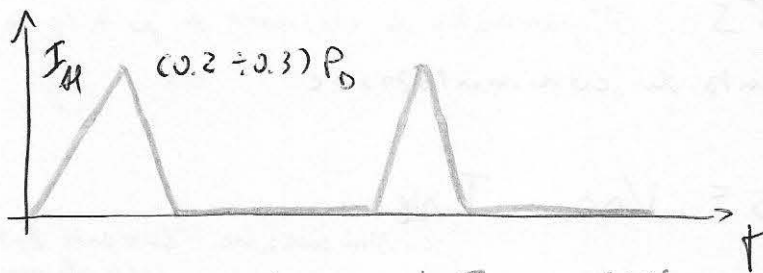
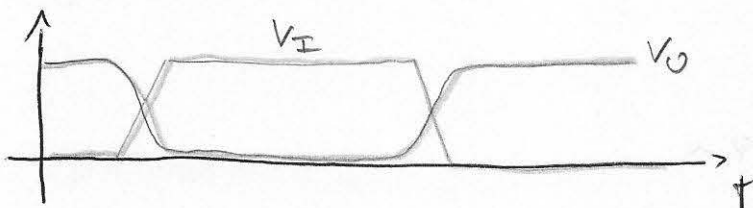
$$P_D = V_{DD} \cdot I = f C V_{DD}^2$$

capacità

La potenza dinamica P_D , in tecnologia CMOS è il contributo dominante alle potenze assorbita dal circuito logico ed essa cresce con il quadrato della tensione di alimentazione. Questo implica che impacchettando in un circuito logico più porte, è conveniente ridurre la tensione di alimentazione. La potenza dinamica P_D è proporzionale a f , al numero di commutazioni al secondo.

CMOS: correnti di "cortocircuito"

È un notevole contributo, in tecnologia CMOS, di potenza dinamica dissipata



Minimizzare delle correnti I_M in CMOS: ondulamenti e picchi.

1/4 X picco = commutazione in ingresso e uscita, le due curve V_I e V_O sono diverse da 0 logic e 1 logic.

I picchi di corrente determinano

una potenza dissipata istantanea ($= V_{DD} \cdot I_M$),

se il circuito è progettato bene questi picchi rappresentano tra il 20% e il 30% della potenza dinamica P_D , quindi una potenza "piccola", ma non trascurabile.

Questo ci conduce al concetto di potenza P_{eff} ritardata

In CMOS, $P_D = 0$ perché uno dei due transistori P_{DS} (uno dei due interconnessi) è sempre spento.

Ma in fase di transizione entrambi i transistori P_{DS} sono in conduzione e quindi c'è un passaggio di corrente da V_{DD} verso massa in quanto c'è un percorso conduttivo con resistenza finita che connette la tensione di alimentazione con massa.

PRODOTTO POTENZA - RITARDO

33/00

Energia necessaria per una operazione logica

$$P_{AV} \cdot t_p$$

↳ tempo medio di propagazione di ogni porta logica
↳ P. media dissipata del circ. logico

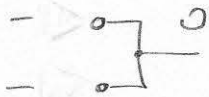
P_{AV} : potenza dissipata media

In tecnologia CMOS $P_{AV} t_p \geq \frac{C V_{DD}^2}{5}$

INTERFACCIAAMENTO TRA PORTE LOGICHE

34/25

Collegamento tra due uscite CMOS



slide 10

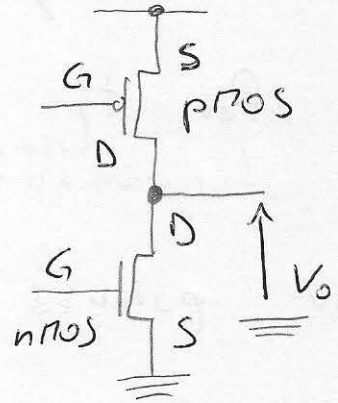
slide 21

È evidente che una normale uscita push-pull dei due invertitori non consente un collegamento diretto delle uscite e la soluzione è un problema e quello di usare due uscite rendendo indipendente il controllo dei due MOS.

SOLUZIONI: USCITA A TRE STATI

I due MOS hanno controlli indipendenti, in modo da poter commutare in modo indipendente i due interruttori, quindi esiste una condizione particolare di funzionamento.

I due interruttori possono essere entrambi aperti (condizione di interdizione) => uscita fluttuante

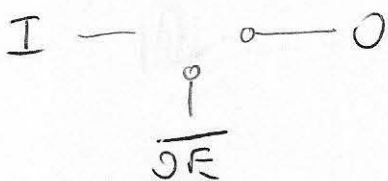


Questo terzo stato di uscita è detto di alta impedenza, che non è definita dal punto di vista logico e non ha quindi un valore logico ben definito, ma è uno stato che non elimina il problema delle condutture di corrente, con possibilità di un cortocircuito con entrambi gli interruttori chiusi.

Quando si realizza una tecnologia di questo tipo si parla di inverter a tre stati

INVERTER A TRE STATI

38:02



\overline{OE} = output enable, attivo basso
 è un segnale di controllo

altro tipo dell'inverter
 quando 0 l'uscita è chiusa, quando 1 l'uscita è nello stato di alta impedenza

TAVOLA DELLA VERITÀ INVERTER A TRE STATI

I_{in}	\overline{OE}	O_{out}
0	0	1
1	0	0
-	1	Alta impedenza

$\overline{OE} = 0 \Rightarrow$ uscita abilitata (con prestazioni come inverter normale)

COLLEGAMENTO delle varie uscite

Occorre un modulo di controllo che genera il comando di enable

Neu si deve la conoscenza e prova dell'inverter da abilitare

slide 24

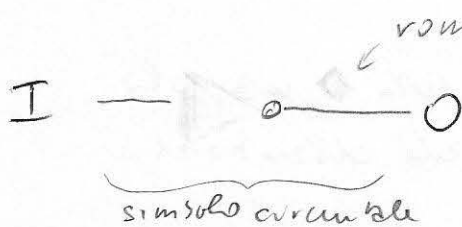
USCITA OPEN COLLECTOR/DRAIN

modo open drain

Questa è l'altra possibilità per lo soluzione al problema del corto circuito in uscita

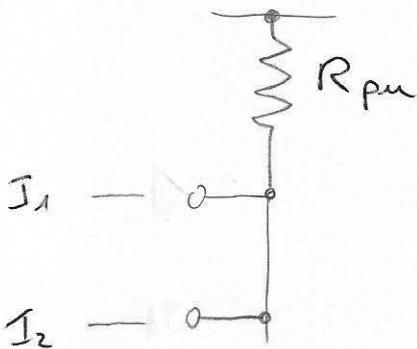
Lo stadio di uscita ha il solo transistor di pull down non ha l'elemento di pull up

La resistenza di pull up deve essere inserita dall'esterno quando si collegano le varie uscite



rimbalzo sull'uscita => induce mancanza di elementi di pull-up

Utilizzo



0 = 0 se almeno un inverter ha uscita 0

Porta NOR

I ₁	I ₂	O
0	0	1
0	1	0
1	0	0
1	1	0

WIRED OR e WIRED AND

In termini delle uscite O_1, O_2, \dots

Il collegamento rende $O = 0$ se almeno uno $O_i = 0$
(OR in logica con $1 = 0V$)

Il collegamento rende $O = 1$ se tutte $O_i = 1$
(AND in logica con $1 = V_{DD} V$)

Applicazione:

Linea di richiesta di interrupt^T



Non si richiede trasferimento di dati, ma solo
l'indicazione che un modulo richiede attenzione.
collegato in WIRED OR

Le porte logiche in tecnologia MOS

Prof. Fabrizio Bonani

39'28"

• Richiami di algebra booleana *vd slides*

- La porta NOR in tecnologia MOS
- La porta NAND in tecnologia MOS
- Porte logiche MOS complesse

RETI COMBINATORIE

operazione combinatorie applicata ai circuiti

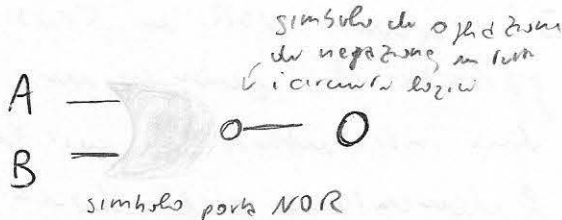
concetto di operazione combinatoria

08:00

In una rete combinatoria il segnale si propaga direttamente dagli ingressi alle uscite, quindi senza retroazioni.

L'uscita della rete combinatoria dipende solo dagli ingressi e quell'istante (a parte i ritardi...), trascurando i tempi di propagazione del segnale attraverso le porte.

LA PORTA NOR IN TECNOLOGIA MOS



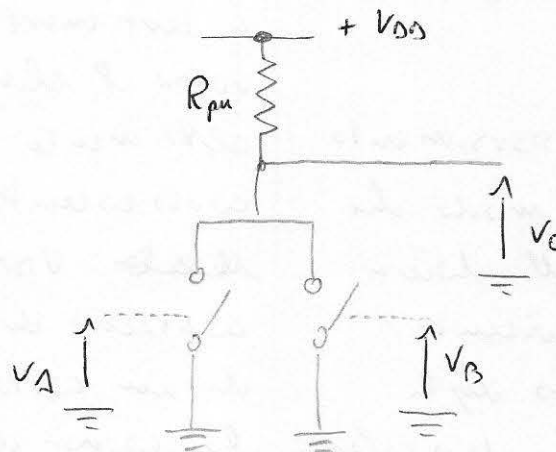
Operazione logica $O = \overline{(A+B)} = \bar{A} \bar{B}$
per il teorema di De Morgan

Tavolo della verità

A	B	O
0	0	1
0	1	0
1	0	0
1	1	0

A e B ingressi

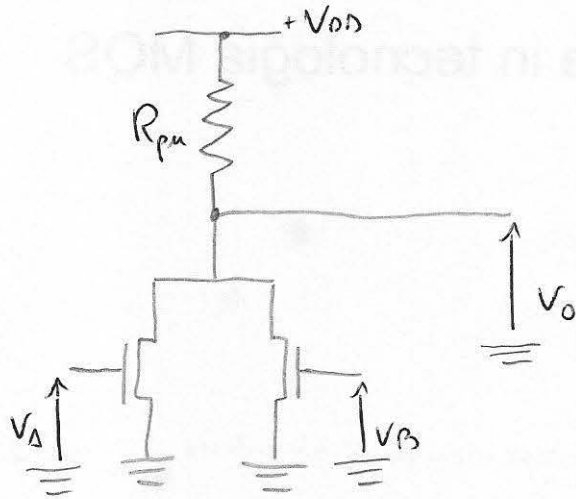
Implementazione nMOS



chiusura quando $I=1$
 Intervallata in parallelo controllata dagli ingressi.
 $O = V_{DD}$ quando entrambi gli interruttori sono Cd., cioè se $B=0$

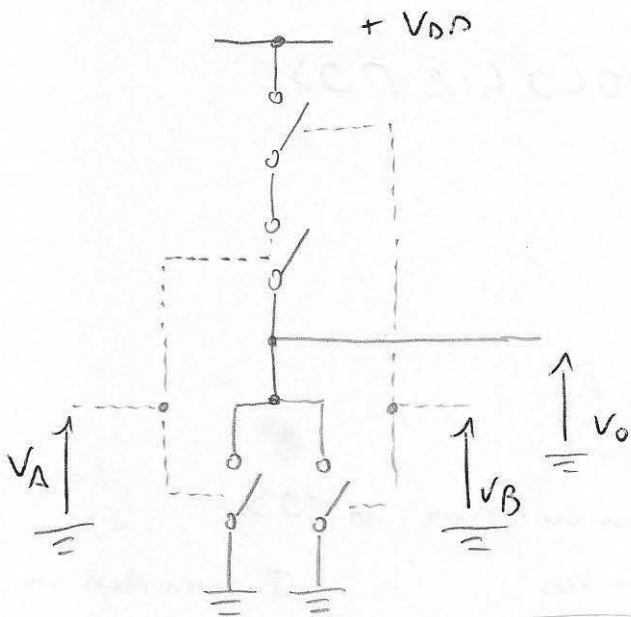
Pull-up passivo $\Rightarrow R_{pu}$

Implementazione nMOS con due interruttori realizzabili con nMOS con tensioni di soglia positive.



Applicando all'ingresso 0V al transistore corrispondente e sotto soglia e quindi si comporta da circuito aperto (cioè $I=0 \Rightarrow$ interruttore aperto). Quando, invece, uno dei due ingressi è pari a 1 ($=V_{DD}$) allora la tensione di soglia del transistore nMOS deve essere >0 , ma $<V_{DD}$ e il transistore va in conduzione e può essere rappresentato come un interruttore chiuso.

Implementazione CMOS



Per garantire che l'assorbimento sia zero facendo un modo che il collegamento di pull-down diventa un cortocircuito quando almeno uno degli ingressi è pari a 1 dei collegamenti come un circuito di pull-up che garantisce che si

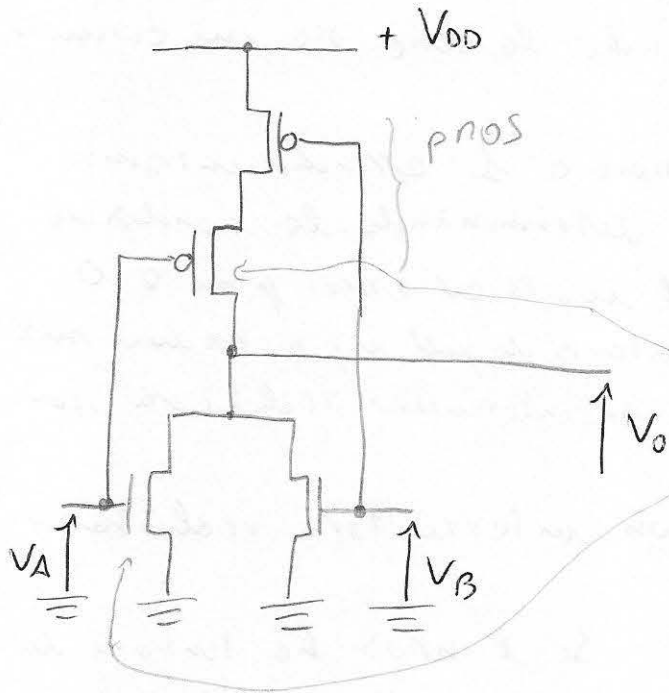
La rete di pull-up deve garantire assorbimento nullo. Il circuito NOR in CMOS deve garantire che quando uno dei due interruttori che costituiscono l'elemento di pull-down è chiuso, cioè è in corto circuito l'uscita viene cortocircuitata a massa, ma contemporaneamente a deve essere un circuito aperto verso l'alimentazione V_{DD} altrimenti si avrebbe un corto circuito tra ~~uscita~~ V_{DD} e massa \Rightarrow alto consumo di corrente e creazione di un corto circuito, stato logico non definito e possibile distruzione.

~

comporta da circuito aperto quando almeno uno dei due interruttori sottostanti sia chiuso.

Cioè l'interruttore di pull-up deve essere aperto quando almeno uno dei due interruttori in parallelo è chiuso. Si deve costruire lo serie di due interruttori, questo ammette una immediata implementazione in CMOS

Implementazione in CMOS



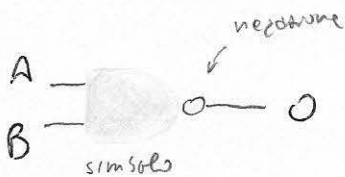
Anche due interruttori serie, di pull-up, si sostituiscono due transistori nMOS e canale p, e due interruttori in parallelo di pull-down, due transistori nMOS e canale n.

Input:

Se $V_A = 1 = V_{DD} \Rightarrow$ interrutto in conduzione; pMOS in interdizione, perché V_{GS} è sottotensione e il transistor è interdetto \Rightarrow il circuito viene garantita l'interdizione del circuito di pull-up quando quello di pull-down è in conduzione. Analogamente vale per la coppia che compone l'ingresso B.

LA PORTA NAND in TECNOLOGIA CMOS

17:12

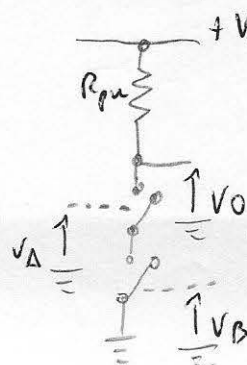


operazione logica $O = \overline{AB} = \overline{A} + \overline{B}$
per il T. de De Morgan

Tabella delle verità

A	B	O
0	0	1
0	1	1
1	0	1
1	1	0

Implementazione in CMOS



Interruttori in serie controllati dagli ingressi.
 Pull-up passivo

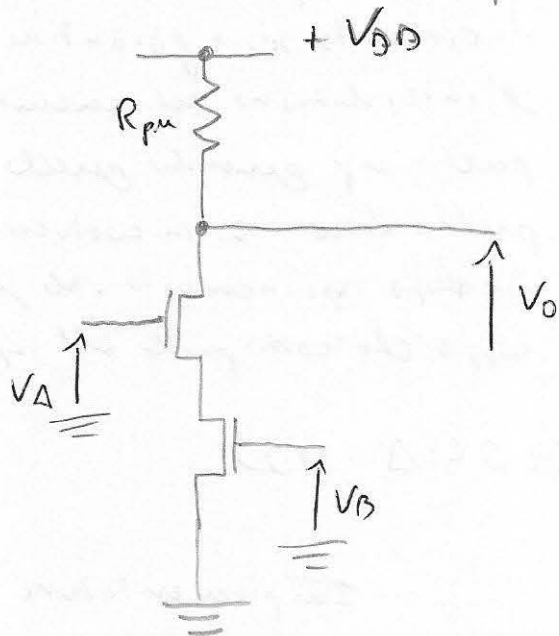
Quando il pull-up è di tipo passivo (Resistenza R_{pu}) gli interruttori che sono chiusi quando $I=1$ e quelli che sono aperti quando $I=0$ sono messi in serie.

La serie dei due interruttori garantisce che è sufficiente che uno dei due sia aperto perché lo serie si comporta da circuito aperto e quindi l'uscita vale il valore I , il valore di tensione V_{DD} .

Poiché gli interruttori di pull down sono chiusi quando $I=1$ e sono aperti quando $I=0$, essendo in serie basta che uno ~~dei~~ soltanto attivi $I=0$ affinché lo serie sia un circuito aperto.

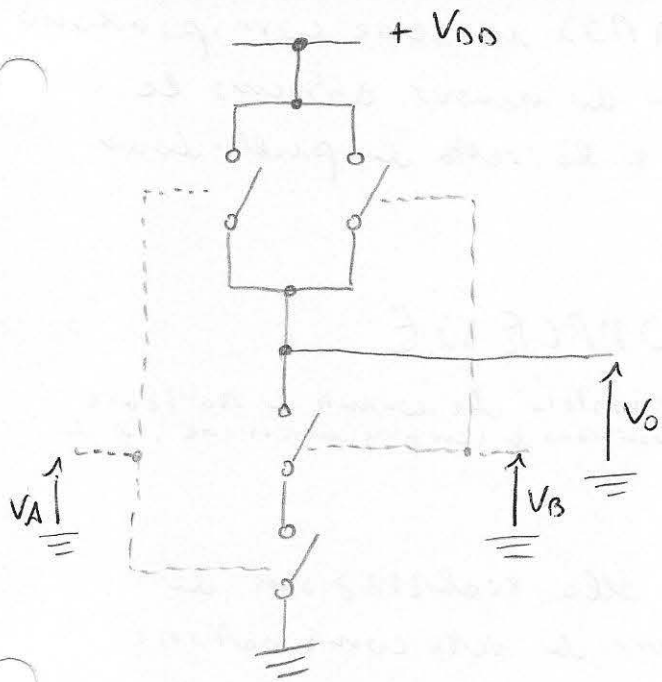
Entrambi gli ingressi devono essere a 1 affinché entrambi gli interruttori siano chiusi determinando la conduttanza del cortocircuito che porta l'uscita ad essere pari a 0. Questa implementazione con versioni di pull up si traduce molto con la implementazione nMOS ad interruttori resistivi con nMOS.

Implementazione nMOS con interruttori resistivi con nMOS e pull-up passivo



Se l'nMOS ha tensione di soglia $V_{th,n}$ > 0 e $< V_{DD}$ (cioè non andrebbe mai in conduttanza), si comporta da circuito aperto quando $I=0$, e 0V quando in conduttanza quando $I=1 \Rightarrow I=V_{DD}$.

Implementazione in CMOS



Il circuito di pull-up non è una resistenza ma è costituito da interruttori. La rete di pull-up deve garantire assorbimento nullo.

Tali interruttori hanno un comportamento opposto a quelli di pull-down: sono chiusi quando $I=0$ e sono aperti quando $I=1$.

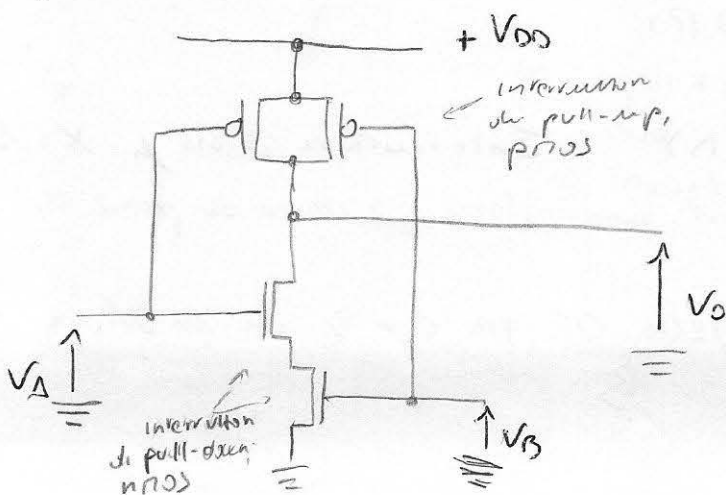
Il pull-down deve essere un cortocircuito quando entrambi gli ingressi sono a 1.

Il circuito di pull-up deve garantire la presenza di un circuito aperto senza si crei un enorme assorbimento di corrente.

Inoltre, volendo l'uscita pari a 1, occorre che gli interruttori di pull-down siano aperti (quando almeno uno dei due è 1) ma contemporaneamente, affinché la tensione di uscita sia portata a V_{DD} , cioè l'uscita vada a 1, occorre che esista una condizione di cortocircuito tra l'uscita e la tensione V_{DD} e quando uno dei due elementi chiuso verso V_{DD} .

Per il collegamento in parallelo è sufficiente che uno dei due ingressi sia 0 affinché il corrispondente interruttori sia chiuso e quando l'uscita venga portata a V_{DD} .

Si realizza immediatamente in tecnologia CMOS, presento sopra descritto.



I due interruttori di pull-down che devono essere chiusi quando $I=1$ sono transistori PMOS e conde n.

I due interruttori di pull-up, che devono essere chiusi quando $I=0$ sono transistori NMOS e conde p. Questa è dunque

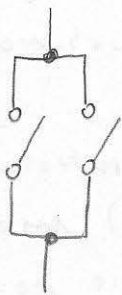
la forma circuitale della porta NAND in tecnologia CMOS.
 Nota che se due transistor NMOS in serie corrispondono
 due PMOS in parallelo, quindi da nuovo abbiamo la
 dualità tra le rette di pull-up e le rette di pull-down.

PORTE LOGICHE MOS COMPLESSE

26:00

Per complesso si intende un collegamento di transistor che consente di realizzare
 una porta combinatoria che compie operazioni che non siano di semplice inversione, o di
 NAND o di NOR.

La tecnologia MOS si presta bene alla realizzazione di
 funzioni logiche complesse, ovvero di reti combinatorie
 complesse.



OR dei
 segnali di
 controllo

⇓
 CORRISPONDENZA
 DIRETTA TRA IL
 COLLEGAMENTO PARALLELO
 DEI DUE INTERRUITORI
 CONTROLLATI DAI RISPETTI
 SEGNALI DI INGRESSO
 E LA OR DI TALI SEGNALI
 DI INGRESSO.



AND dei segnali
 di controllo.

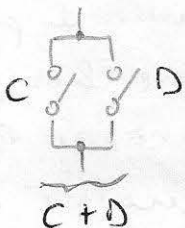
LA SERIE È UN APERTO QUANDO
 UNO DEI DUE INTERRUITORI È
 APERTO.

IL PARALLELO
 È CHIUSO
 QUANDO È
 CHIUSO ALMENO
 UNO DEI
 DUE INTERRUITORI

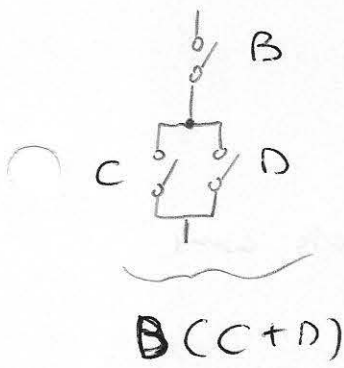
A questo corrisponde una tecnica per realizzare una rete di
 interruttori che realizza una operazione logica come somma
 di prodotti

RETI DI INTERRUITORI

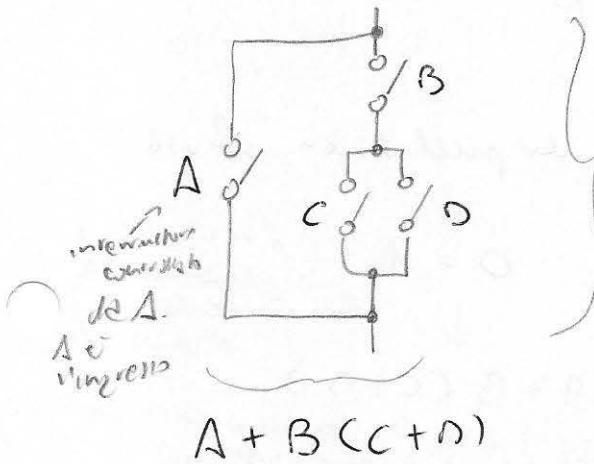
$A + BC + BD = A + B(C + D)$ AND tra B e (OR tra C e D) Interruttore chiuso per $X=1$
 Funzione logica da realizzare con una rete combinatoria, somma di prodotti



redondanze dello OR tra C e D, da mettere
 un AND con B



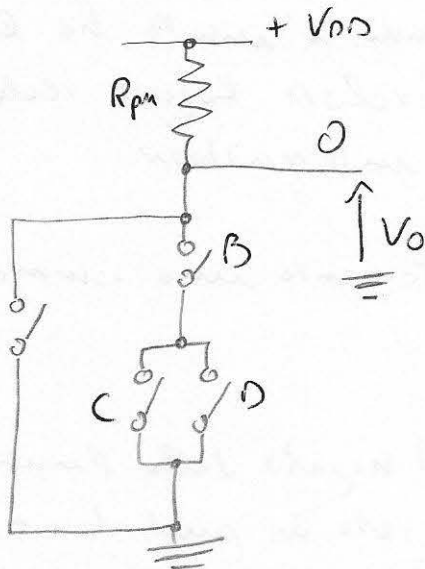
Questo realizza $B(C+D)$, da mettere in parallelo con A \Rightarrow si mette in serie con A il risultato ottenuto



Questo realizza $A+B(C+D)$
L'interruttore controllato da A è messo in parallelo alla serie dell'interruttore controllato da B e me volta collegato al parallelo degli interruttori controllati da C e D

Questo tipo di considerazione consente la realizzazione di una rete di pull down

USO COME RETE di PULL DOWN



Rete di pull-down chiusa

$$O = 0$$

$$O = \overline{A+B(C+D)}$$

Supponendo di usare la rete di interruzione come una rete di pull-down succede che quando la rete di interruzione è chiusa, quando cioè il valore che realizza è

pari a 1 abbiamo che l'uscita è portata a 0.

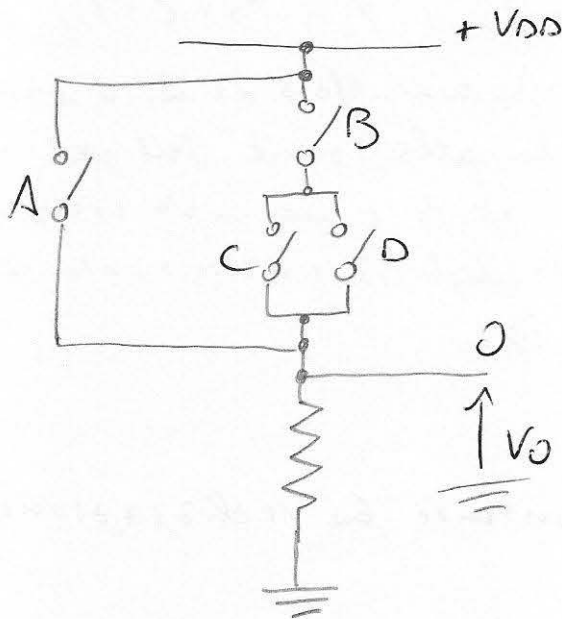
Viceversa, quando la rete di interruzione ha valore 0 essa è un circuito aperto e quindi l'uscita vale 1, quindi la rete di interruzione usata come rete di pull-down

realizza il negato della funzione logica.

Quando $O = \overline{A + B(C + D)}$

Facciamo lo stesso ragionamento utilizzando la rete come rete di pull-up, abbiamo quanto segue.

UNO CONE RETE di PULL-UP



Rete di pull down chiusa

$O = 1$ (l'uscita vale 1 quando la rete logica è chiusa)

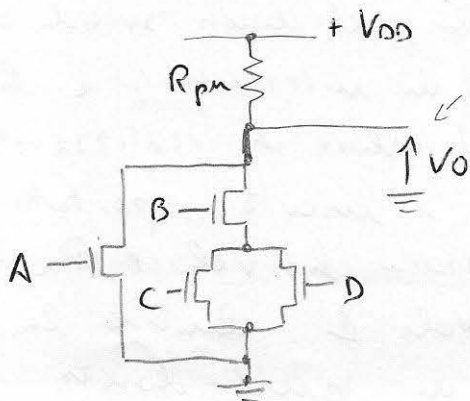
$O = A + B(C + D)$

L'uscita logica O è esattamente la funzione logica $A + B(C + D)$

Se la rete di pull-up è sempre realizzata con transistor che si chiudono quando l'ingresso è 1 succede che quando la rete è chiusa l'uscita vale V_{DD} e quando l'uscita ha lo stesso valore logico realizzato dalla interruzione

Questo ci indica come realizzare immediatamente una somma di prodotti in tecnologia nMOS

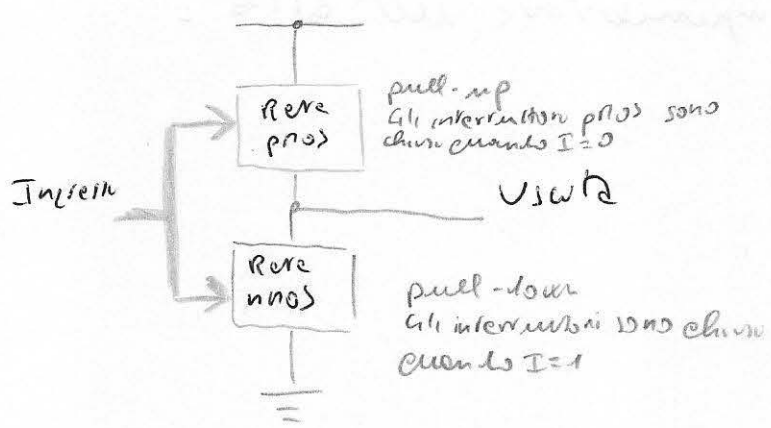
Tecnologia nMOS, che realizza il negato della funzione che corrisponde alla rete di pull down.



momento per un inverter se ha la funzione.

TECNOLOGIA CMOS

Realizzazione di un'equazione booleana



Per garantire il corretto funzionamento delle porte logiche complesse occorre che quando la rete PUN è chiusa la rete PDN deve essere aperta e viceversa quando la rete PDN rappresenta un circuito aperto, la rete PUN deve rappresentare un corto circuito.

La rete di pull-up realizza il negato del pull-down.

Tenendo conto che i PUN di pull-up sono chiusi con segnale di ingresso basso, l'uso dei PUN implementa automaticamente l'inversione dell'ingresso.

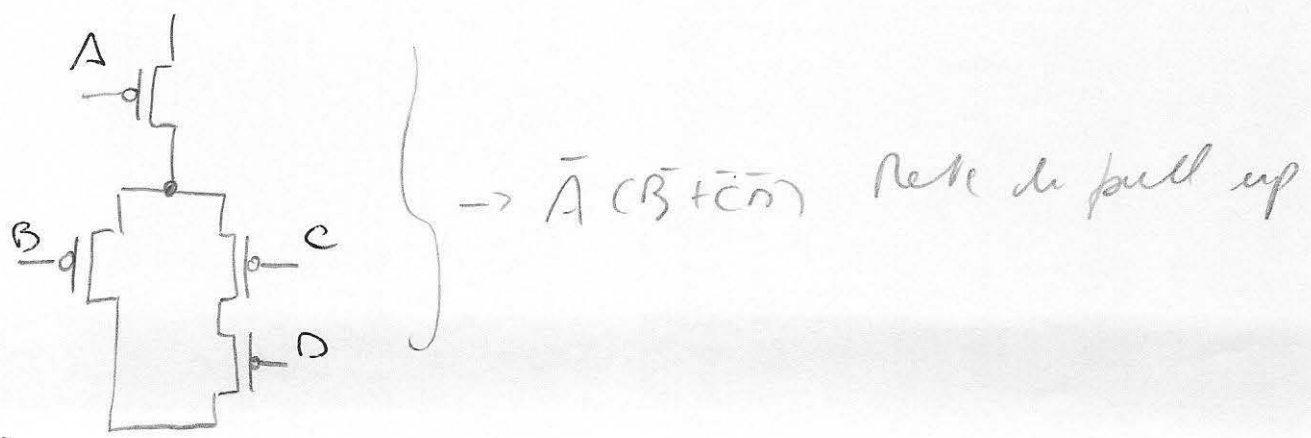
La rete di pull-up si ottiene usando il Teorema di De Morgan:

$$O = \overline{A + B(C + D)} = \bar{A}(\bar{B} + \bar{C}\bar{D})$$

In porta

$$O = 1 = \bar{A}(\bar{B} + \bar{C}\bar{D}) \quad \begin{cases} \text{PU chiuso} \\ \text{PD aperto} \end{cases}$$

$$O = 0 = \bar{A}(\bar{B} + \bar{C}\bar{D}) \quad \begin{cases} \text{PU aperto} \\ \text{PD chiuso} \end{cases}$$



Porta cros

Le due reti, la pull up e la pull down sono una la complementare dell'altra -

slide 33

$$0 = A + \bar{A} = A + \bar{A} = 1$$

$$0 = 1 = A + \bar{A} = 1 = 0$$



Prof. Fabrizio Bonani
40'37"

- L'elemento base di memoria
- Il flip-flop Set-Reset
- Il flip-flop D

CIRCUITI SEQUENZIALI

contrapposto a quelli combinatori

Sono circuiti digitali nei quali le uscite al tempo t_2 dipendono
 • dagli ingressi al tempo t_1
 • dagli ingressi al tempo $t < t_1$

Quindi devono contenere elementi di memoria

Per cui dobbiamo identificare un circuito che sia in grado di mantenere in memoria un dato ovvero che mantenga lo stato logico posto in esso anche in istanti di tempo successivi oltre a quelli gli ingressi non sono presenti.

L'elemento base usato nella logica sequenziale per realizzare un elemento di memoria è il circuito latch.

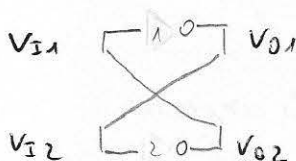
CIRCUITO LATCH (chiaviello)

È costituito da un collegamento serie tra due invertori e collegati ad anello

Ai nodi invertor

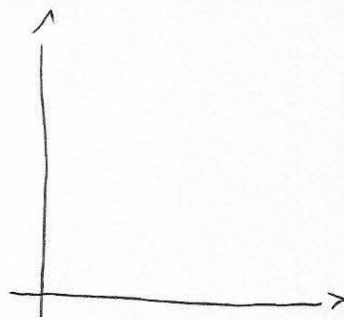
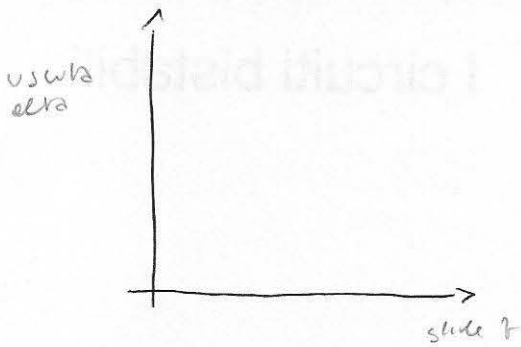


L'anello di invertor viene definito
 rappresentato uno sopra l'altro

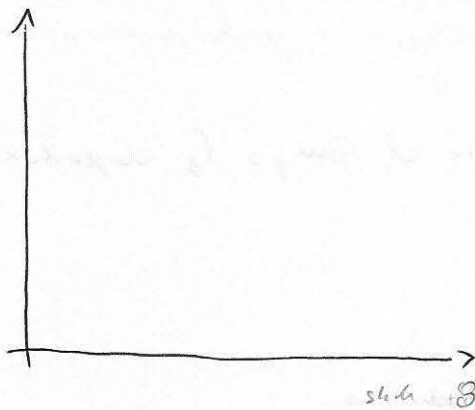


$$\left. \begin{aligned} V_{I1} &= V_{O2} \\ V_{I2} &= V_{O1} \end{aligned} \right\} \text{ Vincoli circuitali}$$

^(slide 7)
Caratteristiche di ingresso / uscita



Tenendo conto dei vincoli circuitali (⇒ scambio di stati)



Le caratteristiche si inseriscono in tre punti che sono i tre possibili punti di funzionamento in cui andare a collocare i due invertiti.

I due punti di lavoro esterni sono detti punti di lavoro stabile.

Il terzo è instabile.

Sono le tre soluzioni comuni all'insieme delle equazioni date dalle caratteristiche statiche e dai vincoli circuitali.

Il punto di lavoro di un circuito è stabile quando una variazione non fa spostare il circuito da quel punto, cioè una piccola perturbazione (tensione o corrente) dopo un piccolo transitorio, viene riassorbita.

In un punto di lavoro instabile una piccola perturbazione innescò un transitorio allo fine del quale il circuito si troverà e lavorerà in un punto di lavoro stabile, cioè viene abbandonato il punto di lavoro instabile. Il punto di lavoro instabile è usato per i circuiti di memoria.

Se il latch lavora in un punto di lavoro stabile, memorizza il dato di uscita.

Per poter inserire un dato occorre aggiornare degli ingressi.

IL FLIP-FLOP SET-RESET

Esso realizza un anello di porte NOR

Un ingresso di una porta
è detto di set e un
ingresso dell'altra è
detto di reset, S e R

Slide 12

Per comprendere come questo circuito realizza un elemento di memoria occorre studiarne la tavola delle verità.

Slide 13 a 16

Riassunto

Condizioni di comando

$$S=1 \text{ e}$$

$$R=0 \text{ e}$$

Condizione di memoria

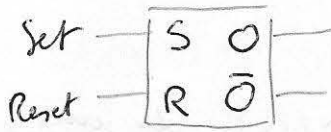
$$S=0 \text{ e } R=0$$

Condizione non permessa

$$S=1 \text{ e } R=1$$

(slide 17)

Nelle versioni NOR i comandi S e R sono attivi alta



La condizione di commutazione del Flip-Flop viene portata portando 0 o 1 uno dei due ingressi, di Set o di Reset.

Quando i comandi di Set e Reset sono entrambi sul valore di 0 il Flip-Flop mantiene in memoria lo stato precedentemente presente.

altro
altro

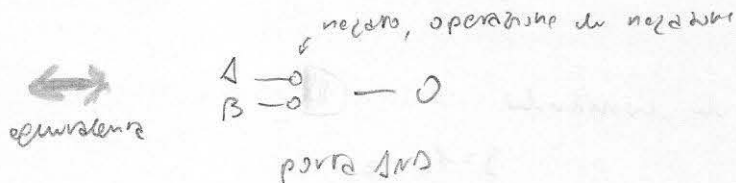
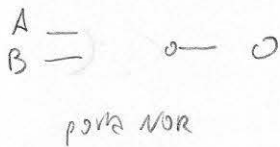
FLIP FLOP SET RESET A NAND

24/33

Collegamento del circuito non con due porte NOR, ma con due porte NAND.

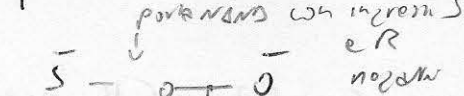
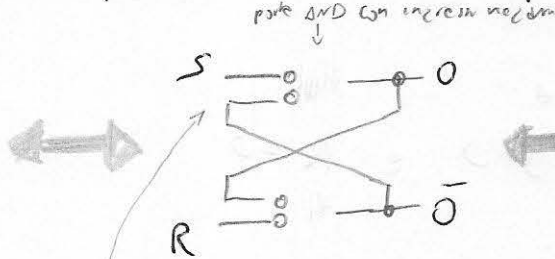
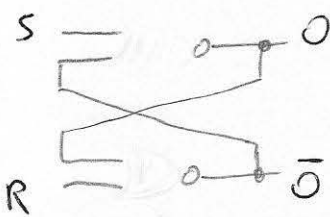
La porta NOR corrisponde alle AND tra il negato dei due ingressi, cioè, grazie al Teorema di De Morgan

$$0 = (\overline{A+B}) = \overline{A} \overline{B}$$

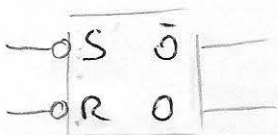


equivalenza

Implementazione dell'equivalenza sul Flip-Flop Set Reset



Quindi, nella versione NAND i comandi S e R sono attivi bassi



F.F. a NAND

Chiamo i due ingressi contemporaneamente negati
negare questo ingresso equivale a prelevare direttamente il negato dell'uscita della porta AND e quindi equivale a sostituire alle due porte NAND con i due ingressi negati, una porta NAND con l'ingresso di Set negato e l'ingresso di Reset negato => i comandi S e R sono attivi bassi, cioè portano la commutazione del F.F. quando portano 1 e 0 e mantengono effetto di memoria quando entrambi 1.

IL FLIP FLOP D

I circuiti logici asincroni e sincroni

Il flip flop SR commuta quando su presentano gli ingressi
 => circuito asincrono

Cioè la commutazione su presenta istantaneamente, fatto salvo i ritardi, nel momento nel quale gli ingressi assumono il valore previsto.

Quindi su parla di circuito asincrono quando la commutazione in un circuito dipende esclusivamente del valore dei suoi ingressi.

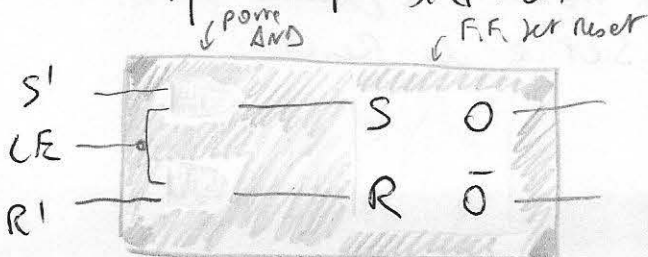
Ci sono però circuiti nei quali il valore dell'uscita viene determinato solo in presenza di un particolare segnale di abilitazione, che può essere a sua volta un segnale di abilitazione sincrono oppure un segnale di clock (o di orologio) che codifica gli istanti di tempo con i quali il circuito logico effettua la valutazione dei suoi ingressi in modo tale da determinare i valori dell'uscita.

I circuiti che valutano le uscite in presenza di un segnale di abilitazione, o di clock, sono detti

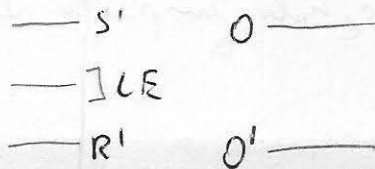
circuiti sincroni, c'è un segnale che sincronizza la valutazione delle uscite, e esso è periodico nel tempo, su porta di segnale di clock.

Per rendere sincrono un F.F. di tipo Set Reset si introduce un ulteriore ingresso, di abilitazione, rappresentato con il simbolo LE (Latch Enable)

Il Flip Flop latch



simbolo del F.F. latch



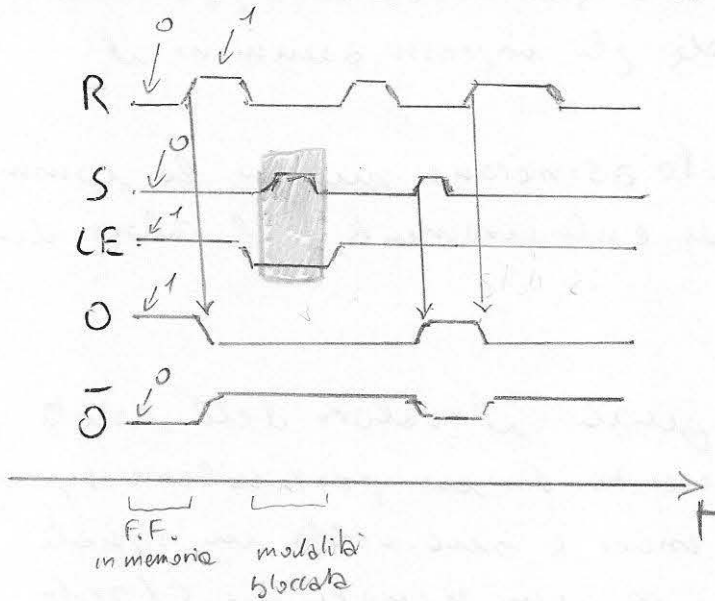
LE = 0 => RS in memoria (latched mode) porte AND = 0 => S=0, R=0
 LE = 1 => RS segue gli ingressi (transparent mode) porte AND = 1 => S=R'

segnale di abilitazione
 20.5

In transparent mode le due porte AND non danno effetto.

Il segnale di attivazione LE consente di passare alla modalità trasparente quando esso è pari a 1 e quando esso è attivo alto.

SEGNALI NEL FLIP FLOP LATCH



R parte a 0 poi sale e scende alcune volte, corrispondentemente il segnale di Set assume valore 1 in due intervalli. Il segnale LE è quello di abilitazione che vale 1 sempre tranne che in un intervallo intermedio, evidenziato.

Analizzando l'uscita Q

(Q è la sua negazione) vediamo che inizialmente il Flip-Flop è abilitato poiché $LE = 1$, $R = 0$ e $S = 0$ e supponiamo che l'ingresso sia pari a 1, $Q = 1$. In queste condizioni il F.F. è in memoria.

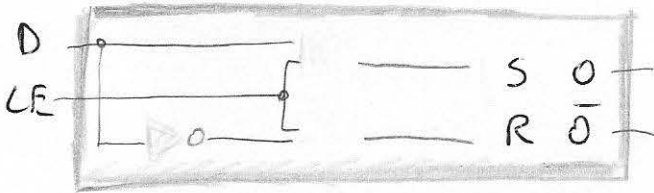
Poi R passa a 1 mentre S rimane a 0 (valore costante), il F.F. è abilitato e quindi l'uscita commuta verso lo 0.

Poi ad un certo punto il segnale di Set risulta pari a 1, ma $LE = 0$ e quando questo non si ripresenta sull'input, cioè il F.F. è in modalità bloccata.

Successivamente il segnale LE si riasilita e quindi il F.F. segue i segnali imposti da Set e da Reset.

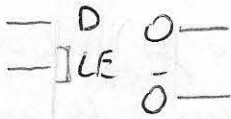
IL FLIP FLOP D

Un solo ingresso D



$LE = 0 \Rightarrow$ memoria Il F.F. memorizza il dato al suo interno

$LE = 1 \Rightarrow$ D trasferito all'uscita trasferimento trasparente



È un particolare collegamento del flip-flop di tipo latch, consiste a portare a due ingressi della parte AND e essere uno il negato dell'altro e questo è realizzato andando a prelevare il segnale di ingresso, che è questo punto è unico, e portarlo alle uscite porta del circuito AND attraverso un inverter.

Questo garantisce che i due ingressi della due porte AND che non sono

sono sempre uno l'opposto dell'altro.

COMANDI SINCRONI

35:24

All'interno di un circuito di tipo sincrono è anche possibile inserire dei comandi asincroni, che agiscono in modo indipendente dal segnale di abilitazione, sia esso presente o di clock.

Ad esempio nel F.F. di tipo latch è sufficiente aggiungere due segnali collegati ai OR all'uscita delle due porte AND tramite due porte OR (pre-set e clear) sono sempre attive finché quando uno di questi è attivo la porta OR viene portata a 1 e quindi possono portare il F.F. SR e commutarlo indipendentemente dal segnale di abilitazione.

DINAMICA DEI SEGNALI

Slide 27

FLIP FLOP MASTER SLAVE

I F.F. di tipo latch possono essere utilizzati per realizzare il flip flop di tipo master slave che è costituito da una cascata di F.F. di tipo latch che sono abilitati in modo complementare e quando il segnale di abilitazione è ricevuto da un unico segnale esterno a due flip flop risultano essere abilitati in modo alternativo.

SEIENZA

Slide 28

$CK=0 \Rightarrow$ master trasparente
slave in memoria

$CK=1 \Rightarrow$ master in memoria
slave trasparente

D viene memorizzato alla
transizione $0 \rightarrow 1$ del clock

Prof. Fabrizio Bonani
40'30"

I comparatori di soglia

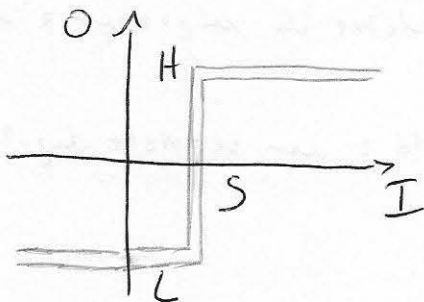
1° tipo di circuito analogico
potenzialmente non lineare

- L'amplificatore operazionale come comparatore di soglia
- I comparatori con isteresi
- Uso come generatore di onda quadra

L'AMPLIFICATORE OPERAZIONALE COME COMPARATORE DI SOGLIA

Il comparatore di soglia è un circuito analogico che può avere in uscita due soli valori (H e L, alto e basso) e l'uscita commuta tra i due stati quando la variabile di ingresso attraversa un certo valore critico, che è il valore di soglia del comparatore.

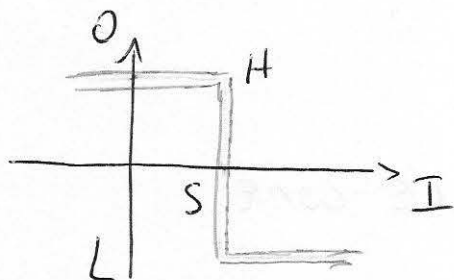
Se lo stato è basso, per l'ingresso minore della soglia ed alto per l'ingresso superiore al valore della soglia, come in presenza di un comparatore non invertente.



Non invertente



Se il comparatore ha una uscita nello stato alto quando la variabile di ingresso ha un valore inferiore alla soglia S e il valore dell'uscita scende al valore basso quando la variabile di ingresso supera il valore di soglia S allora il comparatore di soglia è invertente.



Comparatore invertente



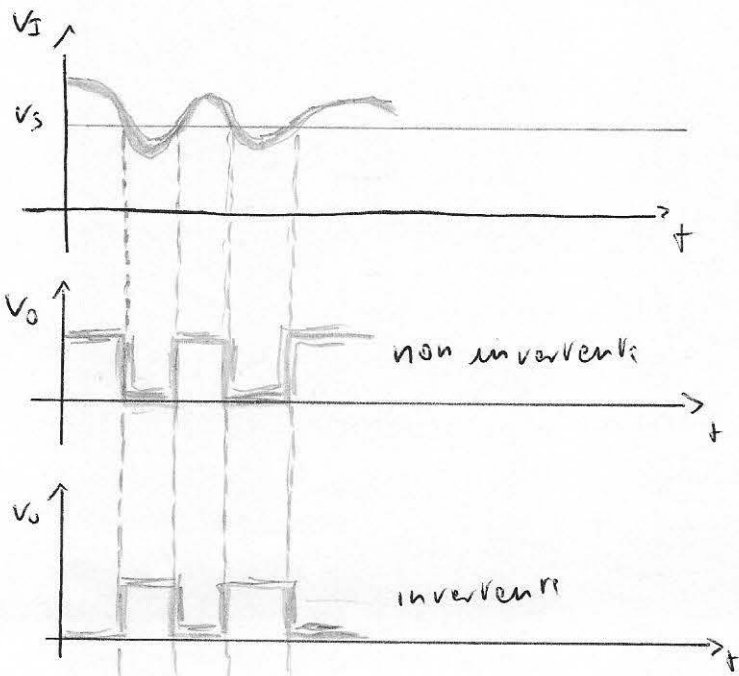
Il comparatore di soglia è un primo esempio di un circuito che realizza la conversione tra un segnale analogico di ingresso e un segnale digitale di uscita.

CONVERSIONE A/D

In generale le grandezze dell'ingresso e dell'uscita del comparatore di soglia possono essere qualsiasi, tensione, corrente o altro.

Normalmente tensioni o correnti, per le grandezze di ingresso e di uscita.

Nel caso più comune sono tensioni. L'uscita è un segnale digitale ed è un valore di tensione di norma.



Dato un segnale in ingresso, lo scopo del comparatore di soglia è confrontare il valore istantaneo della tensione V_I con il valore di soglia.

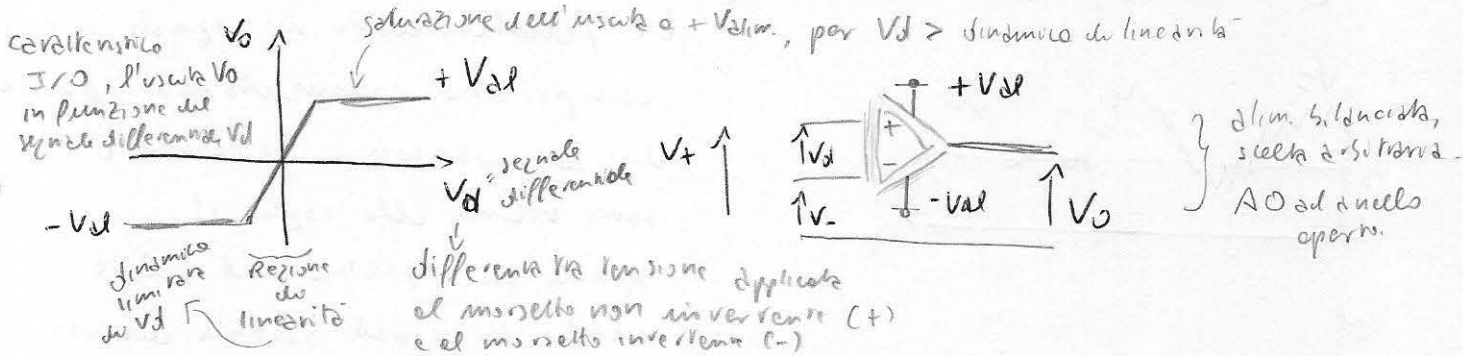
Il comparatore non invertente è caratterizzato da una uscita di ingresso alta quando il segnale di ingresso

è superiore al valore della soglia e da una unità bassa quando l'ingresso ha valore inferiore a quello della soglia.

Il comparatore invertente esattamente l'opposto. È il complementare. I valori delle unità (alto e basso) sono scelti arbitrariamente.

COMPARATORI CON AMPLIFICATORE OPERAZIONALE

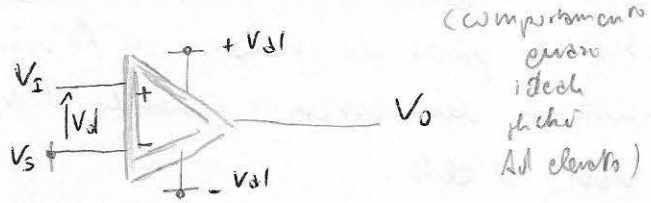
L'amplificatore operazionale presenta A_d molto grande e usato ad anello aperto \Rightarrow comparatore di soglia a $0V$.



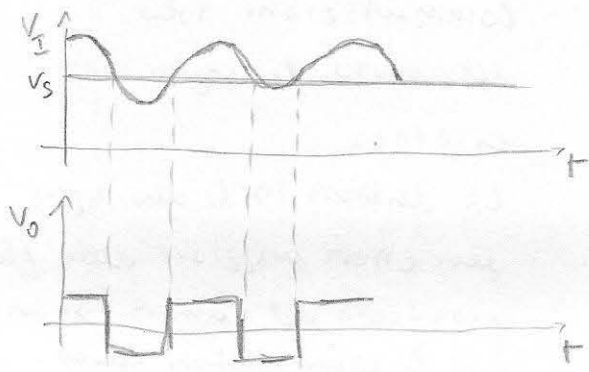
Nell'amplificatore operazionale il segnale di uscita è proporzionale al segnale differenziale V_d con un coefficiente angolare e quindi con un fattore di moltiplicazione che è l'amplificazione ad anello aperto A_d che è molto elevato (idealmente ∞).

Poiché l'amplificatore operazionale deve essere alimentato, l'escursione massima del segnale di uscita è limitata alle due tensioni di alimentazione, positiva e negativa V_{sat} , applicate all'amplificatore op.

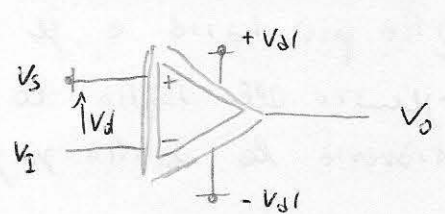
Comparatore non invertente



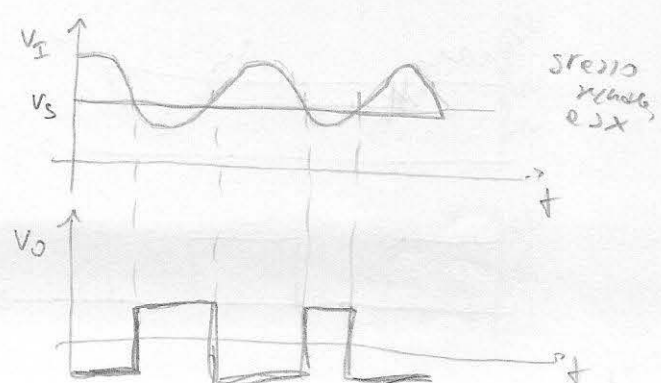
$$V_d = V_I - V_S$$



Comparatore invertente



$$V_d = V_S - V_I$$



I COMPARATORI CON ISTERESI

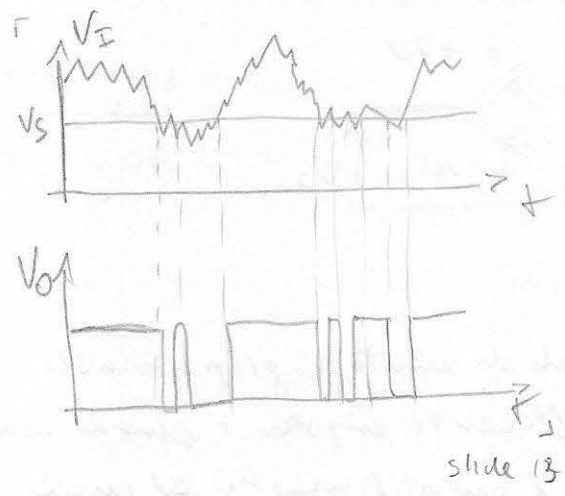
15:50

introduzione di una retroazione

La necessità di avere una isteresi nel comparatore di soglia è legata alla rumorosità di un segnale elettrico, cioè da fluttuazioni dovute a varie cause, tipo interferenza di altri segnali elettrici nell'ambiente (vd. studi di compatibilità elettromagnetica), tipo rumore aggiunto al segnale del dispositivo stesso.

Segnale rumoroso

dato da attraversamenti spesso di V_S

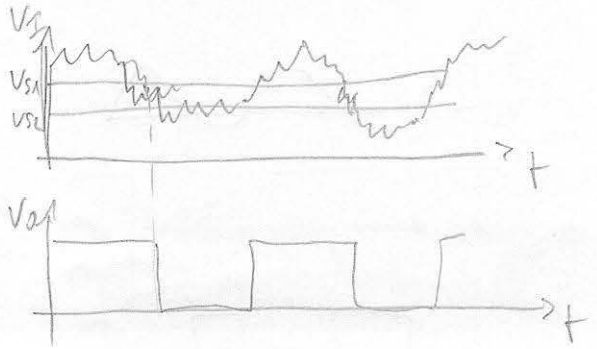


slide 13

Le fluttuazioni del segnale rumoroso comportano commutazioni spurie del comparatore, laddove ci sono meno della soglia il segnale di ingresso. Il valore medio del segnale sarebbe diverso da quello dato dalle fluttuazioni, cioè il valore medio potrebbe essere sopra V_S , quello dato dalle fluttuazioni è sotto V_S .

Per contrastare l'effetto della fluttuazione del segnale dovuto al rumore si definisce un comparatore con due soglie e le commutazioni del comparatore di soglia devono avvenire solo quando il segnale di ingresso attraversa la soglia più esterna, ovvero se il segnale in discesa scende e supera la soglia più bassa e se l'ingresso che passa da valore in perdita e superiore alla soglia la commutazione deve avvenire quando il segnale attraversa la soglia superiore verso l'alto.

Comparatore con isteresi



slide 14

Commutazioni solo attraverso le soglie esterne.

La distanza tra le due soglie deve essere maggiore della fluttuazione provocata dal rumore: si evitano così le commutazioni spurie.

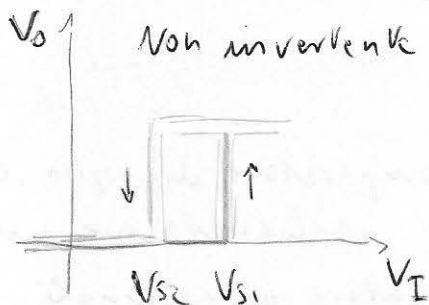
La distanza tra le due soglie non deve essere eccessiva altrimenti il comparatore è immune al rumore sovrapposto al segnale.

E maggiore dovrà essere la variazione del segnale affinché il comparatore si decolga dallo commutazione.

C'è un compromesso tra immunità e rumore e la sensibilità della misura del commutatore al passaggio del segnale attraverso le soglie.

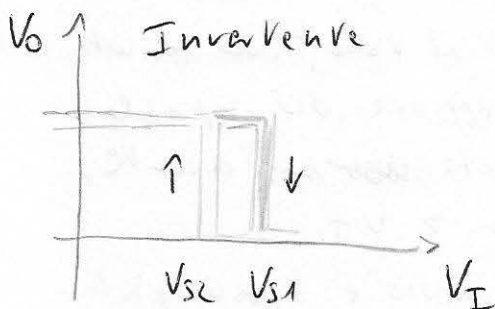
CARATTERISTICA CON ISTERESI

21:05



Nel comparatore non invertente l'uscita è bassa per tensioni di ingresso inferiori alle soglie e l'uscita è alta per tensioni di ingresso superiori alle soglie.

Quando V_I è crescente e parte da un valore per cui V_O sia bassa la commutazione avviene per V_{S1} , mentre quando la tensione V_I scende da valore elevato la commutazione del livello alto al livello basso avviene per la soglia V_{S2} .



Nel comparatore invertente l'uscita è alta quando V_I è inferiore alle soglie e l'uscita è bassa quando V_I è superiore alle soglie.

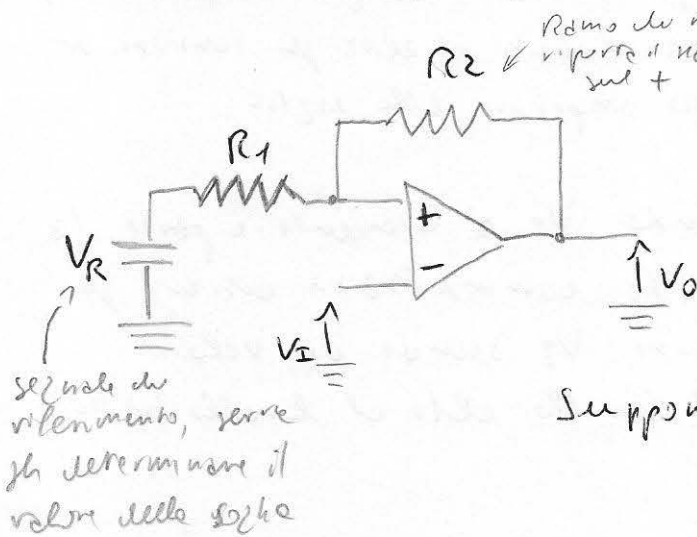
Per V_I crescente abbiamo l'uscita alta fino al raggiungimento della soglia superiore allo quale avviene la commutazione al livello basso; se l'ingresso parte da valore elevato l'uscita è bassa e se l'ingresso decresce, la commutazione tra livello basso e livello alto avviene per la soglia $V_{S2} < V_{S1}$.

SDOPPIAMENTO della SOGLIA

La soglia dipende dal valore dell'uscita V_0 e quindi viene usato il meccanismo della reazione.

Il valore dell'uscita non è dipendente in modo continuo dal valore dell'ingresso ma deve solo dipendere dal confronto con la soglia e questo suggerisce l'uso di una reazione non di tipo negativo (come quello sfruttato per l'amplificatore) ma una reazione di tipo positiva perché siamo in presenza di un sistema instabile e questo amplifica che ha dei vantaggi sulla rapidità della commutazione del comparatore.

TRIGGER di SCHMITT



È un comparatore di soglia con isteresi realizzato con un amplificatore operazionale in cui la reazione è di tipo positivo.

Supponiamo di avere una uscita alta

$$V_0 = V_{al}$$

Sarà mantenuto il valore di uscita alta finché V_I è maggiore del segnale applicato al momento ~~del~~ invertevole, cioè finché $V_+ > V_I$.

La corrente di ingresso è trascurabile.

Condizione per mantenere l'uscita alta

$$V_+ = V_{al} \frac{R_1}{R_1 + R_2} + V_R \frac{R_2}{R_1 + R_2} > V_I$$

Tale valore V_I è il valore della soglia superiore V_{s1} del comparatore.

$$V_{S1} = V_{AL} \frac{R_1}{R_1 + R_2} + V_R \frac{R_2}{R_1 + R_2}$$

Nel caso in cui l'uscita sia a livello basso

$$V_0 = -V_{AL} \quad \text{e si mantiene finché } V_I > V_+$$

$$V_+ = -V_{AL} \frac{R_1}{R_1 + R_2} + V_R \frac{R_2}{R_1 + R_2} < V_I$$

e il valore limite di V_I è V_{S2} , perché

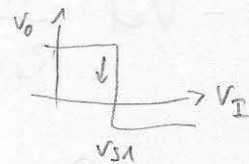
$$V_{S2} = -V_{AL} \frac{R_1}{R_1 + R_2} + V_R \frac{R_2}{R_1 + R_2}$$

↓
soglia
inferiore

Funzionamento del Trigger di Schmitt

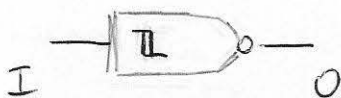
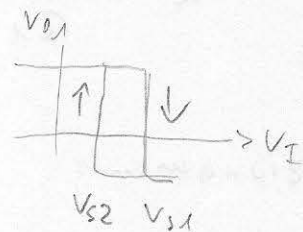
Finché $V_I < V_{S1} \Rightarrow V_0 = V_{AL}$

e quando $V_I = V_{S1} \Rightarrow$ Commutazione



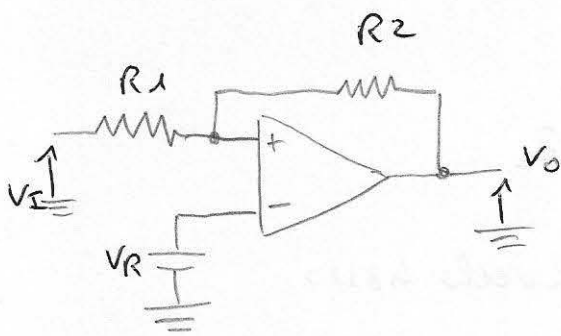
Finché $V_I > V_{S2} \Rightarrow V_0 = -V_{AL}$

e quando $V_I = V_{S2} \Rightarrow$ Commutazione



comparatore invertente
con isteresi

Scambiando le posizioni nelle quali si applica la tensione di riferimento e la tensione di ingresso V_I si può ottenere un trigger di Schmitt che sia un comparatore di soglia non invertente.



Uscita alta $V_0 = V_{al}$, questo è vero perché $V_R < V_+$
meglio $V_+ > V_R$

$$V_+ = V_{al} \frac{R_1}{R_1 + R_2} + V_I \frac{R_2}{R_1 + R_2} > V_R \quad \text{Ricavo } V_I$$

$$V_{S1} = V_R \frac{R_1 + R_2}{R_1} - V_{al} \frac{R_1}{R_2}$$

si suppone che l'uscita sia al livello basso

Uscita bassa $V_0 = -V_{al}$, questo è vero perché $V_R > V_+$
 V_+ o valutabile come: meglio $V_+ < V_R$

$$V_+ = -V_{al} \frac{R_1}{R_1 + R_2} + V_I \frac{R_2}{R_1 + R_2} < V_R$$

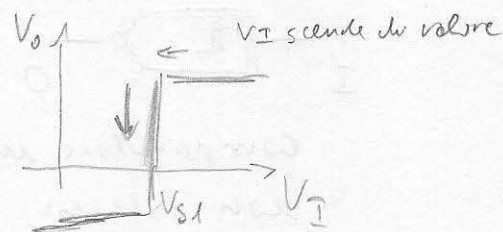
Ricavo V_I col
 segno da $=$ o $>$ o $<$ e V_R
 trova il valore da confrontare
 tra l'uscita alta e
 l'uscita bassa,
 cioè V_{S2}

$$V_{S2} = V_R \frac{R_1 + R_2}{R_1} + V_{al} \frac{R_1}{R_2}$$

Funzionamento

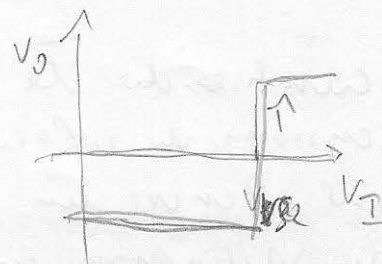
Finché $V_I > V_{S1} \Rightarrow V_0 = V_{al}$

e quando $V_I = V_{S1} \Rightarrow$ commutazione
scendendo V_I sul livello basso



Finché $V_I < V_{S2} \Rightarrow V_0 = -V_{al}$

e quando $V_I = V_{S2} \Rightarrow$ commutazione
salendo V_I sul livello alto

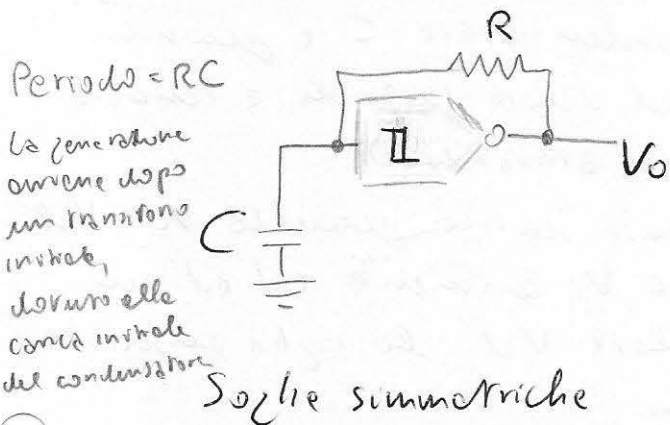




Comparatore
non invertente con isteresi
e le due soglie V_{S1} e V_{S2}

USO CONE GENERATORE DI ONDA QUADRA = oscillatore
del comparatore di soglia con isteresi

Il modo più semplice per generare una forma d'onda quadra,
una forma d'onda con valori costanti alto e basso in istanti
di tempo successivi è quello di usare un comparatore di
soglia con isteresi di tipo invertente all'interno di
un anello di reazione



Soglie simmetriche

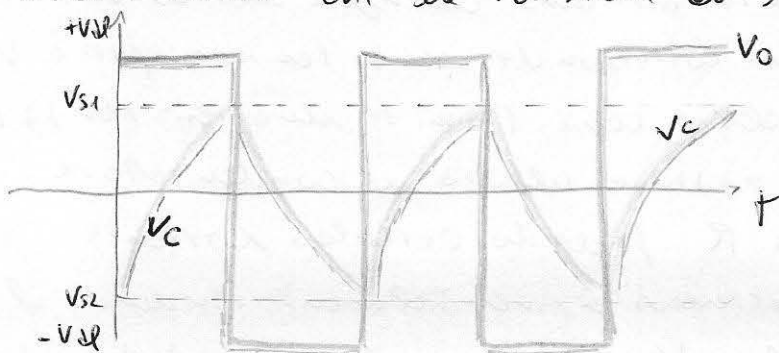
$$V_{S2} = -V_{S1}$$

Oscillatore a onda quadra

Il comparatore di soglia, che può avere all'uscita due valori: alto o basso in funzione del confronto tra l'ingresso e le due soglie del comparatore stesso.

Si assume che le soglie siano simmetriche, $V_{S2} = -V_{S1}$

La resistenza R riporta la tensione di uscita sull'ingresso del comparatore; all'ingresso del comparatore è collegato un condensatore C e quindi la tensione di ingresso non è nient'altro che la tensione ai capi del ^{condensatore} comparatore.



A lato, in funzione del tempo, la tensione di uscita V_O e la tensione V_C ai capi del condensatore, che è la tensione di ingresso del comparatore con isteresi

di tipo invertente.

Supponendo che l'uscita del comparatore sia alta, $V_{out} > V_{s1}$, allora l'ingresso deve essere basso, quindi la tensione V_c deve essere vicina a zero e inferiore alla soglia superiore V_{s1} .

Abbiamo che $V_c < V_{s1}$ e quindi, esaminando l'effetto della resistenza R , abbiamo una tensione elevata V_{s1} che, attraverso la resistenza R dovrà andare a caricare il condensatore C ; inoltre, in prima approssimazione possiamo supporre che la tensione di alimentazione V_{cc} non faccia altro che alimentare il condensatore C attraverso la resistenza R . Quindi, attraverso la resistenza R si applicando al condensatore C una tensione maggiore della tensione iniziale, quindi avrà un flusso di corrente che, attraverso la resistenza R va a caricare il condensatore C e quindi sale la tensione V_c e sale dal valore iniziale e tenderà asintoticamente al valore V_{s1} (non amando).

Il condensatore sarà completamente carico quando $V_c = V_{s1}$. Quando il condensatore si carica, V_c aumenta ed ad un certo punto arriverà ad avere valore V_{s1} , la soglia superiore del comparatore di tipo invertente.

Quando capita questo, ovvero $V_c = V_{s1}$, il comparatore di tipo invertente che all'ingresso si supera V_{s1} ed essendo di tipo invertente il suo funzionamento richiederà che l'uscita commuti al valore basso e quindi $V_o = -V_{s1}$, in un tempo quasi istantaneo. Cioè passa da $V_o = +V_{s1}$ a $V_o = -V_{s1}$; in questo istante $V_c = V_{s1}$ e quindi sicuramente $V_c > -V_{s1}$. A questo punto abbiamo dunque un condensatore

con una certa carica o un condensatore una tensione pari a V_{s1} , il condensatore si trova all'altro capo, tramite una resistenza R un valore di tensione più basso e allora il condensatore si scarica sulla resistenza R facendo circolare corrente verso V_o . La tensione V_c decrescerà esponenzialmente tendendo al valore $-V_{s1}$, ma arriverà al valore V_{s2} e quindi il comparatore sentirà

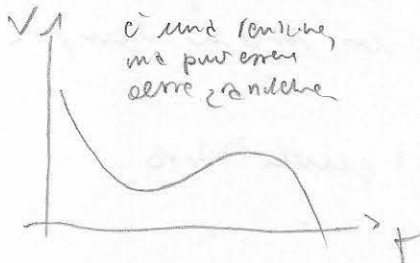
21.10 all'ingresso il valore V_{s2} e quindi $V_o = +V_{s1}$. Ricomincerà il ciclo con carica del cond.

Prof. Fabrizio Bonani
40'49"

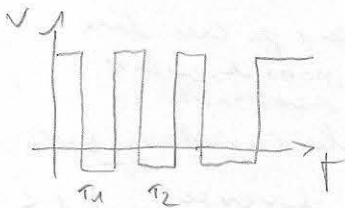
- Il teorema del campionamento
- La quantizzazione del segnale
- La conversione D/A

IL TEOREMA DEL CAMPIONAMENTO

Def. Segnale continuo, o analogico: è una qualunque grandezza che varia in modo continuo nel tempo e nell'ampiezza



Dobbiamo dunque avere una funzione che sia continua rispetto alle variabili indipendenti t e a valori che può enumerare sono all'interno di un insieme continuo.



Anche i segnali elettrici del mondo digitale, come e piano, sono continui o analogici.

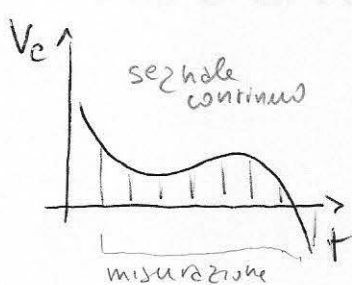
Fronti di commutazione di pendenza infinita non sono realizzabili.

Def. Segnale discreto: è una lista di numeri che servono a rappresentare una grandezza in campioni temporali discreti

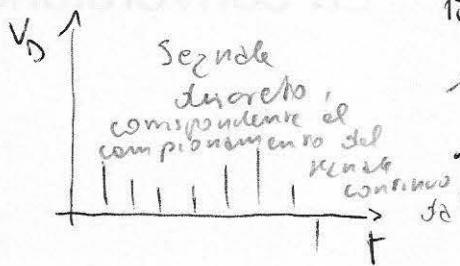
Questo ci suggerisce un modo per effettuare la conversione analogica/digitale e cioè campionare in istanti discreti la grandezza analogica (= continua) che si vuole rappresentare.

Questo ci conduce al concetto di segnale campionato.

SEGNALE CAMPIONATO



in un insieme discreto di istanti di tempo.



lista di valori numerici del segnale continuo in istanti campionati

f_c è un segnale discreto ricavato campionando un segnale continuo.

da trasformare in codice numerico

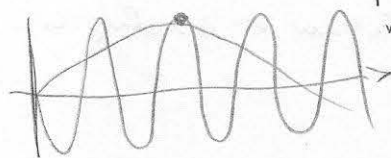
Vorremmo costruire una corrispondenza biunivoca tra il segnale continuo e

il segnale campionato, ovvero vogliamo essere in grado di ricostruire

dei campioni del segnale il suo andamento continuo. Campionando in intervalli di tempo sempre più piccoli si riesce a rappresentare in modo sempre più preciso il segnale continuo.

Questa considerazione emette una forma esaltativa che è il teorema del campionamento.

ALIASING



i punti campionati non differiscono numericamente con cui il segnale da cui derivano l'intervallo, però, proprio lungo

L'aliasing è il fenomeno per cui due segnali analogici diversi possono diventare indistinguibili una volta campionati.

Sono dati due segnali caratterizzati dall'essere frequenze diverse, $f_1 < f_2$, ovvero $T_1 > T_2$, i periodi.

Campionando i due segnali con un passo, intervallo di tempo, T_c , si nota come ci siano dei campioni identici

per i due segnali V_1 e V_2 . Quindi campionando un segnale con un intervallo troppo ampio, non riusciamo a ricostruire il segnale. Questo è il cosiddetto fenomeno dell'aliasing.

La soluzione è campionare in modo più "fitto".

Infatti, scegliendo un nuovo periodo di campionamento,

$T_{c2} = T_{c1} / 2$, cioè la metà del precedente, otteniamo campioni in parte coincidenti con quelli precedenti e in parte altri punti gli cui siamo in grado di differenziare i due segnali.

TEOREMA del CAMPIONAMENTO

11/16

La frequenza di campionamento f_c deve essere abbastanza elevata, per poter ricostruire il segnale continuo da quello discreto:

$$f_c \geq f_N = 2 f_H \quad \text{ovvero } f_c \geq 2 f_H$$

f_N frequenza critica

f_N Frequenza di Nyquist

f_H massima frequenza del segnale

Questo si applica perfettamente ad un segnale sinusoidale. Un generico segnale potrà avere più frequenze al suo interno, in cui è possibile fare una analisi spettrale del segnale che corrisponde matematicamente a calcolare la Trasformata di Fourier. Tali segnali potrà essere rappresentato come una sovrapposizione di sinusoidi di frequenza diverse. La massima frequenza delle sinusoidi che servono per rappresentare il segnale generico rappresenta la massima componente di frequenza presente nel segnale.

Vedremo come affrontare il problema quando la f_{max} è arbitrariamente grande

LA QUANTIZZAZIONE DEL SEGNALE

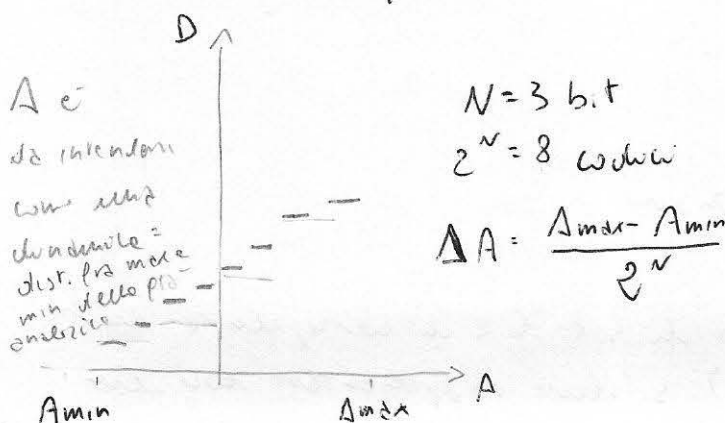
dal segnale continuo al segnale discreto

14/22

Quantizzare una grandezza significa associare ad ogni possibile valore analogico un valore numerico

Una grandezza numerica può assumere solo un insieme finito di valori.

Funzione di trasferimento



Poiché il segnale numerico può assumere solo un numero finito di valori dobbiamo associare a più valori analogici lo stesso valore numerico. L'intervallo di valori analogici associato allo stesso valore

numerico è della stessa ampiezza quindi abbiamo un
 ondamento a scala con N tranne osservabili che rappresentano
 l'insieme di valori analogici associati allo stesso valore digitale.

Usando una codifica digitale, ad un numero finito di bit,
 ad es. $N=3$ computerò 2^N possibili valori numerici distinti,
 quindi se vogliamo rappresentare una grandezza analogica compresa
 in un intervallo, abbiamo 8 possibili valori nello scale.

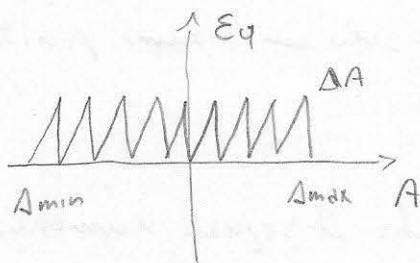
L'ampiezza del gradino, $\Delta A = \frac{A_{max} - A_{min}}{2^N}$, è in pratica
 una suddivisione della dinamica (= distanza tra valore max e min della
 quantità analogica) in parti pari al numero di codici con
 cui lo posso rappresentare.

È logico supporre che ogni ~~quantità numerica~~ ^{rappresentazione digitale} è affetta da errore,
 perché qualunque valore che cade nella stessa nzo
 è associato ad uno stesso valore numerico.

Aumentando il numero di bit si aumenta la precisione.

Errore di quantizzazione

È la differenza tra il valore del segnale numerico e
 quello del segnale analogico.



Il massimo valore di errore di quantizzazione
 che si può commettere è sempre pari a

$$\frac{\Delta A}{2}$$

Codice di rappresentazione

Una volta deciso il numero di bit (e di conseguenza anche
 l'errore di quantizzazione) si deve rappresentare con un

opportuno codice il segnale analogico.

Definire un codice di rappresentazione significa assegnare un valore numerico ad ogni livello del segnale D .

I codici possono essere ripartiti in pesati e non pesati

Codici pesati: ogni bit ha un valore determinato dalla posizione nel codice. Ad esempio il codice binario ^{5° livello = 0001} _{4° livello = 001000}, ultimo 1111

Codici non pesati, che introducono controllo sull'errore.

$N=36$

FILTRO ANTI-ALIASING

Affrontando il teorema del campionamento, per garantire la riproducibilità del segnale analogico a partire dal dato campionato, occorre che la frequenza di campionamento sia maggiore della frequenza di Nyquist associata a tale segnale.

Tale frequenza è 2 volte la massima componente di frequenza presente nel segnale.

In un sistema di quantizzazione per rappresentare in modo coerente con il teorema del campionamento il segnale analogico con il segnale digitale si deve utilizzare un convertitore A/D (sistema di conversione) che abbia una frequenza di campionamento almeno il doppio della frequenza massima di ingresso.

Per evitare quindi problemi di aliasing si deve garantire che il segnale di ingresso al convertitore abbia una frequenza massima che soddisfi il teorema del campionamento e si garantisce questa condizione e per precedere il meccanismo di quantizzazione, con il convertitore analogico/digitale si usa un filtro (detto filtro anti-aliasing) che è naturalmente passa-basso.

Si deve conoscere a priori la frequenza di campionamento scelta, per il convertitore A/D utilizzato.

Quindi è come pre-processare il segnale da campionare eliminando e tagliare via le componenti a frequenza più elevate

provocando più una distorsione del segnale, tanto più quanto sono le frequenze oltre tagliate.

Il filtro passa-basso dovrebbe quindi avere una frequenza di taglio la più alta possibile.

Il valore della frequenza di taglio deve essere coerente con la frequenza di campionamento del convertitore.



LA CONVERSIONE D/A

↳ Analogico
↳ Digitale

le rappresentazione
digitale del 2^N

25:10

Un convertitore D/A ha per ingresso un valore numerico e lo trasforma in un valore analogico per una grandezza continua (tensione o corrente). Nella maggior parte dei casi è una tensione, nei circuiti elettronici, quindi parleremo di convertitore D/A con uscita in tensione.

Comportamento statico del convertitore D/A

Cioè il comportamento a transitorio esaurito, cioè il ritardo tra un istante iniziale t_0 nel quale si applica il valore al convertitore digitale/analogico e l'istante nel quale il valore dell'uscita del convertitore avrà raggiunto in modo stabile il valore previsto.

Sia D il codice digitale in ingresso, con n bit e N bit.

$$D = (b_1, b_2, \dots, b_N) \quad N \text{ bit}, \quad b_N = 0, 1$$

Sia A il segnale di uscita, che nel caso più comune è una tensione, v_0 .

valore decimale associato al codice binario

$$A = v_o = V_{fs} (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) + V_{off}$$

↳ Tensione di fondo scala

↳ Tensione di offset, un valore costante del convertitore

Per cui l'uscita, il valore analogico è la somma tra la tensione di fondo scala per il valore decimale associato al codice binario con la tensione di offset, un valore costante, di solito nullo, del convertitore.

V_{fs} Tensione di fondo scala
 V_{off} Tensione di offset (normalmente 0)

Possiamo definire la cosiddetta risoluzione del convertitore

RISOLUZIONE DEL CONVERTITORE DA

È la minima variazione dell'uscita determinata dal codice di ingresso. Corrisponde alla variazione del bit meno significativo (LSB), b_N che passa da 0 a 1. Corrisponde a:

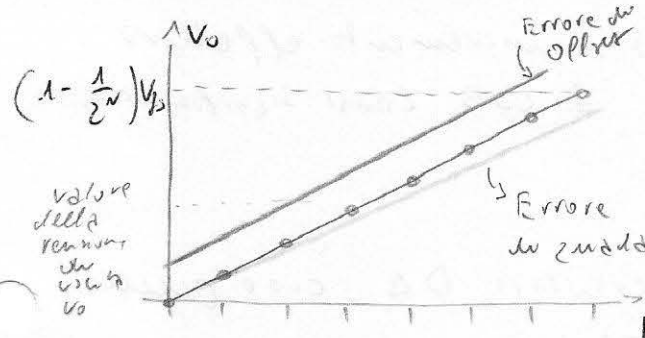
$$V_{LSB} = V_{fs} \cdot 2^{-N} = \frac{V_{fs}}{2^N}$$

Least significant bit

Risoluzione del convertitore DA

La risoluzione del convertitore è anche comunemente definita come N bit, 2^{-N} , 1 su 2^N .

FUNZIONE DI TRASFERIMENTO È UNA RETTA



Il massimo valore di v_o è 1 LSB sotto V_{fs} .

↳ il segnale digitale può solo assumere risultati discreti

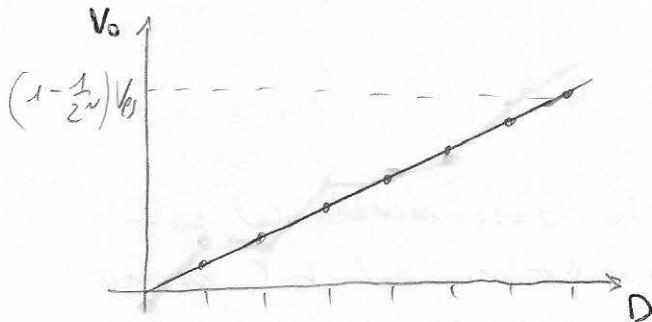
ERRORE di GUADAGNO È l'errore sulla pendenza della funzione di trasferimento.

ERRORE di OFFSET È l'errore sulla uscita per ingresso nullo.

ERRORE di OFFSET e di GUADAGNO COMBINATI

Essi danno una deformazione delle caratteristiche ingresso-uscita che non è di tipo strutturale, e' una distorsione in pendenza e in posizione rispetto all'andamento ideale lineare.

ERRORE di LINEARITA' INTEGRALE



Deviazione dell'uscita
rispetto alla volta interpolante

Per quantificare la deviazione del comportamento reale del convertitore DA rispetto al comportamento lineare si definisce l'errore di linearita' integrale.

È il valore minimo della deviazione dell'uscita rispetto all'andamento rettilineo ideale.

ERRORE di LINEARITA' DIFFERENZIALE

È un errore che caratterizza tutto l'intervallo di conversione DA ma quello locale.

È il massimo differenza tra l'incremento effettivo di uscita e l'incremento ideale di 1 LSB, Least Significant Bit.

MONOTONICITA'

È una caratteristica richiesta al convertitore DA, cioè quella di avere una uscita monotona, ovvero:

l'uscita deve crescere monotonamente con l'ingresso.

Cioè il valore dell'uscita non deve decrescere mai
o crescere del segnale digitale D.

Questo si traduce in una curva che unisce tutti i punti
che rappresentano codice per codice il valore analogico dell'uscita
tale che non debba mai presentare andamenti decrescenti.



COMPORTAMENTO DINAMICO

Il ritardo tra la variazione del dato di ingresso e
quando l'uscita assume il valore finale e detto tempo di
ascelto.

GLITCH

È caratterizzato il comportamento dinamico; la presenza di
eventuali glitch nella tensione di uscita.

Supponiamo di essere in presenza di una transizione del
valore numerico del valore D al valore D'

Transizione $D \rightarrow D'$

Questo vuol dire che un certo numero di bit dovranno commutare
da 0 a 1 o da 1 a 0, per passare dal codice D al codice D'.

Ma la logica di controllo può presentare dei ritardi e quindi
non tutti i bit del segnale D' assumeranno contemporaneamente
il valore richiesto per rappresentare il codice D'.

Allora se il convertitore DA ricevere in ingresso questo segnale
digitale in cui non tutti i bit presenti sono al valore finale
allora quello che succede è che l'uscita, nel transitorio, può
subire alcune piccole ma brusche variazioni.

Il segnale analogico presenterà dei picchi che corrispondono ai
glitch del segnale di uscita.

Cost of value left in P may be determined
of course by value left in P
Such a value may be determined by
the appropriate value of value left in P
for the new debt may be determined

CONCEPTS TO KNOW

It is the value of the debt in the market
Generally a value of value left in P
6/10/10

NOTE

The value of the debt in the market
is determined by the value of value left in P
The value of the debt in the market
is determined by the value of value left in P

THEORY

The value of the debt in the market
is determined by the value of value left in P
The value of the debt in the market
is determined by the value of value left in P
The value of the debt in the market
is determined by the value of value left in P
The value of the debt in the market
is determined by the value of value left in P
The value of the debt in the market
is determined by the value of value left in P
The value of the debt in the market
is determined by the value of value left in P
The value of the debt in the market
is determined by the value of value left in P
The value of the debt in the market
is determined by the value of value left in P

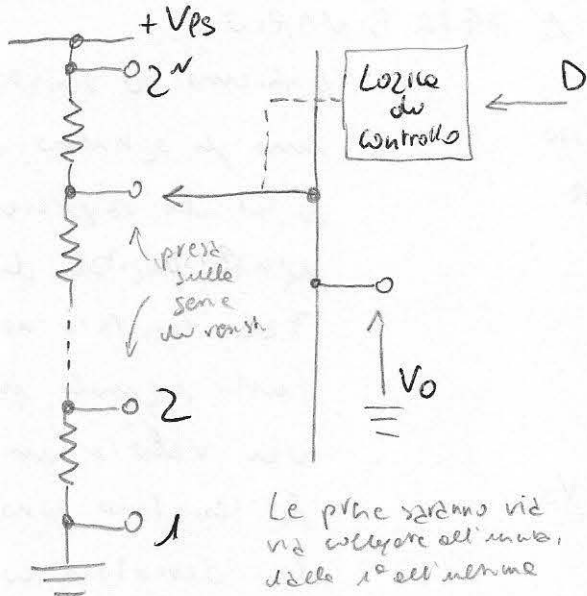
Prof. Fabrizio Bonani
39'54"

- Il convertitore D/A potenziometrico
- Il convertitore D/A a scala
- Il convertitore A/D parallelo \rightarrow flash
- Il convertitore A/D in reazione

I CONVERTITORI D/A POTENZIONOMETRICI

1131

Principio di funzionamento



L'obiettivo di un convertitore D/A è quello di convertire un segnale digitale (numerico) in un corrispondente segnale analogico (una corrente, una tensione o altro). Nella maggior parte dei circuiti elettronici il segnale analogico da uscita è una tensione.

- N bit (codifica parte binaria)
- $2^N - 1$ resistenze
- 2^N interruttori

Non sono in modo intransico, la funzione di uscita può essere solo monotona crescente con il codice D

Il principio di funzionamento dei convertitori D/A potenziometrici è quello di usare una tensione di riferimento V_{ps} , che viene ripartita su una sequenza di resistenze. Con un controllore mettiamo in collegamento una sola ~~uscita~~ presa sulla serie di resistenze con l'uscita; la logica di controllo prende in ingresso il segnale da convertire. Quindi saremo in grado di costruire una uscita V_o legata biunivocamente al codice numerico D di ingresso alla logica di controllo.

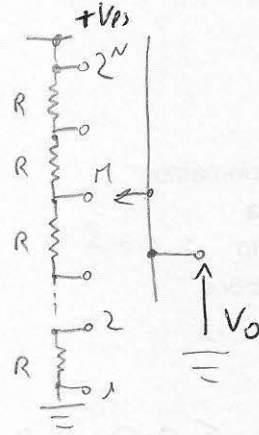
TENSIONE di USCITA o VUOTO

Si suppone di avere resistenze tutte uguali tra loro, un numero di 2^N .

$$V_o = V_{fs} \frac{(n-1)R}{(2^N-1)R} = V_{fs} \frac{n-1}{2^N-1}$$

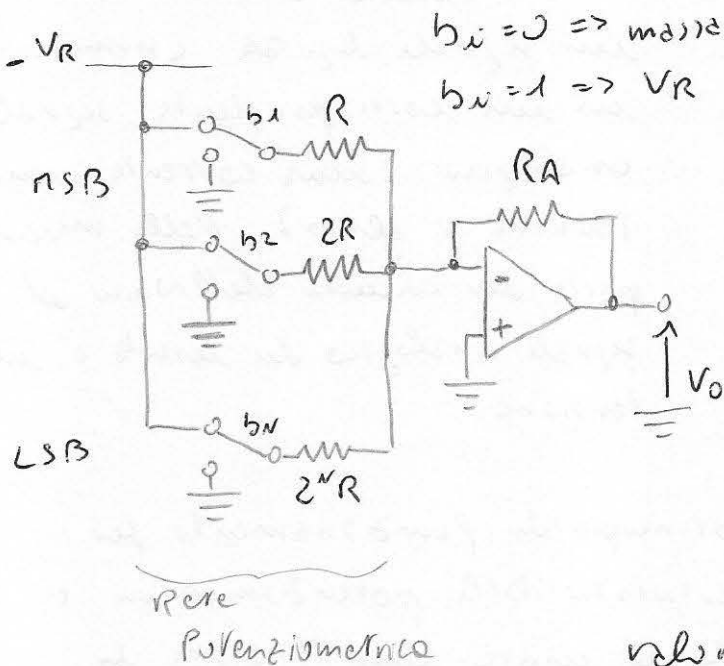
$$n = 1 \dots 2^N$$

terminale
n-esimo



Implementazioni

CONVERTITORE CON RESISTORI A PESO BINARIO



Abbiamo N resistori, uno per ognuno degli N bit che rappresentano il segnale digitale di ingresso. Tali resistori non sono tutti uguali ma hanno dei valori in scala. Ai resistori sono collegati dei generatori comandati

dal valore del corrispondente bit e, in particolare, quando il valore del bit è zero il denatore è collegato a massa; quando il bit è di valore pari a 1 il denatore è collegato al generatore di tensione.

Il valore del generatore $-VR$ è scelto a valle delle rete di resistenze e viene un amplificatore di tensione di tipo invertente e quando la tensione presente al suo morsetto invertente viene riportata sull'uscita amplificata del rapporto R_A sullo stesso morsetto invertente ma con un segno $-$ e quando V_o avrà un segno positivo.

L'uscita V_o sarà la sovrapposizione degli effetti associati ai bit 1 e 0. Tensione sulla i^{a} resistenza = $b_i \cdot -V_R$

Cioè all' i -esimo resistenza la tensione sarà 0 zero o $b_i \cdot -V_R$. La tensione applicata a tale punto è collegata all'amplificatore invertente tramite una resistenza $b_i R$ e quindi il corrispondente contributo all'uscita sarà $-\frac{R_A}{b_i R} \cdot -V_R$, ~~se b_i sarà 1~~ e quindi il contributo alla $b_i R$ V_o dovuto al bit i -esimo è pari a:

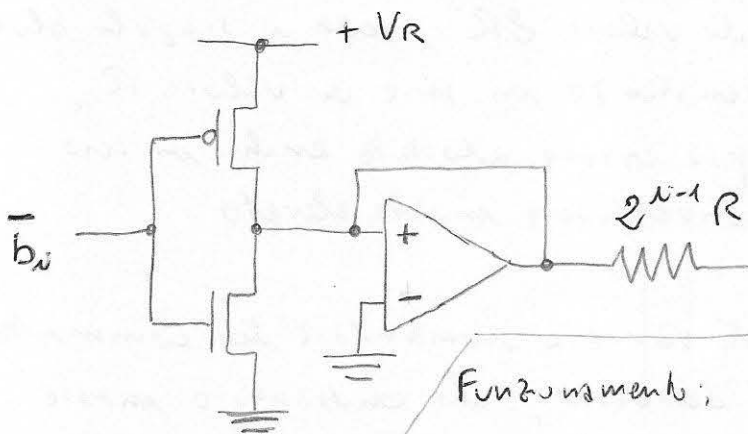
$$V_{oi} = V_R \cdot \frac{R_A}{2^{i-1} R} b_i \quad \text{valore binario del bit } i$$

I singoli contributi si sovrappongono perché il circuito è lineare e quindi

$$V_o = \sum_{i=1}^N V_{oi}$$

Questo tipo di convertitore è abbastanza rapido ed efficiente in quanto si basa su componenti resistenti, ma occorre una ampia dinamica per realizzare le rete scale ovvero $2^N R$ deve essere molto grande \rightarrow resistenza che occupa molto spazio sul silicio. Quindi questa scelta tecnologica è applicabile se il numero di bit è ragionevolmente basso.

CONVERTITORE CONTROLLATO



inverter CMOS

Funzionamento:
 quando $b_i = 1 \Rightarrow$
 $b_i = 0 \Rightarrow$ inverter
 commutato \Rightarrow uscita inverter

uguale a 1 e quindi $+V_R$.

Quando $+V_R$ passa attraverso l'invertitore la tensione viene collegata direttamente alla resistenza...

Il commutatore è un inverter CMOS, comandato dal bit b_i negato. Esso alimenta, attraverso un invertitore di tensione con funzione di non, con il l'inverter e quindi di premiare verso l'inverter una resistenza elevata, la resistenza posta che andrà ad essere collegata alle amplificazioni invertente finale.

... Quando $b_n = 0 \Rightarrow \overline{b_n} = 1$ e l'uscita sull'invertire è zero per cui è zero anche la tensione che si trova applicata alle resistenze private che a sua volta andrà ad alimentare il convertitore D/A con resistori a peso binario.

IL CONVERTITORE D/A A SCALA ^{di tipo potenziometrico}
 Ha il vantaggio di non avere una dinamica delle resistenze così elevata come nel caso del precedente.

L'uscita è quella di un amplificatore operazionale non invertente che prende il segnale nel modello non invertente (V_+) e lo amplifica del fattore di resistenza $(R_B + R_A) / R_A$

slide 11

$$V_0 = V_+ \cdot \frac{R_B + R_A}{R_A}$$

Abbiamo anche in questo caso una rete di resistenze, diversa dalla precedente in quanto c'è una successione di resistenze collegate in parallelo, tutte di valore $2R$, con n singoli blocchi collegati tra loro da una resistenza in serie di valore R . Questo tipo di soluzione può essere adottata anche in caso di un numero di bit del convertitore molto elevato.

Funzionamento: a vari bit vanno a comandare dei commutatori, cioè dei diodi, che entrano o meno quando il bit è zero e saranno collegati al riferimento di tensione V_R quando il bit è uno.

Si noti che il contributo di b_1 è minore di quello di b_2 e quindi il contributo massimo lo dà b_n e questo perché il contributo b_1

slide 12

deve passare tutta la corrente di resistenza R .

slide 12

Osservando la rete, con tutti i bit messi a 0, abbiamo tutte le resistenze di valore $2R$ collegate a massa.

Se prendiamo uno qualunque degli N nodi, a sinistra di ogni nodo vediamo sempre la stessa resistenza $2R$. quella centrale il valore è dato dal parallelo!

Poiché la rete è simmetrica, lo stesso risultato è ottenuto se controlliamo il valore della resistenza equivalente che si vedeva

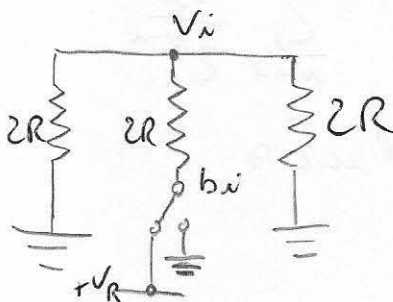
a destra di ognuno degli N nodi che rappresentano la rete di resistenze.

Da destra, la prima resistenza è $2R$ e poi, a sinistra la resistenza R con un parallelo due resistenze $2R$ e quindi a destra di ogni nodo vediamo sempre la stessa resistenza $2R$.

slide 13

Quando ogni nodo della rete vede a sinistra e a destra una resistenza equivalente sempre pari a $2R$.

Quando possiamo analizzare il comportamento di tensione che si vede sul nodo i -esimo

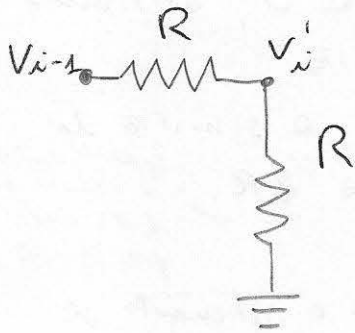


$$V_i = b_i V_R \frac{R}{R+2R} = b_i \frac{V_R}{3}$$

$b_i = \{0, 1\}$

Questo risultato non fornisce ancora il contributo che il bit b_i dà alla tensione che verrà amplificata per ottenere la tensione di uscita, dobbiamo ancora tenere conto del fatto che questa tensione dovrà essere

fino al modo non invertente dell'amplificatore
operazionale.



Il contributo di ogni modo "scale"
verso + dovuto per 2 ad ogni passo.

$$V_i' = V_{i-1} \frac{R}{R+R} = \frac{V_{i-1}}{2}$$

Quando il contributo del primo bit verrà
dovuto per 2^{n-1} , e così via per tutti gli altri.

Quando, in generale

$$V_+^{(n)} = \frac{V_N}{2^{n-1}}$$

contributo V_+ dovuto al bit
 n -esimo è $V_N / 2^{n-1}$.

Questo vale per tutta la rete
quando, avendo costruito il
contributo al momento non
invertente del singolo bit
 n -esimo, la sovrapposizione
degli effetti applicata al
circuito lineare ci permette
di costruire la tensione V_+
nel modo non invertente:

$$V_+ = \sum_{n=1}^N V_+^{(n)} = \sum_{n=1}^N \frac{V_N}{2^{n-1}}$$

E quindi siamo in grado di determinare l'uscita
del convertitore D/A con rete e scale.

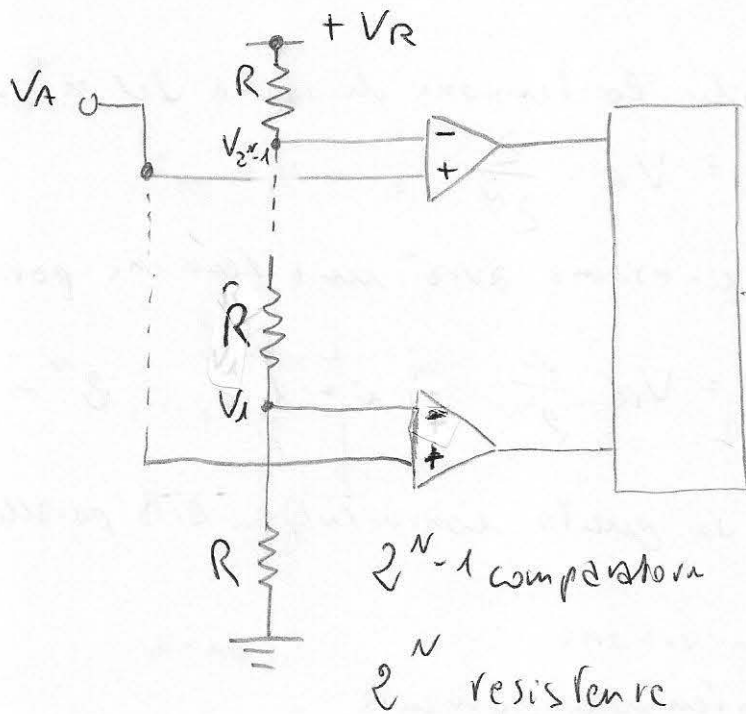
IL CONVERTITORE A/D PARALLELO

26:40

Il principio di funzionamento* è quello di campionare il segnale analogico in un certo insieme di istanti temporali prefissati. Tale campionamento deve dare in uscita un segnale digitale.

* Il segnale analogico viene confrontato con una serie di soglie mediante dei comparatori di soglia. Viene detto anche convertitore flash, per la sua velocità, in fatto tutti i bit che rappresentano il valore numerico del segnale analogico vengono generati contemporaneamente.

Schema circuitale



V_A è la tensione da campionare (analogica) che viene portata a una sequenza di comparatori di soglia.

D La soglia dei vari comparatori è definita andando a ripartire una certa tensione V_R in una rete di resistenze disposte in serie tra loro. Avendo le resistenze tutte uguali tra loro, le soglie sono equispaziate.

La tensione V_A , o seconda che sia maggiore o minore di un certo valore di tensione che è il campione preso corrispondente al terminale preso sulla serie delle resistenze, riporterà allo stato dei comparatori di soglia $+V_{2^1}$, $-V_{2^1}$.

Il valore binario dell'uscita dei vari comparatori viene processato attraverso un circuito logico opportunamente progettato. Tale valore binario rappresenta il valore analogico

del segnale all'ingresso.

Sono necessarie 2^N resistenze in serie, di valore R , non particolarmente elevato in quanto l'assorbimento di corrente da parte dell'ingresso dell'operatore operazionale è sostanzialmente nullo.

Sono necessari $2^N - 1$ comparatori di soglia (svantaggio del dispositivo)

Le varie scale sono costruite andando a ripartire la tensione di riferimento V_R sulle serie di 2^N resistenze.

Al primo nodo: $V_1 = V_R \frac{R}{2^N R} = \frac{V_R}{2^N}$, questa tensione compare alla soglia del comparatore.

Al secondo nodo, quando la tensione di soglia del secondo comparatore:

$$V_2 = V_R \cdot \frac{2^{n+R}}{2^N R}$$

Quando, la soglia n -esima avrà una tensione pari a:

$$V_n = V_R \frac{n}{2^N} \quad n = 1, 2, \dots, 2^N - 1$$

Vantaggi e svantaggi di questo convertitore A/D parallelo sono:

Alta velocità di conversione

Bit di D generati contemporaneamente

Elevata complessità circuitale

Sono richiesti $2^N - 1$ comparatori di soglia.

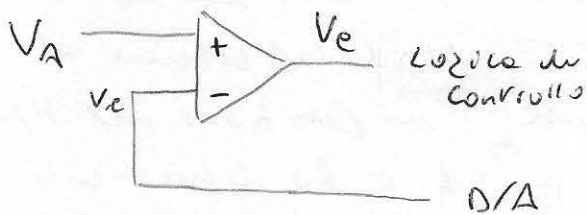
} vantaggi

} svantaggi

IL CONVERTITORE A/D IN REAZIONE

numero elevato di bit in uscita.

Schema di principio



La logica di controllo genera un segnale digitale D dipendente da V_e = uscita del comparatore

Abbiamo un comparatore di soglia e un V applicato al segnale V_A da convertire, al morsetto non invertente. L'uscita del comparatore V_e è controllata un opportuno circuito logico che con uscita D è un segnale digitale che viene fornito in ingresso a un convertitore D/A.

Se una pendenza un convertitore D/A fa parte uno A/D. L'uscita del convertitore D/A costituisce l'altra tensione che viene comparata con la tensione di ingresso da parte del comparatore

Il comparatore confronta il segnale di ingresso V_A con il segnale di confronto V_e che è l'uscita del convertitore D/A e quando viene generato un nuovo valore della tensione di errore V_e che è sua volta, essendo in ingresso al circuito di logica di controllo, può variare l'uscita D , il quale andrà a variare l'ingresso del convertitore D/A e quando andando a cambiare di nuovo il valore V_e . (Costruzione di un anello di reazione) si arriva a $V_e = 0$.

Quando $V_e = 0$, D rappresenta V_A , cioè abbiamo la rappresentazione digitale di V_A .

Il convertitore è detto in reazione perché l'anello di reazione costituito dalla logica di controllo e dal convertitore D/A fa in modo che l'uscita della logica di controllo si vada e posizionata su un valore che è esattamente una rappresentazione del segnale di ingresso V_A .

TIPOLOGIE

Convertitori a inseguimento: la logica di controllo è semplicemente un contatore reversibile. È cioè un contatore che ad ogni istante che arriva il comando di effettuare il conteggio tramite il segnale di clock, in funzione del segnale di ingresso incrementa il valore di $+1$ o lo decrementa di 1 a seconda del segno del segnale V_E .

Convertitori ad approssimazioni successive (SAR):

Divene modificato a passo di semplicità variabile in funzione delle logiche di controllo. È più rapido del prec.

VANTAGGI e SVANTAGGI

Minore complessità circuitale rispetto alle conversione flash, poiché c'è un numero minore di comparatori di soglia, che è 1 , invece di $2^N - 1$.

Ha una minore velocità di conversione.

È adatto a segnali non troppo rapidamente variabili nel tempo.

Prof. Fabrizio Bonani
41'27"

- Classificazione
- Architettura
- Cenni sulle memorie Flash

CLASSIFICAZIONE dei circuiti di memoria

Mercato e tecnologia: i circuiti di memoria rappresentano circa il 30% del mercato complessivo dei semiconduttori.

Vista la struttura regolare, sono caratterizzati dall'aver una ripetizione in un numero molto elevato di celle identiche tra loro. Grazie a questa regolarità nella struttura i circuiti di memoria sono stati per anni i sistemi alla guida dell'evoluzione tecnologica (Anni '70 fino anni '80, metà anni '90).

Classificazione: ci sono diversi criteri per collocare le varie tipologie dei circuiti di memoria. Un primo esempio è basato sul comportamento del circuito di memoria rispetto alla possibilità di lettura/scrittura del dato. Si distinguono i seguenti tipi:

Circuiti di memoria a sola lettura: ROM (Read Only Memory), il dato è scritto una sola volta, poi si può solo leggere.

Circuiti di memoria in lettura e scrittura: RAM (Random Access Memory), importanti per le applicazioni di calcolo, e una serie di circuiti di memoria cancellabili: EPROM, EEPROM, flash.

Un secondo esempio di classificazione è basato sulla persistenza del dato in assenza di alimentazione e abbiamo i seguenti circuiti di memoria:

Volatili RAM

Non volatili ROM, E(E)EPROM, flash

I circuiti di memoria volatili perdono il dato in assenza di alimentazione, gli altri no.

Notare che i circuiti EPROM ed EEPROM sono entrambi ROM programmabili, la prima E significa Erasable, cioè cancellabili, la seconda E, valida per la seconda generazione di tali memorie, indica Electrical, cioè la EEPROM è un circuito di memoria ROM cancellabile elettricamente.

Un'ulteriore possibilità di classificazione è data dal comportamento rispetto al tipo ed alla tecnica di accesso al dato memorizzato. Si ha la seguente distinzione:

Ad accesso casuale, in qualunque istante si può leggere qualunque locazione di memoria

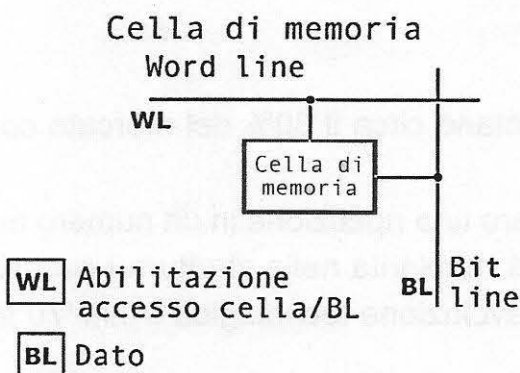
e recuperare il dato.

Ad accesso sequenziale. *(C. V. No. 100)*

ARCHITETTURA

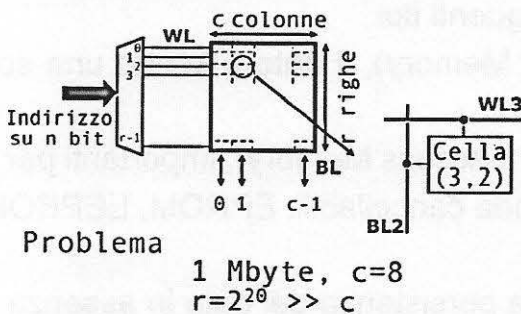
Un qualunque circuito di memoria è caratterizzato dal poter memorizzare al suo interno un insieme di dati, costituiti da parole di una certa lunghezza ovvero di un certo numero di bit. Quindi l'unità base di informazione memorizzata all'interno di un qualunque circuito di memoria è un bit di informazione, con un valore 0 o un valore 1.

Quindi per ogni bit da memorizzare all'interno di un circuito di memoria deve esistere un particolare elemento che deve memorizzare tale bit e l'elemento in questione è detto cella elementare del circuito di memoria. Per ognuno dei singoli bit memorizzati nel circuito di



memoria corrispondono due collegamenti esterni, uno è indicato con il nome di word line (WL) che serve ad abilitare l'accesso alla cella di memoria sia in lettura che in scrittura. Quindi permette di andare a prendere il dato memorizzato nella cella di memoria e portarlo sul segnale esterno, che è il secondo collegamento, indicato con il nome di Bit line (BL). Permette anche la scrittura ovvero il passaggio del dato che si trova in quel momento sulla Bit line per essere memorizzato all'interno della cella di memoria.

Organizzazione a matrice



Ogni singolo bit presenta due gradi di libertà perchè esso deve essere collegato sia alla WL che alla BL e quindi è necessario organizzare il circuito di memoria in una struttura a matrice. Possiamo immaginare la matrice costituita da singole celle di memoria e poichè il dato è formato da una parola (8, 16, 32 o 64 bit) e tale matrice è formata da c colonne, in cui ogni colonna è un bit della parola che si intende memorizzare in quella riga ed è formata da r righe, pari al numero di parole memorizzabili all'interno del circuito di memoria e quindi nella matrice di celle di memoria rappresentata in figura.

Quindi r righe = r parole; c colonne = c bit.

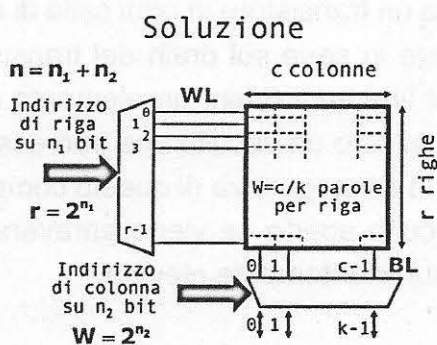
Ogni elemento della matrice corrisponde ad una cella di memoria che sarà indirizzata dalla corrispondente word line WL e porterà verso l'esterno o comunque comunicherà verso l'esterno attraverso una particolare bit line BL che in figura è la seconda bit line della parola. Possiamo indirizzare un numero r di word line con n bit se $r = 2^n$, quindi l'organizzazione a matrice della cella di memoria è completata da un circuito combinatorio che prende in ingresso un indirizzo formato da un insieme di n bit il cui valore va a scegliere la particolare parola da indirizzare all'interno della matrice. Il circuito di decodifica si occupa

in funzione del codice binario su n bit presente al suo ingresso di andare ad attivare la singola word line che corrisponde a quel particolare codice e questa è la struttura a matrice bidimensionale tipica di qualunque circuito di memoria.

Questa struttura è particolarmente adatta per essere realizzata con la tecnologia planare dei semiconduttori.

Un problema è causato dal fattore di forma diverso da 1 della matrice, dato dal numero di righe e dal numero di colonne molto diversi tra loro: una struttura a parole da 8 bit ($c = 8$), per 1 Mbyte occorrono 2^{20} righe $\gg c$.

La soluzione è quella di realizzare una forma il più possibile quadrata, memorizzando in una riga non una sola parola ma un certo numero W di parole pari a c/k , se k è il numero di bit per parola.



Con questa nuova struttura occorre un circuito di decodifica (bidimensionale in figura) che deve andare a scegliere dalle c colonne le k colonne che corrispondono alla particolare parola che si intende leggere o scrivere.

L'indirizzo n di bit è scomposto in due indirizzi n_1 e n_2 di bit, per cui $n = n_1 + n_2$. I primi n_1 bit sono utilizzati per andare a identificare la riga all'interno

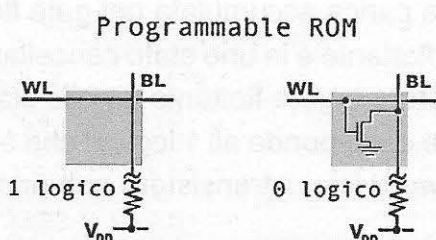
della matrice (n_1 è detto indirizzo di riga) e se un indirizzo di riga è fatto di n_1 bit allora il numero di righe r è 2^{n_1} .

Il circuito di decodifica va ad attivare la corrispondente WL, gli altri n_2 bit rappresentano l'indirizzo di colonna ed indirizzano la parola all'interno delle c colonne. Il numero di parole presenti per ogni riga, W , è pari a 2^{n_2} . L'indirizzo di colonna è usato dal relativo circuitot combinatorio che va a scegliere tra le c colonne le k colonne che corrispondono alla particolare parola a sua volta corrispondente all'indirizzo presentanto al decodificatore di riga. Nella realtà di circuiti di memoria di grandi dimensioni abbiamo una struttura gerarchica delle celle di memoria per cui il concetto sopra subisce delle suddivisioni.

CENNI SULLE MEMORIE FLASH

Vediamo prima il circuito di memoria meno tecnologicamente avanzato che è la cella di memoria PROM, ROM programmabile, in cui il dato è a sola lettura, il dato viene scritto una volta soltanto.

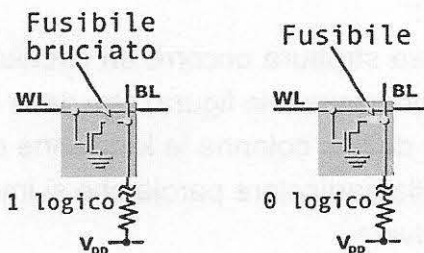
La cella di memoria PROM



In figura, a sinistra la scrittura di un 1 logico e a destra la scrittura di uno 0 logico. L'informazione è codificata dalla presenza o meno di un transistor MOS che collega la bit line a massa tra source e drain, mentre il transistor MOS è collegato alla wire line sul suo contatto di gate. Per il funzionamento basta pensare che il transistor MOS si comporti

come un interruttore e nel momento in cui la cella di memoria viene abilitata, cioè la word line viene portata a 1 logico, la tensione V_{GS} di gate risulta essere superiore alla tensione di soglia e quindi se il transistor esiste ed è collegato tra bit line e massa allora l'interruttore si chiude ed il punto sulla BL viene portato al potenziale di zero e quindi nella cella di memoria è memorizzato uno zero logico. Invece, se il transistor non c'è allora lo stesso punto della bit line viene sempre lasciato allo stesso livello di potenziale, pari a V_{DD} quindi si legge un valore di 1 logico.

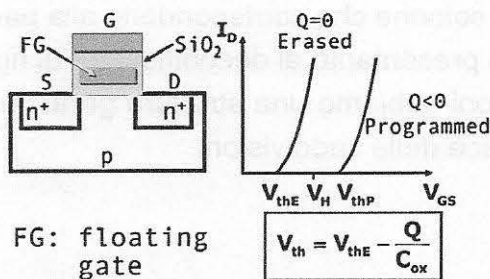
Quindi nelle PROM l'informazione è codificata nella presenza o nell'assenza di un interruttore che sia in grado di andare a cortocircuitare la bit line verso massa una volta abilitato dal corrispondente segnale di word line.



Nella realtà si crea un transistor in ogni cella di memoria e poi mettere in serie sul drain del transistor, quindi tra la bit line ed il drain, un elemento che funge da fusibile, ovvero un circuito che può essere bruciato e quindi, in conseguenza di questo comportarsi come un circuito aperto se viene attraversato da una corrente sufficientemente elevata.

Questo principio di funzionamento è usato anche nelle memorie EEPROM e flash, con la differenza che il dato può essere cancellato, riscritto. Quindi occorre un interruttore controllabile e che non perda il dato una volta spenta l'alimentazione. Questo è stato realizzato nel transistor MOS a gate flottante.

IL MOSFET a gate flottante



IL MOSFET A GATE FLOTTANTE

È un MOS che al centro, completamente annesso nell'ossido, ha un ulteriore strato di materiale conduttivo, che quindi è un gate ed è flottante perché ad esso non è applicato dall'esterno nessun potenziale. La funzione è quella di poter accumulare al suo interno o meno degli elettroni.

Questo è importante perché una eventuale carica presente nello stato di ossido va a modificare il valore di banda piatta di questo sistema MOS modificato, e quindi va a modificarne la tensione di soglia. Quindi, potendo accumulare una carica negativa, di elettroni, se Q è minore di zero allora si può dimostrare che la tensione di soglia può essere incrementata di un fattore pari a $-Q/C_{ox}$, in cui C_{ox} è la capacità dello strato di ossido che separa gate flottante dal resto del circuito e si dice, in questo caso con $Q < 0$ che il transistor è nello stato programmato. Se la carica accumulata nel gate flottante è zero, $Q = 0$, allora si dice che il transistor a gate flottante è in uno stato cancellato. Naturalmente se il valore di soglia V_{thE} , quando il transistor a gate flottante è nello stato cancellato, è minore di V_{H1} , cioè del valore di tensione che corrisponde all'1 logico, che è la tensione massima applicabile al gate stesso tramite la word line, il transistor non andrà

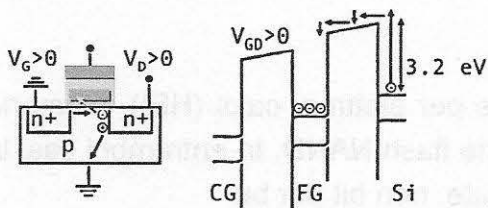
mai in conduzione.

Se invece il transistor a gate flottante è cancellato la sua tensione di soglia deve essere inferiore alla tensione V_H potrà andare in conduzione.

A questo punto l'interruttore controllato è realizzato, se ho un meccanismo per inserire o togliere elettroni dal gate flottante ho una memoria ROM cancellabile e riprogrammabile.

INIEZIONE DI ELETTRONI CALDI

HEI: Hot Electron Injection



L'iniezione di elettroni all'interno del gate flottante viene fatta sfruttando due tecniche.

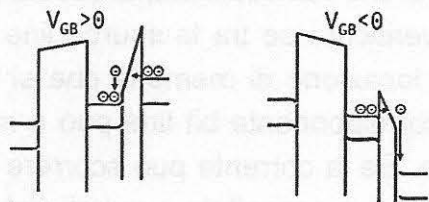
La prima è quella detta degli elettroni caldi, che corrisponde ad applicare una tensione $V_{GS} > 0$ tra source e drain in modo da far scorrere una corrente elevata. Il campo elettrico cresce andando verso il drain e se la tensione V_{DS} è sufficientemente elevata allora vengono creati proiezioni da impatto coppie elettroni-lacune. Le lacune vengono attrarre verso il potenziale zero del bulk (massa) e quindi se ne vanno, mentre gli elettroni se hanno energia sufficientemente elevata possono superare per iniezione termoionica la barriera di energia potenziale che li separa dal gate flottante e quindi andare ad essere accumulati all'interno del gate flottante. Affinchè gli elettroni ad alta energia vengano attirati dal gate flottante si dovrà applicare una tensione al gate che sia positiva ($V_G > 0$) in modo tale che gli elettroni ad alta energia vengano attirati ed accumulati all'interno del gate flottante.

Questa tecnologia ha la caratteristica di essere non reversibile, cioè non si possono estrarre gli elettroni dal gate flottante perchè ad essi non può essere fornita energia. C'è una ulteriore tecnica che permette di inserire ed estrarre elettroni dal gate flottante che è il tunneling Fowler-Nordheim, che utilizza l'effetto tunnel.

Questa tecnologia ha la caratteristica di essere non reversibile, cioè non si possono estrarre gli elettroni dal gate flottante perchè ad essi non può essere fornita energia.

C'è una ulteriore tecnica che permette di inserire ed estrarre elettroni dal gate flottante che è il tunneling Fowler-Nordheim, che utilizza l'effetto tunnel.

Tunneling Fowler-Nordheim



Programmazione Cancellazione
Reversibile!

TUNNELING FOWLER-NORDHEIM

Per poter far passare gli elettroni per effetto tunnel attraverso la barriera di ossido occorre che la barriera sia molto sottile. Quindi lo strato di ossido che separa il gate flottante dal substrato deve essere molto sottile.

Applicando una tensione al gate positiva, $V_{GB} > 0$, questa tende ad attirare gli elettroni del MOS verso il gate flottante e quindi abbiamo la programmazione della cella, se si applica una tensione $V_{GB} < 0$ questo potenziale tende ad attirare gli elettroni del gate flottante verso il substrato e quindi si ha la fase di cancellazione. Quindi abbiamo un processo reversibile.

USO DEL MOSFET FG

Il transistor a gate flottante (MOS FG) è utilizzato in tutte le tecnologie a memorie cancellabili, ovvero utilizzato in tutte le memorie non volatili:

- EPROM (Erasable PROM) con cancellazione per esposizione a radiazione UV.
- EEPROM (Electrically Erasable PROM), uso di tunneling Fowler-Nordheim.
- Flash, allo stato attuale la tecnologia più efficiente ed avanzata.

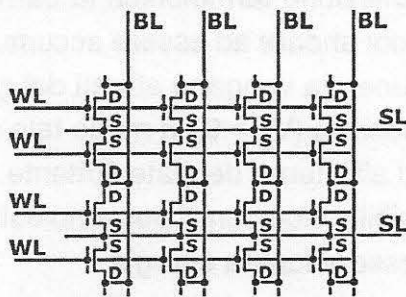
Che sono tecnologie molto diverse tra loro.

MEMORIE FLASH

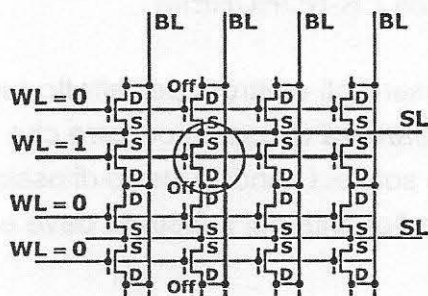
La programmazione di queste memorie può avvenire per elettroni caldi (HEI), memorie flash NOR, o per tunneling Fowler-Nordheim, memorie flash NAND. In entrambi i casi la programmazione avviene per parole intere memorizzate, non bit per bit.

La cancellazione, essendo elettrica, avviene per effetto tunnel ed avviene per interi settori quindi per interi blocchi di parole.

Architettura NOR



Letture

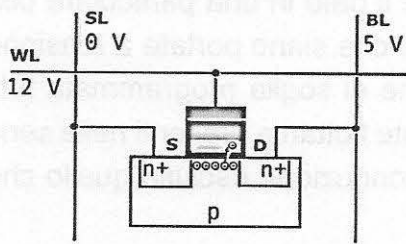


Nell'architettura NOR i transistori a gate flottante sono collegati sostanzialmente in serie tra loro tra source e drain. I vari gate che costituiscono i terminali di controllo sono collegati dalla stessa word line, quindi attivando una word line si attiva una intera riga di transistori MOS a gate flottante. Le bit line sono collegate ai drain dei vari transistori a gate flottante. La particolarità sta nel fatto che tutti i source delle varie colonne sono collegati tra loro tramite un'ulteriore linea, SL, la source line.

La lettura avviene disabilitando tutti i transistori a gate flottanti escluso quello di cui si vuole effettuare la lettura (WL tutte a 0 esclusa una); a questo punto è sufficiente verificare se tra la source line corrispondente alla locazione di memoria che si vuole leggere e la corrispondente bit line può o meno scorrere corrente. Se la corrente può scorrere vuol dire che il transistor è cancellato e quindi vi è memorizzato uno zero; se il transistor è programmato e la sua tensione di soglia è maggiore dell'1 applicato al gate la corrente non può scorrere. Se tra la source line e la bit line scorre corrente allora il dato è zero.

La fase di programmazione avviene per elettroni caldi e richiede di applicare una tensione V_{DS} di circa 5V tra la bit line e la source line mentre la word line deve essere portata ad una tensione molto elevata e positiva, 12V circa, per attirare gli elettroni verso il gate flottante.

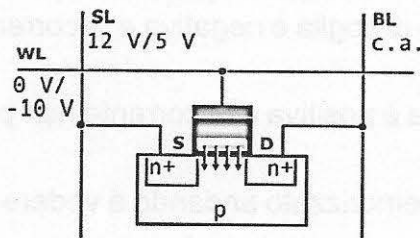
Programmazione



Selettiva, per HEI

La fase di cancellazione avviene per effetto tunnel, per un intero settore, viene lasciata in circuito aperto l'intera bit line, poi si applica una differenza di potenziale positiva tra la source line e la word line (quindi una tensione $V_{GS} < 0$) che attira gli elettroni per effetto tunnel e li fa attraversare lo strato di ossido attirandoli verso il substrato.

Cancellazione



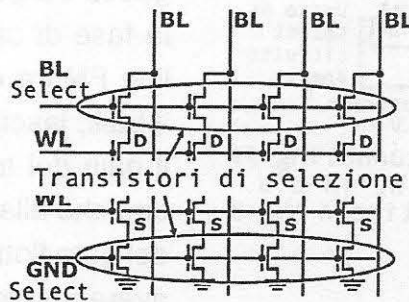
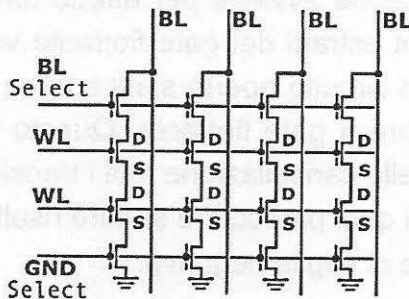
A settori, per tunneling FN

VANTAGGI E PROBLEMI

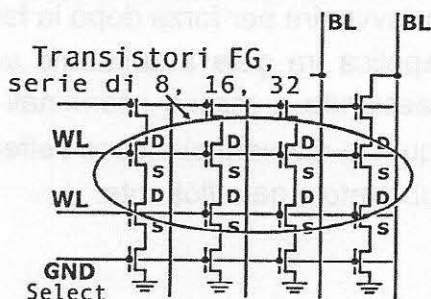
- Letture e scrittura ad accesso casuale, quindi rapidi.
- Prima di cancellare un settore, occorre programmarlo completamente.
- Evita sovracancellazioni.
- Microcontrollore per gestire le fluttuazioni di V_{th} dopo la cancellazione.

ARCHITETTURA NAND

Architettura NAND



In essa abbiamo transistori di selezione collegati in testa ed in coda alla serie dei dispositivi a gate flottante. Il transistore di selezione superiore è quello cosiddetto di bit line select.

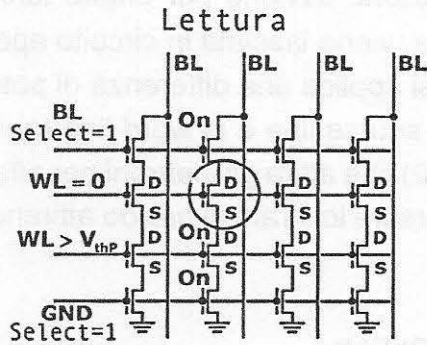


perchè è quello che stabilisce il collegamento della serie gate flottanti o meno con la bit line. Notare che la bit line è collegata solo con transistori di bit line select.

Il transistore di selezione inferiore collega o meno a massa la serie di transistori a gate flottanti.

I vari transistori a gate flottanti sono disposti a serie di 8, 16 o 32 elementi.

Ricordando che nell'architettura NAND il singolo transistore a gate flottante quando cancellato ha tensione di soglia negativa, quindi è un transistore ad arricchimento. Quindi per una tensione applicata al suo gate è in grado di



condurre.

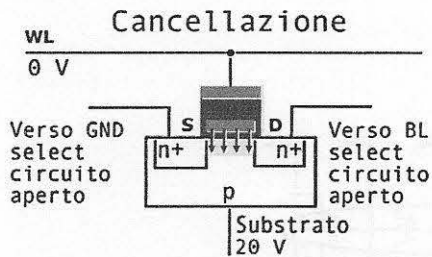
Per andare a leggere il dato in una particolare cella di memoria occorre che siano portate a tensione superiore alla tensione di soglia programmata tutti gli altri transistori a gate flottante presenti nella serie per cui tutti sono in conduzione escluso quello che voglio leggere.

Poi vengono attivati i transistori di bit line select e di ground select in modo tale che la bit line sia collegata a massa tramite il transistor a gate flottante.

A questo punto esso viene abilitato mettendo a zero il corrispondente valore di word line, quindi se il transistor scelto è cancellato, la sua tensione di soglia è negativa e la corrente è in grado di passare.

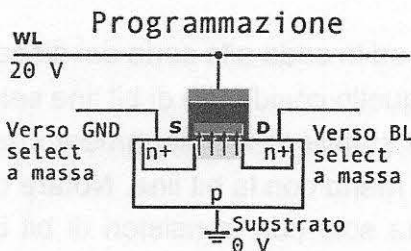
Se invece esso è programmato allora la tensione di soglia è positiva e la corrente non può passare.

Anche in questo caso è quindi possibile leggere il dato memorizzato andando a vedere se sulla bit line è in grado di passare o meno corrente.



A settori, per tunneling FN
 Tutte le altre WL in c.a.
 Al termine, tutti con $V_{th} < 0$

La fase di cancellazione avviene per settori, per tunneling FN, quindi occorre applicare una tensione negativa tra gate e bulk. Infatti nell'architettura NAND la fase di cancellazione avviene per effetto tunneling FN tra elettroni estratti dal gate flottante verso il bulk, lasciando in circuito aperto sia il source che il drain del transistor a gate flottante. Questo vuol dire che alla fine della cancellazione tutti i transistori del gate flottante di quel particolare settore risultano avere una tensione di soglia negativa.



Altri MOSFET sulla colonna in conduzione: ha luogo dopo la cancellazione

La fase di programmazione avviene garantendo che tutti gli altri MOSFET sulla colonna siano in conduzione e questo deve avvenire per forza dopo la fase cancellazione. Si applica tra gate e substrato una tensione positiva lasciando a massa i terminali di source e drain. In questa maniera si induce l'effetto tunneling FN tra substrato e gate flottante.

Vantaggi e problemi della struttura NAND

- Struttura molto compatta
- Settori più piccoli dell'architettura NOR, che migliora il tempo di scrittura
- Accesso seriale: lettura più lenta

CONFRONTO FRA ARCHITETTURE

Architettura NOR

- Medio-alta capacità
- Lettura veloce, scrittura lenta
- Applicazioni: codice

Architettura NAND

- Alta capacità
- Lettura lenta, scrittura veloce
- Applicazioni: dati

(l'architettura NAND è molto usata nelle memory card, per lettura dati MP3, fotografia ecc.)

CONFRONTO FRA ARCHITTURE

Architettura NOR

- Medio-alta capacità
- Lettura veloce, scrittura lenta
- Applicazioni: editing

Architettura NAND

- Alta capacità
- Lettura lenta, scrittura veloce
- Applicazioni: dati

(L'architettura NAND è molto usata nelle memorie flash per telefoni cellulari, fotocamere)

doc)

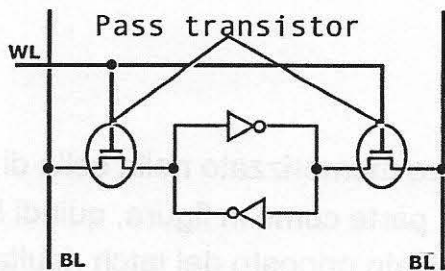
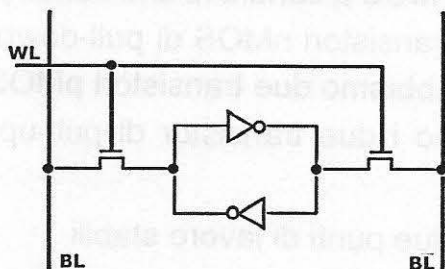
Le memorie ad accesso casuale

Prof. Fabrizio Bonani
41'46"

- La memoria RAM statica
- La memoria RAM dinamica

Elemento di memoria

Circuito latch (bistabile)



LA MEMORIA STATICA

Tutte le memorie hanno fondamentalmente una struttura a matrice nella quale ogni singolo bit viene memorizzato in una particolare cella di memoria.

Nel caso della RAM statica il dato viene memorizzato nello stato di un circuito latch bistabile. Circuito costituito da una serie ad inseguimento di due inverter, che presenta solo tre possibili punti di funzionamento. Uno nel quale l'uscita di destra è pari a uno e corrispondentemente l'uscita di sinistra è pari a zero. Uno in cui tali valori sono scambiati. Uno, che non corrisponde a nessuno dei due stati logici fondamentali, ma nel quale entrambi i collegamenti si trovano ad un potenziale pari a $V_D / 2$. I primi due sono punti di lavoro stabili (permane lo stato, dopo

un piccolo transitorio se il circuito subisce una piccola perturbazione su uno dei due punti), il terzo è instabile (a causa di una perturbazione il circuito commuta rapidamente tramite una reazione positiva verso uno dei due stati stabili, in particolare verso quello più vicino rispetto alla perturbazione).

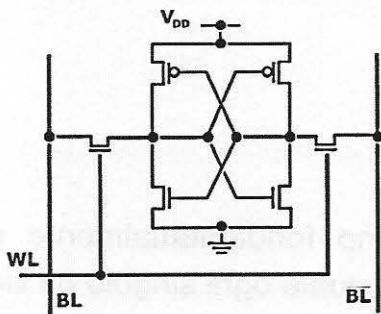
Il circuito latch bistabile mantiene il dato memorizzato al suo interno, dato che viene trasferito all'esterno tramite la bit line e la sua negata (ognuna corrisponde ad una uscita del circuito latch, le due uscite sono una la negata dell'altra) ed il collegamento alle varie bit line viene abilitato dalla presenza di due pass transistors, MOS a canale n, progettati in modo tale da andare in conduzione quando il segnale applicato al loro gate è pari a uno.

Essi in pratica hanno la funzione di interruttori: circuiti aperti quando il segnale a loro applicato, cioè il segnale di abilitazione alla cella e quindi la word line è pari a zero; cortocircuitati quando il segnale di abilitazione applicato tramite la word line è uno.

Vantaggi e svantaggi

- Robustezza ai disturbi esterni (stati stabili), infatti il dato memorizzato avviene in uno dei due stati stabili di funzionamento del circuito.
- Elevata area occupata dalla cella di memoria
 - . per la complessità del latch
 - . per la presenza dei pass transistor

Cella a 6 transistori



CELLAA 6 TRANSISTORI

La cella più comune per la RAM statica è la cella a 6 transistori.

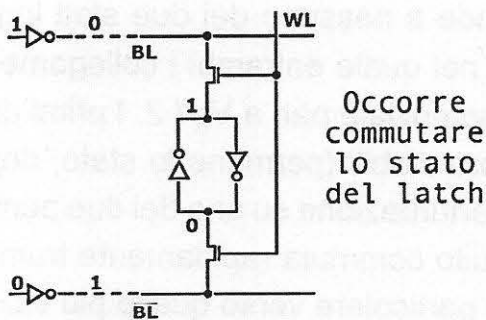
Abbiamo 4 transistori MOS a canale n, che sono i pass transistori più i due transistori nMOS di pull-down dei due inverter CMOS; abbiamo due transistori pMOS (in alto) che costituiscono i due transistori di pull-up dei

due inverter. Caratteristiche (molto positive):

- Dinamica delle tensioni memorizzate ampia ($0 - V_{DD}$), due punti di lavoro stabili
- Consumo statico trascurabile (del CMOS), idealmente zero

LA SCRITTURA

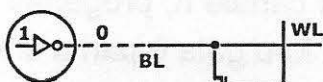
Scrittura



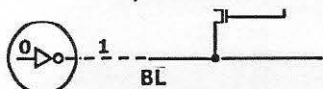
Supponiamo di avere memorizzato nella cella di memoria il dato 1 dalla parte come in figura, quindi la bit line vale 1. Quindi il lato opposto del latch risulta essere a 0, così come la bit line negata, pass transistor. Supponiamo ora di voler far commutare questo latch, cioè di voler scrivere nella cella di memoria uno 0 al posto dell'1. Quindi di far cambiare di valore da 0 ad 1 dall'altra parte. Per farlo occorre forzare il circuito latch a lasciare il suo stato stabile 1 - 0 ed andare a commutare sull'altro stato stabile 0 - 1.

Si noti come il dato viene presentato sulla BL e sulla BL negata tramite due inverter, che rappresentano due circuiti di buffer che devono fornire una elevata corrente per caricare in fretta la B/L.

Il dato viene presentato sulla BL che è una linea di trasmissione molto lunga e quindi presenta una elevata capacità equivalente, una elevata capacità parassita. Fornendo una elevata corrente ad una capa-



I MOSFET devono fornire una corrente elevata per caricare in fretta la linea BL: W/L grande \Leftrightarrow piccola resistenza

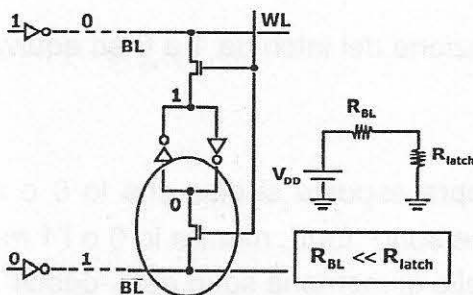
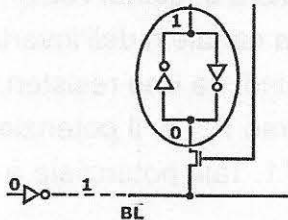


ciò si ottiene una elevata variazione di tensione in poco tempo (ottenendo una elevata derivata prima).

Per forzare la BL al valore del dato (0 oppure 1) in un tempo molto rapido occorre che il circuito di buffer sia in grado di fornire una elevata corrente. Se il circuito di buffer è un inverter la sua uscita è costituita da un transistor nMOS o pMOS a seconda di quale stato viene fornito all'uscita del transistor. Se l'uscita dell'inverter è 0 allora la corrente deve attraversare il MOS a canale n di pull-down. Se l'uscita deve essere 1 la corrente deve attraversare il MOS a canale p di pull-up.

Ricordando che la corrente di drain di un transistor MOS è data dal prodotto del coefficiente β_n che contiene al suo interno le caratteristiche del transistor (mobilità dei portatori per la capacità dell'ossido per il fattore geometrico W/L) mentre il resto della corrente è fondamentalmente determinato dalle tensioni applicate. Quindi, per consentire di fornire una elevata corrente da un transistor MOS, fissate le tensioni di alimentazione, si utilizza un transistor con un β (Beta) estremamente elevato. Per avere un β molto elevato, poiché non possiamo modificare la capacità dell'ossido e la mobilità dei portatori mobili nel canale perché essi sono fissati dalla tecnologia in uso, l'unico grado di libertà che ci resta è il rapporto W/L , il fattore geometrico. Il rapporto W/L deve essere il più grande possibile, quindi avremo una larghezza di gate molto superiore alla lunghezza di gate. Conseguenza di questo è quello di avere un transistor che occupa molto spazio sulla piastrina di silicio, per cui occorre avere pochi grandi transistori che forniscono molta corrente per non occupare troppo spazio sul silicio. Dire che un transistor fornisce molta corrente equivale a dire che la sua resistenza equivalente è piccola.

MOSFET di piccola dimensione
 \Leftrightarrow grande resistenza



Concentrandosi sui transistori che costituiscono il collegamento di inverter al latch e quindi che costituiscono l'elemento di memoria, questi vorremmo fossero molto piccoli per averne un gran numero. Questo comporta un W/L piccolo e quindi la corrente che li può attraversare è piccola per cui avranno una resistenza equivalente elevata.

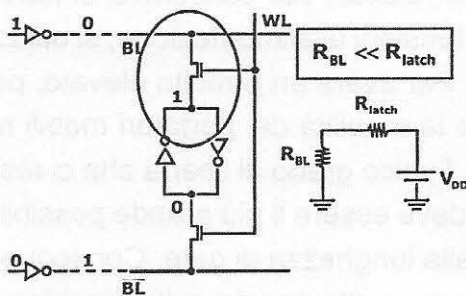
Analizzando la FASE DI SCRITTURA, supponiamo di voler forzare a 1 il punto che è a valore 0. Cioè vogliamo farlo commutare da 0 a 1.

Si applica dunque un 1 tramite la bit line che corrisponde al fatto che sulla bit line la tensione corrisponde a V_{DD} , l'applicazione di V_{DD} è fatta attraverso il circuito di uscita dell'inverter, che se è a tecnologia CMOS l'1 è applicato tramite il transistor MOS a canale p di pull-up di questo singolo inverter;

questo transistor deve essere di area molto elevata per poter fornire abbastanza corrente alla bit line in modo tale da farla caricare in un tempo molto piccolo (ovvero trascurabile) e quindi il circuito equivalente visto prima dell'elemento di memoria è la tensione V_{DD} con in serie la resistenza equivalente R_{BL} del

circuito MOS che alimenta la bit line, resistenza che deve essere molto piccola. La resistenza, molto piccola, R_{BL} è quella equivalente dell'inverter a sinistra che ha uno 0 in uscita, quindi il tuo transistore di pull-down, a canale n, è in condizione di conduzione, ed è un transistore di dimensione molto piccola. Quindi R_{latch} è la resistenza equivalente del transistore che è in conduzione all'interno del circuito latch.

Abbiamo che $R_{BL} \ll R_{latch}$, e la tensione del punto che vogliamo andare a controllare, quello a destra della resistenza R_{BL} è caratterizzata dal rapporto di partizione tra R_{BL} e R_{latch} . Ovvero la tensione in tale punto è pari a $V_{DD} * (R_{latch} / (R_{latch} + R_{BL}))$. Ma siccome R_{latch} ha valore molto maggiore di R_{BL} , perchè i transistori che realizzano i circuiti di buffer hanno dimensioni grandi, allora tale rapporto di partizione è praticamente 1 e quindi la tensione in quel punto è V_{DD} ottenendo il forzamento del passaggio della tensione da 0 a 1, come volevamo.

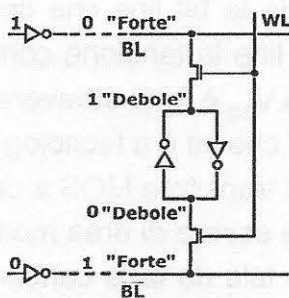


Concentrandosi ora sull'altro lato dell'elemento di memoria vediamo che inizialmente abbiamo un 1. Quindi questo vuol dire che l'uscita dell'inverter a sinistra viene fornita attraverso il transistore di pull-up che è un pMOS di area minima e quindi con una resistenza equivalente (R_{latch} in figura) molto elevata.

Rappresentando il circuito equivalente che si vede dall'uscita dell'inverte con uscita pari a 1 abbiamo una tensione V_{DD} che rappresenta il dato 1 memorizzato nel punto, che è collegata in serie alla resistenza equivalente R_{latch} del pMOS. Una volta che è attivato il pass transistor, la bit line è collegata a 0, quindi vediamo nella BL la sola resistenza equivalente del transistore di pull-down a canale n dell'inverter in alto a sinistra nella figura che è di dimensione molto elevata, quindi ha una resistenza equivalente R_{BL} molto piccola. Il potenziale del punto dopo R_{latch} verso R_{BL} è il potenziale che si viene a realizzare nella cella di memoria in figura, dove c'è l'1. Tale potenziale è la ripartizione di V_{DD} tra R_{latch} e R_{BL} , cioè $V_{DD} * (R_{BL} / (R_{BL} + R_{latch}))$.

Essendo $R_{latch} \gg R_{BL}$ tale valore è molto vicino a zero.

Quindi, così facendo, riusciamo a forzare la commutazione del latch da 1 a 0 ed equivalentemente dalla parte opposta da 0 a 1.



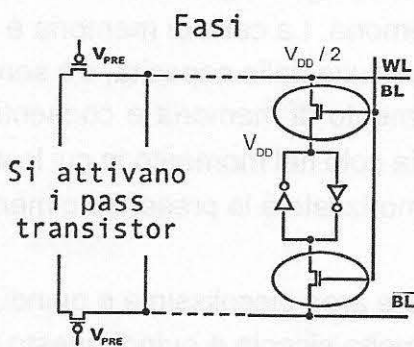
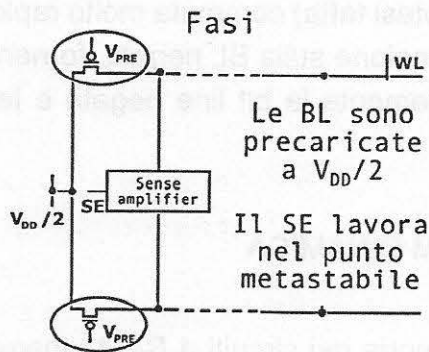
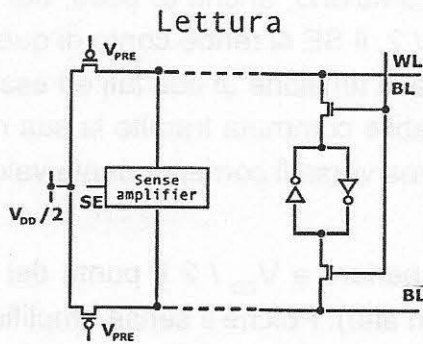
Per le ragioni sopra esposte si dice che lo 0 o l'1 forniti dalle bit line sono "forti", mentre lo 0 o l'1 memorizzati nella cella di memoria sono detti "deboli".

Questi due aggettivi indicano semplicemente il fatto che il bilancio delle resistenze equivalenti dei due transistori è tale per cui l'elemento di memoria è forzato a commutare dal valore di tensione applicato sulla BL e sulla BL negata.

LETTURA

In lettura, i piccoli transistori del latch devono caricare la BL, quindi tempi molto lunghi, perchè la corrente fornita è piccola e la BL è lunga. La soluzione è data dal sense amplifier, un particolare circuito.

Infatti in fase di lettura non abbiamo più il dato fornito tramite i circuiti di buffer alle bit line, ma sono le celle di memoria che devono fornire il valore della tensione che è al loro interno memorizzata sulle BL.



LETTURA. IL SENSE AMPLIFIER (SE)

Esso non è un circuito amplificatore ma un circuito bistabile (latch), uno per ogni bit line. Può essere realizzato con MOS di grandi dimensioni proprio perchè è uno per BL, uno per ogni colonna.

Il sense amplifier è un circuito latch per facilitare la lettura e funziona come segue.

Durante il processo di lettura, inizialmente, tramite opportuni circuiti di precarica, vengono caricate la BL e la BL negata ad una tensione $V_{DD}/2$.

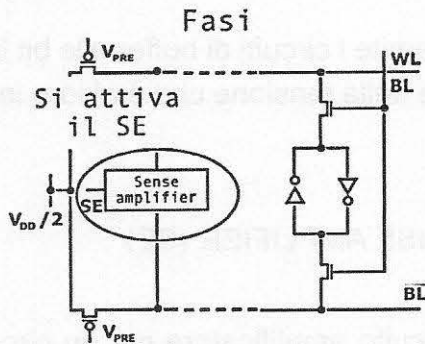
Nella fase iniziale della lettura si attivano i pass transistor di precarica e le due BL vengono caricate al valore di $V_{DD}/2$. I circuiti di precarica sono due per colonna e quindi sono realizzati di grandi dimensioni e quindi la precarica è molto rapida. Il fatto che le BL siano caricate a $V_{DD}/2$ implica che il sense amplifier (SE) lavora nel punto metastabile, il punto instabile.

A questo punto vengono attivati i pass transistor che collegano la cella di memoria da leggere con le due BL, la bit line e la bit line negata. Quello che succede è che l'elemento di memoria cerca di caricare o scaricare la corrispondente bit line o bit line negata a seconda che in esso sia memorizzato un 1 o uno 0.

Supponendo che nella cella di memoria (punto in alto e quindi situazione in alto) sia memorizzato un 1, allora abbiamo una tensione V_{DD} nell'elemento e $V_{DD}/2$ dall'altra parte, quindi il circuito tenta di caricare la BL facendo muovere il valore di tensione verso V_{DD} , con una velocità

bassa.

Analogamente, avendo un 1 memorizzato da un lato, avremo uno 0 memorizzato dall'altro (situazione in basso). Quindi la bit line negata tende a scaricarsi da $V_{DD} / 2$ verso 0 attraverso il transistor di piccola dimensione, quindi con una corrente limitata e quindi con una velocità limitata.

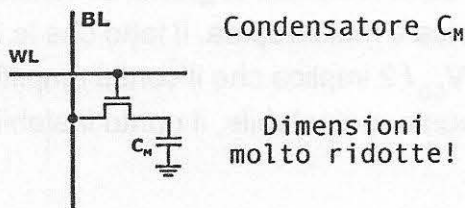


A QUESTO PUNTO SI ATTIVA IL SENSE AMPLIFIER, il che vuol dire collegare le sue uscite alle due BL, la bit line e la bit line negata. Poiché il SE lavorava nel punto di lavoro metastabile, appena le due tensioni nelle BL cambiano, anche di poco, dal valore iniziale di $V_{DD} / 2$, il SE si rende conto di questo sbilancio del valore di tensione ai due lati ed essendo un circuito instabile commuta tramite la sua reazione positiva interna verso il corrispondente valore.

Quindi se sulla BL abbiamo un valore leggermente superiore a $V_{DD} / 2$ il punto del SE commuta immediatamente a V_{DD} (situazione ipotizzata in alto). Poiché il sense amplifier è grande, in quanto ce n'è uno per colonna, esso fornisce molta corrente alla BL forzando rapidamente la BL a salire al valore V_{DD} , cioè al valore di 1 logico.

Analogamente, l'altra metà del SE (lato in basso, nell'ipotesi fatta) commuta molto rapidamente sullo 0, che è il valore a cui stava tendendo la tensione sulla BL negata, fornendo una grande corrente che è in grado di scaricare rapidamente la bit line negata e farla commutare molto rapidamente verso lo 0.

Elemento di memoria



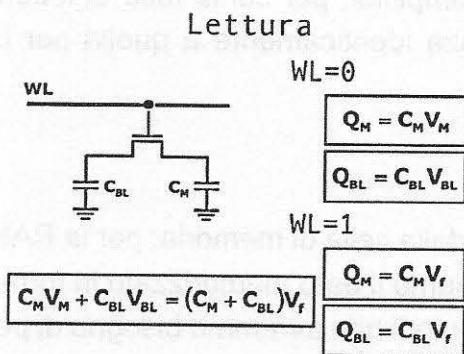
LA MEMORIA RAM DINAMICA

L'elemento di memoria dei circuiti a RAM dinamica non è più un circuito bistabile ma è molto compatto perchè è un valore di capacità, un condensatore di capacità C_M . Questo spiega i tagli di dimensione alta di tali circuiti di memoria. La cella di memoria è fondamentalmente costituita dalla capacità, c'è sempre

il pass transistor che serve a isolare la bit line dall'elemento di memoria e consentire il collegamento elettrico tra bit line ed elemento di memoria solo nel momento in cui la word line corrispondente viene attivata. Quello che viene memorizzato è la presenza o meno di una carica accumulata nella capacità C_M .

Per avere dimensioni ridotte, le capacità C_M devono avere area piccolissima e quindi, essendo proporzionale all'armatura, anche la capacità è molto piccola e quindi questo vuol dire, a parità di tensione, carica accumulata estremamente limitata.

Analizziamo ora le fasi di lettura e scrittura della RAM dinamica andando ad evidenziare le



difficoltà che questo piccolissimo valore di capacità presenta.

Per la fase di LETTURA, nella sua fase iniziale abbiamo ancora $WL = 0$, quindi il pass transistor è in pratica un circuito aperto. Questo vuol dire che avremo un certo dato memorizzato nella capacità C_M che corrisponderà alla carica. Se la carica è 0 avremo un 0 memorizzato, se la carica è un valore positivo avremo un 1 memorizzato.

Nel condensatore C_M avremo quindi memorizzato la carica $Q_M = C_M V_M$.

V_M è il valore di tensione memorizzato nell'elemento

di memoria.

La bit line è una linea di trasmissione molto lunga, quindi essa ha una capacità parassita C_{BL} molto elevata, e, nel circuito equivalente molto semplice (in figura) sarà rappresentata dalla capacità C_{BL} , sulla quale sarà presente una certa tensione iniziale V_{BL} e quindi ad essa corrisponderà una carica $Q_{BL} = C_{BL} V_{BL}$.

Nel momento in cui VIENE ATTIVATO IL PASS TRANSISTOR, $WL = 1$, i due condensatori sono tra loro collegati e si determina un certo transitorio (supponendo il collegamento tra di loro un interruttore ideale) che corrisponderà ad uno scambio di carica tra i due condensatori che terminerà quando le condizioni del collegamento elettrico sono soddisfatte. Quando cioè la tensione ai capi dei due condensatori sarà esattamente la stessa.

Quindi al termine del transitorio della fase di lettura avremo una certa tensione V_f finale sui due condensatori in parallelo per cui le cariche sui due condensatori saranno:

$Q_M = C_M V_f$ sull'elemento di memoria e $Q_{BL} = C_{BL} V_f$ nella capacità equivalente della bit line.

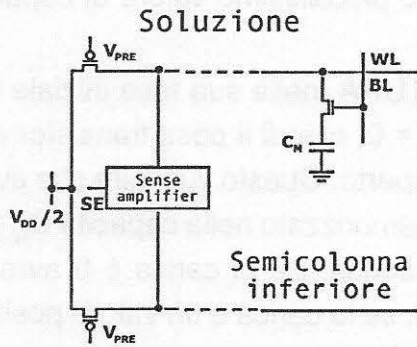
La condizione di conservazione della carica impone che tanta carica che avevamo prima della fase di lettura sia pari a quella dopo la fase di lettura, alla fine del transitorio, ovvero:

$C_M Q_M + C_{BL} V_{BL} = (C_M + C_{BL}) V_f$ e quindi il valore finale di tensione che viene raggiunto $V_f = \frac{C_M V_M + C_{BL} V_{BL}}{C_M + C_{BL}} \rightarrow V_{BL}$ nella bit line alla fine del transitorio è dato dalla seguente espressione:

Che è la media pesata delle tensioni iniziali. C_M è molto piccola e questo spiega il valore finale, che è quello di aver spostato pochissimo il valore V_{BL} .

Da ciò abbiamo due conseguenze:

- Il risultato della lettura non è un valore di tensione 0 o V_{DD} , cioè 0 o 1 logico.
- La lettura distrugge il dato memorizzato.



La soluzione a questi due problemi è quello di utilizzare un sense amplifier, per cui la fase di lettura avviene in sostanza identicamente a quella per la RAM statica.

Con la differenza della cella di memoria: per la RAM dinamica non abbiamo il dato memorizzato in forma diretta e negata, quindi non avremmo bisogno di per sé della semicolonna inferiore che rappresenta la bit line negata.

Ma, per lo stesso principio di funzionamento del sense amplifier, abbiamo bisogno di andare a misurare uno sbilanciamento di tensione tra due linee di capacità il più possibile identica che siano inizialmente precaricate alla tensione $V_{DD} / 2$. Quindi nelle RAM dinamiche si costruiscono due linee di trasmissione che corrispondono alla bit line, una effettivamente collegata all'elemento di memoria, l'altra, di uguale lunghezza alla precedente per avere la stessa capacità parassita, lasciata flottante, non collegata.

Nella fase iniziale della lettura le due linee di trasmissione sono precaricate a $V_{DD} / 2$, in modo che il sense amplifier sia portato a lavorare nel punto di lavoro metastabile.

Nel momento in cui si vuole la lettura si attiva la word line che corrisponde al dato memorizzato.

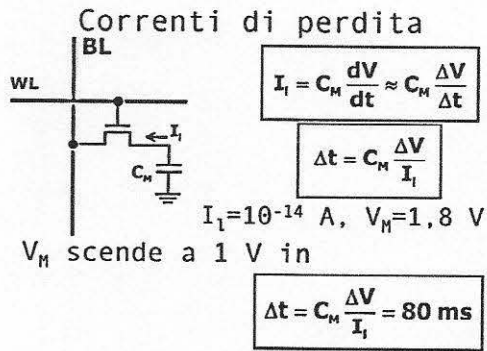
Attivando la word line il condensatore inizia a scambiare carica con la capacità equivalente alla bit line superiore e questo comporta una piccola variazione della tensione presente sulla bit line da $V_{DD} / 2$ ad un valore leggermente superiore se nel condensatore è memorizzato un 1, leggermente inferiore se vi è memorizzato uno 0. Questa piccola variazione viene subito sentita dal SE rispetto alla tensione della semicolonna inferiore che resta pari a $V_{DD} / 2$ perchè è lasciata flottante.

Allora nel SE la reazione positiva al suo interno entra in azione, il punto di lavoro instabile commuta immediatamente verso uno dei due punti di lavoro stabile, stabilito dal fatto che il valore sulla semicolonna superiore si sia abbassato o alzato.

Quindi sulla bit line abbiamo rapidamente un forzamento della tensione a 0 oppure a V_{DD} , 1 logico.

In questa maniera sono stati risolti entrambi i problemi citati in precedenza, infatti il sense amplifier forza la dinamica della tensione sulla bit line tra 0 e V_{DD} e, poiché in fase di lettura il fast transistor è in cortocircuito, quando la bit line raggiunge la V_{DD} anche la tensione sul condensatore raggiunge il valore V_{DD} e quindi il dato memorizzato non viene distrutto. Analogamente, se il dato memorizzato era lo 0 il sense amplifier forza a zero la tensione sulla bit line e quindi viene mantenuto lo 0 presente nel condensatore.

L'uso del SE risolve sia il problema della dinamica di uscita sia il problema della distruzione del dato in fase di lettura.



Analizzando un'altra considerazione, supponiamo ora di avere un 1 memorizzato nel condensatore C_M e che il pass transistor non sia perfettamente ideale ma che abbia una piccola CORRENTE DI PERDITA, assolutamente trascurabile, dell'ordine di 10^{-14} A .

La corrente nel condensatore è I_1 , come da figura, la caratteristica conosciuta. Se la corrente è costante, la derivata può essere sostituita dal rapporto incrementale $\Delta V/\Delta t$.

Quindi, se invertiamo la relazione troviamo che in un tempo Δt la tensione sul condensatore varia di un valore ΔV , in corrispondenza del fatto che la corrente di perdita del pass transistor è I_1 .

Supponendo dunque di partire da un valore iniziale memorizzato $V_M = 1,8 \text{ V}$ (valore classico per le RAM dinamiche) osserviamo che il valore V_M sul condensatore scende a 1V, e quindi $\Delta V = 0,8 \text{ V}$, in un tempo pari a 80 ms.

Quindi la piccolissima corrente di perdita che corrisponde al pass transistor è tale da determinare una riduzione di tensione molto rapida avendo inserito un valore di tensione pari a qualche femto farad tipico per le capacità delle RAM dinamiche.

Questo significa che le sole perdite del pass transistor sono in grado di scaricare il dato memorizzato in pochissimo tempo.

La soluzione a questo problema è il fatto che in fase di lettura il sense amplifier oltre a leggere il dato ricostituisce il valore di tensione memorizzata e quindi ricostituisce il dato all'interno della capacità. Quindi è sufficiente leggere ciclicamente la RAM dinamica (DRAM) un certo numero di volte al secondo, ovvero con un periodo che sia sufficientemente inferiore al tempo di scarica del condensatore.

La soluzione a questo problema è il fatto che in fase di lettura il sense amplifier oltre a leggere il dato ricostituisce il valore di tensione memorizzata e quindi ricostituisce il dato all'interno della capacità. Quindi è sufficiente leggere ciclicamente la RAM dinamica (DRAM) un certo numero di volte al secondo, ovvero con un periodo che sia sufficientemente inferiore al tempo di scarica del condensatore.

Confronto tra SRAM (RAM statica) e DRAM (RAM dinamica)

SRAM

- Veloce
- Densità inferiore di integrazione, causata dal numero elevato di transistori
- Uso come cache (accesso veloce alla memoria con quantità dati memorizzata non grande)

DRAM

- Più lenta
- Necessita di refresh
- Memoria principale, data la capacità di realizzare memorie di grande dimensione

Analizzando un'altra configurazione, supponiamo che il valore di V_{DD} venga aumentato del 10%. In tal caso, il tempo di carica della cella di memoria sarà influenzato da due fattori: il tempo di carica della cella di memoria e il tempo di lettura della cella di memoria. Il tempo di carica della cella di memoria è dato da:



La derivata può essere sostituita dal rapporto incrementale $\Delta V / \Delta t$. Quindi, se invertiamo la relazione trovando che in un tempo Δt la tensione sul condensatore varia di un valore ΔV , in corrispondenza del fatto che il corrente di carica del condensatore è:

Supponendo dunque di partire da un valore iniziale $V_0 = 1.5V$ (valore classico per la RAM dinamica) e arrivare a un valore $V_1 = 1.65V$ (valore classico per la RAM dinamica) in un tempo $\Delta t = 0.5 \mu s$.

Quindi in corrispondenza corrente di carica del condensatore è data da:

Questo significa che la corrente di carica del condensatore è data da:

La soluzione a questo problema è il fatto che in fase di lettura il condensatore è collegato a un bus di lettura e il valore di tensione viene prelevato dal bus di lettura.

Quindi è evidente che leggere direttamente la RAM dinamica è un compito difficile. Un certo numero di celle si scaricano ogni volta che si tenta di leggere una cella durante il tempo di lettura del condensatore.

Questo è il motivo per cui si utilizza un altro tipo di memoria: la SRAM (Static Random Access Memory).

SRAM	DRAM
- Veloce	- Più lenta
- Dettagli minore di righezione, causati dal fatto che è scritto di transizione	- Memoria principale, data la capacità di leggere, scrivere di grande dimensione
- Non come cache (nessun tempo di lettura)	- Memoria di cache

Confronto tra SRAM (RAM statica) e DRAM (RAM dinamica)